

# 4

## Flip-flop's, latches, tellers en schuifregisters

---

### Inhoud

- 4/1      Type D flip-flop's
- 4/2      Type JK flip-flop's
- 4/3      Latches
- 4/4      Latches met tri-state uitgangen
- 4/5      Binaire tellers
- 4/6      BCD-tellers
- 4/7      Tellers volgens afwijkende code of met omschakelbare code
- 4/8      Tellers met preset-uitgangen
- 4/9      Tellers met gedecodeerde uitgangen
- 4/10     Schuifregisters
- 4/11     Register files
- 4/12     Diversen

---

■/■/■ reeds gepubliceerd

■/■/■ gepland voor de volgende aanvullingen

---

Deel 4: Flip-flop's, latches, tellers en schuifregisters

## 4/1

## Type D Flip-flop's

## Inhoud

4/1.1    **Achtergrond-informatie**  
(aanvulling 15)4/1.2    **Type D Flip-flop's 74xx-serie**  
(aanvulling 4 + 19)

7474	2 x D FF, preset en clear
74171	4 x D FF, clear
74174	6 x D FF, clear
74175	4 x D FF, clear
74273	8 x D FF, clear
74374	8 x D FF, 3-state
74377	8 x D FF, enable
74378	6 x D FF, enable
74379	4 x D FF, enable
74534	8 x D FF, 3-state, geïnverteerd
74564	8 x D FF, 3-state, geïnverteerd
74574	8 x D FF, 3-state
74575	8 x D FF, clear, 3-state
74576	8 x D FF, 3-state, geïnverteerd
74577	8 x D FF, 3-state, geïnverteerd
74803	4 x D FF, gelijke vertragingen
74821	10 x D FF, 3-state
74822	10 x D FF, 3-state, geïnverteerd
74823	9 x D FF, 3-state
74824	9 x D FF, 3-state, geïnverteerd
74825	8 x D FF, 3-state
74826	8 x D FF, 3-state, geïnverteerd
74874	2 x 4 D FF, clear, 3-state
74876	2 x 4 D FF, preset, 3-state, geïnverteerd
74878	2 x 4 D FF, clear, 3-state
74879	2 x 4 D FF, clear, 3-state, geïnverteerd

4/1.3    **Type D Flip-flop's (1)4xxx-serie CMOS**  
(aanvulling 16)

(1)4013    2 x D FF, set en reset

(1)4076	4 x D FF, 3-state
(1)40174	6 x D FF, clear
(1)40175	4 x D FF, clear en complementaire uitgangen
(1)40374	8 x D FF, 3-state

#### 4/1.4 Type D Flip-flop's 10K-serie ECL

(aanvulling 19)

10131	2 x D FF, set, reset
10176	6 x D FF, open emitter
10186	6 x D FF, reset
10231	2 x D FF, set, reset

#### 4/1.5 Type D Flip-flop's 74AC(T)11xx-serie

(aanvulling 55)

74AC(T)11074	2 x D FF, preset en clear
74AC(T)11374	8 x D FF, 3-state
74AC(T)11534	8 x D FF, 3-state



## 4/1.1

## Achtergrond-informatie

**Inleiding**

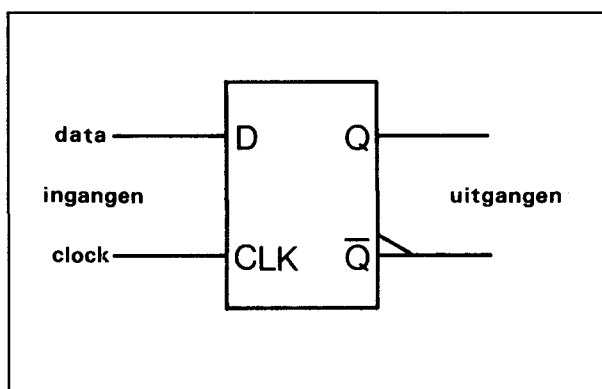
In tegenstelling tot combinatorische schakelingen wordt bij de in dit deel behandelde schakelingen de toestand van de uitgangen niet alleen bepaald door de schakeling zelf, maar ook door de voorgeschiedenis: de voorafgaande logische toestanden van de ingangen. De bouwstenen in dit deel zijn bistabiele multivibratoren, oftewel flip-flop's.

**D-flip-Flop's**

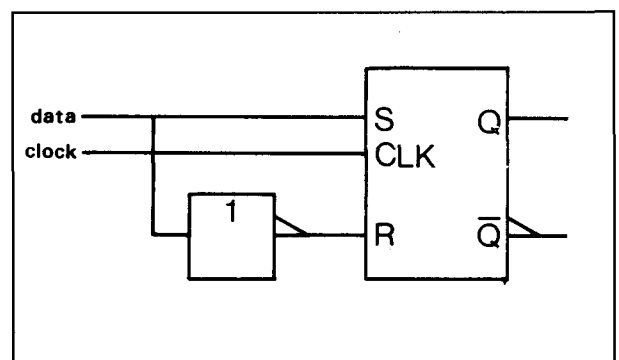
Zoals in het logische symbool van de D flip-flop (figuur 4/1.1-1) te zien is, heeft deze slechts één data-ingang D en een clock-ingang CLK. De complementaire uitgangen Q en  $\bar{Q}$  bevinden zich aan de rechterkant. De Q uitgang wordt beschouwd als de normale uitgang, terwijl  $\bar{Q}$  de complementaire is. De D flip-flop wordt ook wel 'delay flip-flop' (vertraagde flip-flop) genoemd, waarmee de werking goed wordt omschreven: elke willekeurige (logische) toestand van de data-ingang

wordt pas na de tijd van een klokpuls door de uitgang overgenomen. Wordt data op de LAAG-naar-HOOG overgang van de klokpuls naar de uitgang gebracht, dan spreekt men van een 'positive edge-triggered flip-flop'. Gebeurt dit op een HOOG-naar-LAAG overgang dan betreft het een 'negative edge-triggered flip-flop'.

Zoals ook in hoofdstuk 4/3.1 wordt beschreven, kan de D flip-flop worden gevormd door aan de RS flip-flop een inverter toe te voegen, zie figuur 4/1.1-2. Het logische symbool van de veel gebruikte D flip-flop 7474 is te zien in figuur 4/1.1-3a. De D en CLK ingangen worden synchrone ingangen genoemd, aanzien zij in de pas lopen met de klok. Het IC is bovendien uitgerust met twee extra asynchrone ingangen Preset en Clear die precies werken zoals bij de RS flip-flop met betrekking tot Set en Reset wordt uitgelegd. Een LAAG niveau op Preset maakt de Q-uitgang HOOG, terwijl deze door een LAAG

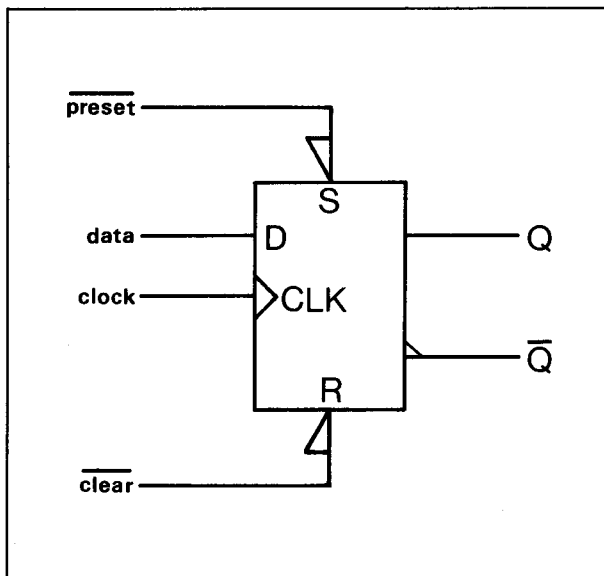


**Figuur 4/1.1-1:** Logisch symbool van de D-type flip-flop.



**Figuur 4/1.1-2:** Door toevoeging van een inverter kan een RS flip-flop worden veranderd in een D flip-flop.

## 1.1 Achtergrond-informatie



**Figuur 4/1.1-3a:** Logisch symbool van de 7474 D flip-flop met asynchrone Preset en Clear.

niveau op Clear weer LAAG wordt. Bij deze flip-flop werken de asynchrone ingangen direct door naar de uitgangen, ongeacht de toestanden op de synchrone ingangen ('override'). De waarheidstabel voor de 7474 D flip-flop is te zien in figuur 4/1.1-3b. De eerste drie regels hebben betrekking op de asynchrone werking van Preset en Clear, waarbij de derde regel een ongewenste toestand aangeeft. De synchrone ingangen D en CLK worden actief wanneer de asynchrone ingangen disabled zijn (Preset = HOOG en Clear = HOOG). Op regel 4 staat dat de logische 1 op de D-ingang door de Q-uitgang wordt overgenomen op het moment dat de klok van LAAG-naar-HOOG gaat. Op regel 5 wordt de Q-uitgang LAAG doordat de logische 0 (LAAG) op de D-ingang op de LAAG-naar-HOOG overgang van de CLK-puls wordt overgenomen.

ingangen				uitgangen		werking
asynchroon		synchroon				
preset	clear	CLK	D			
0	1	x	x	1	0	asynchrone set
1	0	x	x	0	1	asynchrone reset
0	0	x	x	1	1	ongewenst
1	1	↑	1	1	0	synchrone set
1	1	↑	0	0	1	synchrone reset

0 = LAAG      1 = HOOG      x = onbepaald  
 ↑ = LAAG-naar-HOOG overgang van de klokpuls

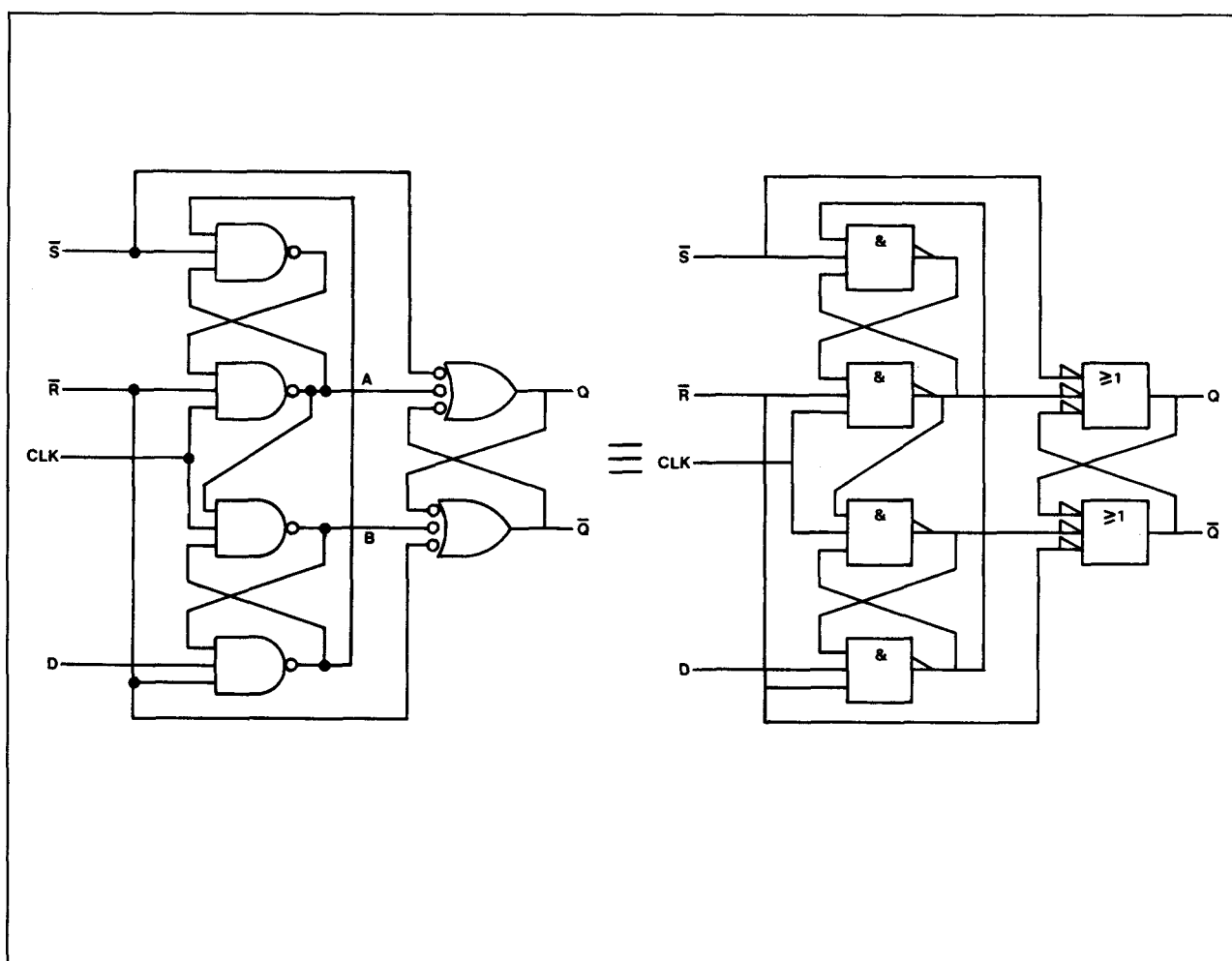
**Figuur 4/1.1-3b:** Waarheidstabel van de 7474 D-type flip-flop.

## 1.1 Achtergrond-informatie

De 7474 is opgebouwd uit drie set-reset flip-flop's, zoals in het schema van figuur 4/1.1-4 te zien is. De werking is als volgt. Als de CLK-ingang logisch 0 is, zijn de inwendige uitgangen A en B logisch 1, ongeacht de toestand van de D-ingang. Gaat de CLK-ingang nu naar logisch 1 ( $\uparrow$ ), dan wordt afhankelijk van de toestand op de D-ingang A of B logisch 0. Hierdoor wordt de achterste (meest rechtse)

flip-flop geset of gereset. Zolang de CLK-ingang logisch 1 is, blijven A en B in hun laatste toestand staan, onafhankelijk van de toestand op de D-ingang.

De Preset ( $\bar{S}$ ) en Clear ( $\bar{R}$ ) ingangen grijpen behalve op de voorste flip-flop's ook direct in op de achterste flip-flop en passeren zo de synchrone ingangen.



Figuur 4/1.1-4: Opbouw van de 7474 D-type flip-flop.

## 1.1 Achtergrond-informatie

1.2 74xx-serie

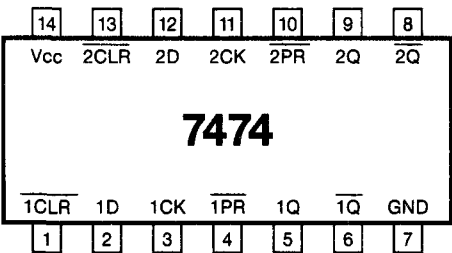
4/1.2

Type D Flip-flop's 74xx-serie

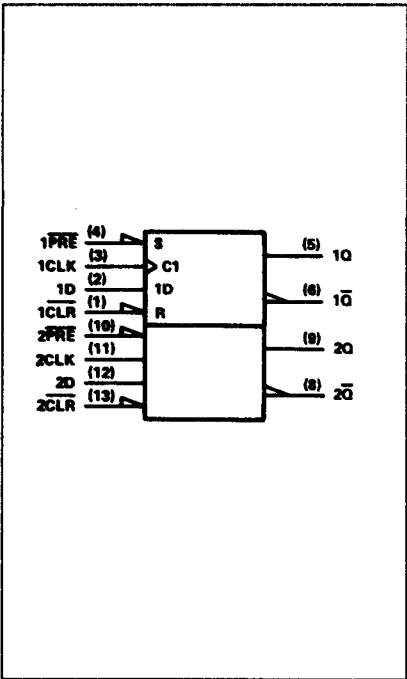
7474

2 pos. edge  
D Flip-flop's  
met preset en clear

Figuur 4/1.2-74.



LOGICA	TTL	L	F	S	LS <sup>4)</sup>	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	8.5	0.8	10.5	15	4	10.5	2.4	0.05	40 <sup>5)</sup>	mA
I <sub>os</sub>	-18 -57	-3 -15	-60 -150	-40 -100	-20 -100	-30 -112	-30 -112	1.75	4	mA
T <sub>plh</sub> <sup>1)</sup>	25	50	3.2 7.1	4	13	3.3 7.5	3 13	250	25	ns
T <sub>phl</sub> <sup>1)</sup>	40	80	3.5 10.5	9 5	25	3.5 10.5	5 15	180	25	ns
T <sub>plh</sub> <sup>2)</sup>	25	50	3.2 7.1	4	13	3.3 7.5	3 13	250	25	ns
T <sub>phl</sub> <sup>2)</sup>	40	80	3.5 10.5	9 5	25	3.5 10.5	5 15	180	25	ns
T <sub>plh</sub> <sup>3)</sup>	14	65	3.8 7.8	6	13	3.5 8	5 16	180	16	ns
T <sub>phl</sub> <sup>3)</sup>	20	65	4.4 9.2	6	25	4.5 9	5 18	180	16	ns



<sup>1)</sup> preset <sup>2)</sup> clear <sup>3)</sup> clock <sup>4)</sup> 74 LS 74 A <sup>5)</sup>  $\mu$ A

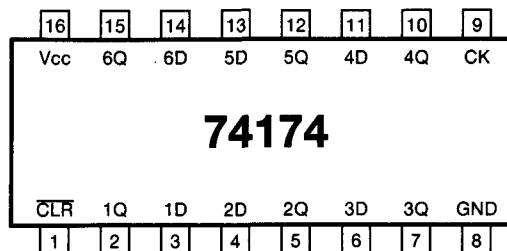
INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H <sup>†</sup>	H <sup>†</sup>
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q <sub>o</sub>	Q̄ <sub>o</sub>

<sup>†</sup>This configuration is nonstable; that is, it will not persist when Preset or Clear returns to its inactive (high) level.

## 1.2 74xx-serie

## 74174

## 6 D-flip-flop's met clear

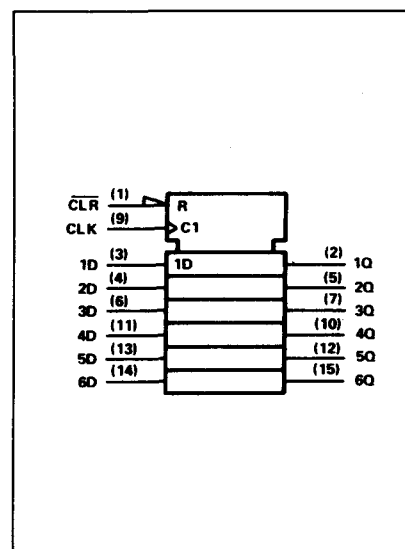


Figuur 4/1.2-174.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	45		30	90	16	30	11	0.05	80 <sup>3)</sup>	mA
I <sub>os</sub>	-18 -57		-60 -150	-40 -100	-20 -100	-30 -112	-30 -112	1.75	4	mA
T <sub>plh</sub> <sup>1)</sup>										ns
T <sub>phl</sub> <sup>1)</sup>	23		5 15	13	23	5 14	8 23	110	16	ns
T <sub>plh</sub> <sup>2)</sup>	20		3.5 9	8	20	3.5 8	3 15	150	16	ns
T <sub>phl</sub> <sup>2)</sup>	24		4 11	11.5	21	4.5 10	5 17	110	16	ns

1) clear 2) clock 3)  $\mu$ A

INPUTS			OUTPUT
CLR	CLK	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q <sub>0</sub>

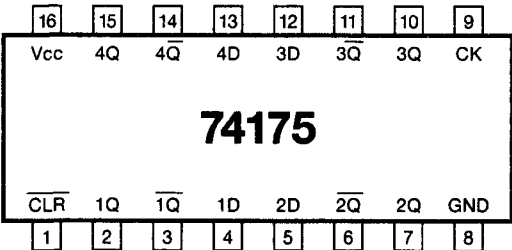


1.2 74xx-serie

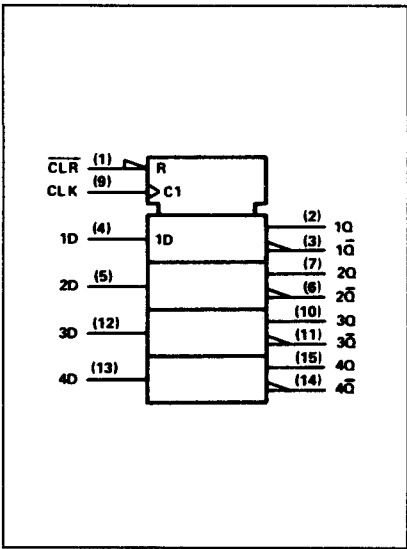
74175

4 D flip-flop's met clear

Figuur 4/1.2-175.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	30		22.5	60	11	22.5	8	0.05	80 <sup>3)</sup>	mA
Ios	-18 -57		-60 -150	-40 -100	-20 -100	-30 -112	-30 -112	1.75	4	mA
Tplh <sup>1)</sup>	16		4 9	10	16	5 14	5 18	230	13	ns
Tphl <sup>1)</sup>	23		4.5 13	13	23	5 14	8 23	180	13	ns
Tplh <sup>2)</sup>	20		4 7.5	8	20	3.5 8	3 15	190	15	ns
Tphl <sup>2)</sup>	24		4 9.5	11.5	21	4.5 10	5 17	190	15	ns



1) clear 2) clock 3)  $\mu A$

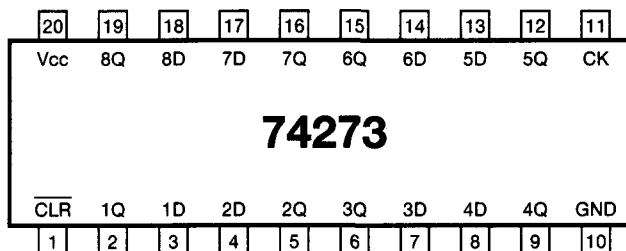
INPUTS			OUTPUTS
CLR	CLK	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q <sub>0</sub>

## 1.2 74xx-serie

## 74273

## 8 D flip-flop's met clear

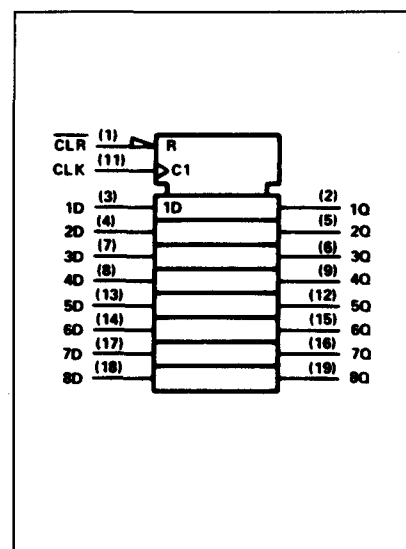
Figuur 4/1.2-237.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	H L	62		50		17		11 19		80 <sup>3)</sup> mA
$I_{OS}$		-18 -57		-60 -150		-20 -100		-30 -112		4 mA
$T_{plh}^{1)}$										ns
$T_{phl}^{1)}$		18		11		18		4 18		10 ns
$T_{plh}^{2)}$		17		10		17		2 12		18 ns
$T_{phl}^{2)}$		18		11		18		3 15		18 ns

1) clear 2) clock 3)  $\mu A$ 

INPUTS			OUTPUT
CLEAR	CLOCK	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	$Q_0$





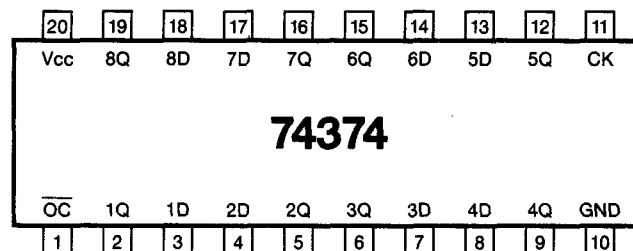
## 1.2 74xx-serie

## 74374

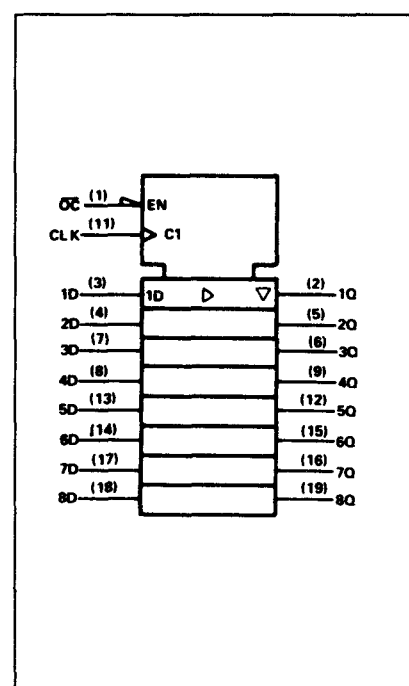
oc = output control

8 edge triggered  
D flip-flop's  
met 3-state uitgangen

Figuur 4/1.2-374.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	H L D		55	90	27	77 84 84	11 19 20		80 <sup>4)</sup>	mA
I <sub>os</sub>			-60 -150	-40 -100	-30 -130	-30 -112	-30 -112		4	mA
T <sub>plh</sub> <sup>1)</sup>			6.5	8	15	3 8	3 12		17	ns
T <sub>phl</sub> <sup>1)</sup>			6.5	11	19	4 9	5 16		17	ns
T <sub>pzh</sub> <sup>2)</sup>			9	8	20	2 6	5 17		16	ns
T <sub>pzl</sub> <sup>2)</sup>			5.8	11	21	3 10	7 18		16	ns
T <sub>phz</sub> <sup>3)</sup>			5.3	5	12	2 6	2 10		17	ns
T <sub>plz</sub> <sup>3)</sup>			4.3	7	14	2 6	3 18		17	ns



1) clock → Q 2) output control → Q (enable tijd) 3) output control → Q (disable tijd) 4) μA

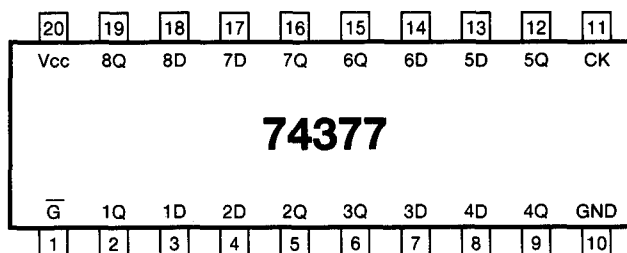
INPUTS			OUTPUT
OC	CLK	D	Q
L	↑	H	H
L	↑	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

## 1.2 74xx-serie

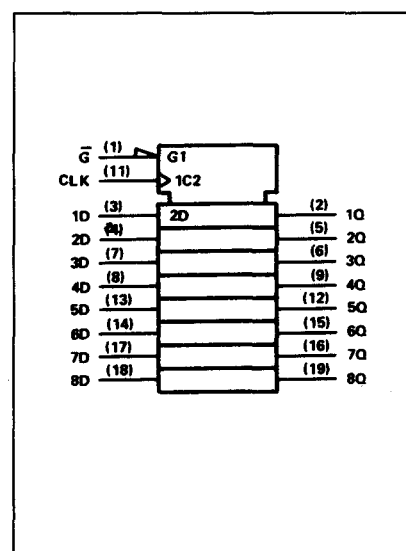
## 74377

## 8 D flip-flop's met enable

Figuur 4/1.2-377.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	H		35		17				40 <sup>3)</sup>	mA
	L		40							
I <sub>os</sub>			-60		-20				4	mA
			-150		-100					
T <sub>plh</sub> <sup>1)</sup>			11		17				15	ns
T <sub>phl</sub> <sup>1)</sup>			12		18				15	ns
T <sub>plh</sub> <sup>2)</sup>			3		25				20	ns
T <sub>phl</sub> <sup>2)</sup>			3		10				20	ns

1) clock 2) enable 3)  $\mu$ A

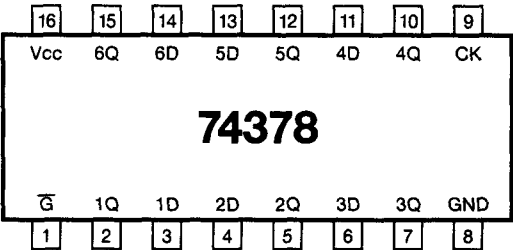
INPUTS			OUTPUT
$\bar{G}$	CLOCK	DATA	Q
H	X	X	Q <sub>0</sub>
L	↑	H	H
L	↑	L	L
X	L	X	Q <sub>0</sub>

1.2 74xx-serie

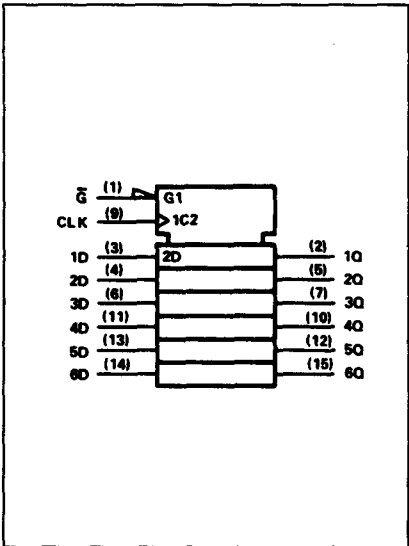
74378

6 D flip-flop's met enable

Figuur 4/1.2-378.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc			30		13				40 <sup>3)</sup>	mA
Ios			-60 -150		-20 -100				4	mA
Tplh <sup>1)</sup>			5.5		17				15	ns
Tphi <sup>1)</sup>			6		18				15	ns
Tplh <sup>2)</sup>			4		25				20	ns
Tphi <sup>2)</sup>			10		10				20	ns



1) clock 2) enable 3)  $\mu$ A

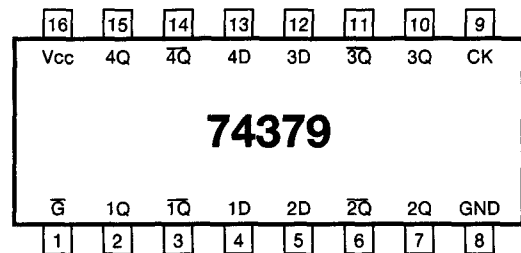
INPUTS			OUTPUT
G-bar	CLOCK	DATA	Q
H	X	X	Q <sub>0</sub>
L	↑	H	H
L	↑	L	L
X	L	X	Q <sub>0</sub>

## 1.2 74xx-serie

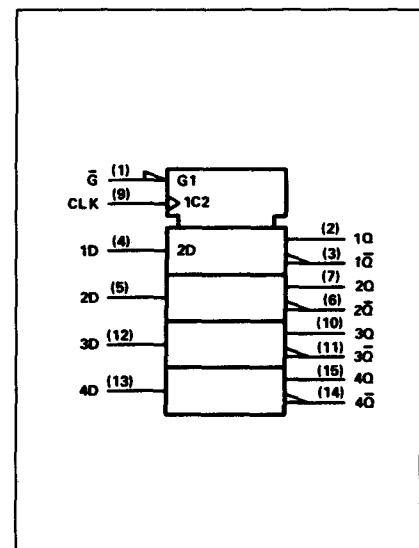
## 74379

## 4 D flip-flop's met enable

Figuur 4/1.2-379.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>			28		9				20 <sup>3)</sup>	mA
I <sub>os</sub>			-60 -150		-20 -100				4	mA
T <sub>plh</sub> <sup>1)</sup>			5		17				15	ns
T <sub>phl</sub> <sup>1)</sup>			6.5		18				15	ns
T <sub>plh</sub> <sup>2)</sup>			6		25				20	ns
T <sub>phl</sub> <sup>2)</sup>			6		10				20	ns

1) clock 2) enable 3)  $\mu A$ 

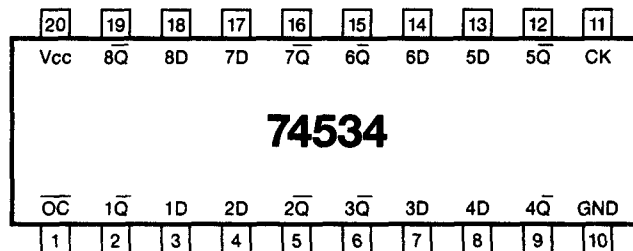
INPUTS			OUTPUTS	
$\bar{G}$	CLOCK	DATA	Q	$\bar{Q}$
H	X	X	Q <sub>0</sub>	$\bar{Q}_0$
L	↑	H	H	L
L	↑	L	L	H
X	L	X	Q <sub>0</sub>	$\bar{Q}_0$

## 1.2 74xx-serie

**74534**

8 edge triggered  
D flip-flop's  
met 3-state uitgangen

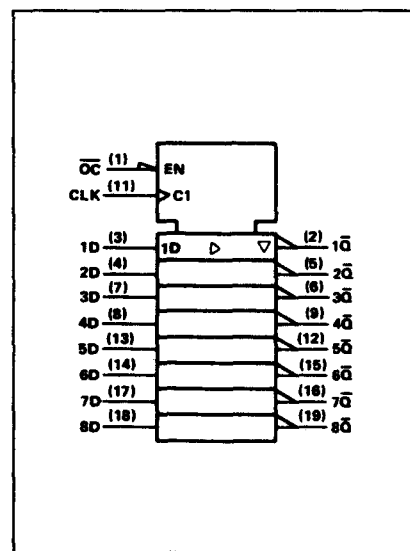
Figuur 4/1.2-534.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
$I_{CC}$	$\begin{matrix} H \\ L \\ D \end{matrix}$		55			$\begin{matrix} 77 \\ 84 \\ 84 \end{matrix}$	$\begin{matrix} 11 \\ 19 \\ 20 \end{matrix}$		$80^{(1)}$	mA
$I_{OS}$			$\begin{matrix} -60 \\ -150 \end{matrix}$			$\begin{matrix} -30 \\ -112 \end{matrix}$	$\begin{matrix} -30 \\ -112 \end{matrix}$		4	mA
$T_{plh}^{(2)}$			6.5			$\begin{matrix} 3 \\ 8 \end{matrix}$	$\begin{matrix} 3 \\ 12 \end{matrix}$		28	ns
$T_{phl}^{(2)}$			6.5			$\begin{matrix} 4 \\ 9 \end{matrix}$	$\begin{matrix} 5 \\ 16 \end{matrix}$		28	ns
$T_{plh}^{(3)}$			$\begin{matrix} 9 \\ 5.8 \end{matrix}$			$\begin{matrix} 2 \\ 6 \end{matrix}$	$\begin{matrix} 5 \\ 19 \end{matrix}$		26	ns
$T_{phl}^{(3)}$			$\begin{matrix} 5.3 \\ 4.3 \end{matrix}$			$\begin{matrix} 3 \\ 10 \end{matrix}$	$\begin{matrix} 7 \\ 20 \end{matrix}$		25	ns

<sup>1)</sup>  $\mu A$  <sup>2)</sup> clock <sup>3)</sup> enable

INPUTS			OUTPUT
OC	CLK	D	$\bar{Q}$
L	↑	H	L
L	↑	L	H
L	L	X	$\bar{Q}_0$
H	X	X	Z

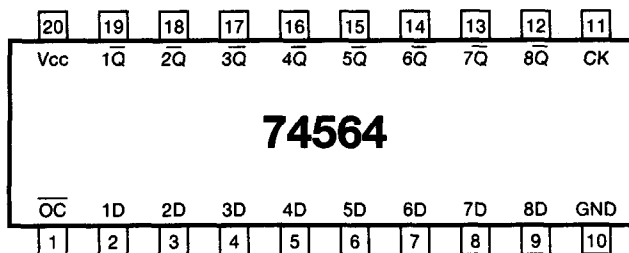


## 1.2 74xx-serie

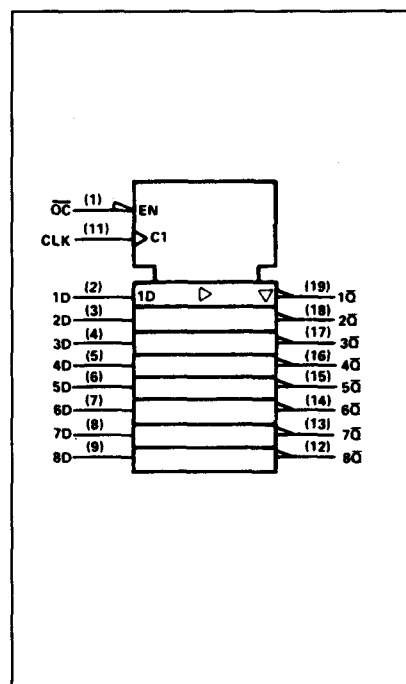
## 74564

8 edge-triggered D flip-flop's  
met 3-state uitgangen

Figuur 4/1.2-564.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	H L D		55				10.5 15 16		80 <sup>4)</sup>	mA
$I_{OS}$			-60 -150				-30 -112		6	mA
$T_{plh}^{1)}$			7.5				4 14		18	ns
$T_{phl}^{1)}$			9.5				4 14		18	ns
$T_{pzh}^{2)}$			11.5				4 18		15	ns
$T_{pzl}^{2)}$			7.5				4 18		15	ns
$T_{phz}^{3)}$			7				2 8		15	ns
$T_{plz}^{3)}$			5.5				3 13		15	ns



<sup>1)</sup> clock → Q   <sup>2)</sup> output control → Q (enable tijd)   <sup>3)</sup> output control → Q (disable tijd)   <sup>4)</sup> μA

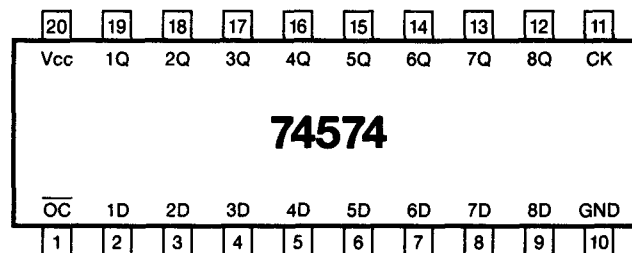
INPUTS			OUTPUT
OC	CLK	D	Q
L	↑	H	L
L	↑	L	H
L	L	X	$\bar{Q}_0$
H	X	X	Z

## 1.2 74xx-serie

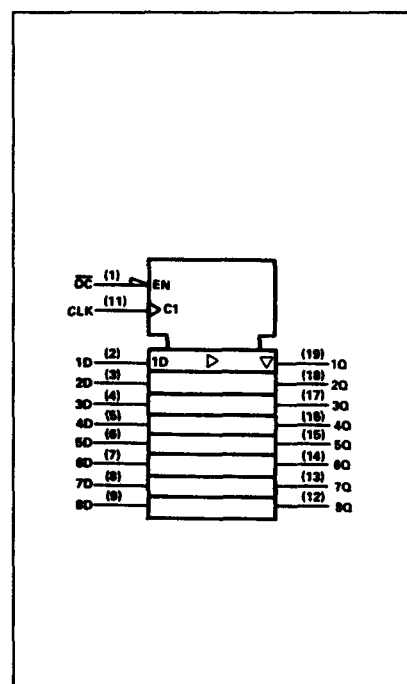
## 74574

8 edge triggered  
D flip-flop's  
met 3-state uitgangen

Figuur 4/1.2-574.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	$\begin{smallmatrix} H \\ L \\ D \end{smallmatrix}$		55			$\begin{smallmatrix} 73 \\ 85 \\ 84 \end{smallmatrix}$	$\begin{smallmatrix} 11 \\ 17 \\ 17 \end{smallmatrix}$		$80^{(4)}$	mA
$I_{OS}$			$\begin{smallmatrix} -60 \\ -150 \end{smallmatrix}$			$\begin{smallmatrix} -30 \\ -112 \end{smallmatrix}$	$\begin{smallmatrix} -30 \\ -112 \end{smallmatrix}$		6	mA
$T_{plh}^{(1)}$			7.5			$\begin{smallmatrix} 3 \\ 8 \end{smallmatrix}$	$\begin{smallmatrix} 4 \\ 14 \end{smallmatrix}$		12	ns
$T_{phl}^{(2)}$			9.5			$\begin{smallmatrix} 4 \\ 9 \end{smallmatrix}$	$\begin{smallmatrix} 4 \\ 14 \end{smallmatrix}$		12	ns
$T_{pzh}^{(2)}$			11.5			$\begin{smallmatrix} 2 \\ 6 \end{smallmatrix}$	$\begin{smallmatrix} 4 \\ 18 \end{smallmatrix}$		13	ns
$T_{pzl}^{(2)}$			7.5			$\begin{smallmatrix} 3 \\ 10 \end{smallmatrix}$	$\begin{smallmatrix} 4 \\ 18 \end{smallmatrix}$		13	ns
$T_{phz}^{(3)}$			7			$\begin{smallmatrix} 2 \\ 6 \end{smallmatrix}$	$\begin{smallmatrix} 2 \\ 10 \end{smallmatrix}$		11	ns
$T_{plz}^{(3)}$			5.5			$\begin{smallmatrix} 2 \\ 6 \end{smallmatrix}$	$\begin{smallmatrix} 2 \\ 12 \end{smallmatrix}$		11	ns



<sup>1)</sup> clock → Q <sup>2)</sup> output control → Q (enable tijd) <sup>3)</sup> output control → Q (disable tijd) <sup>4)</sup> μA

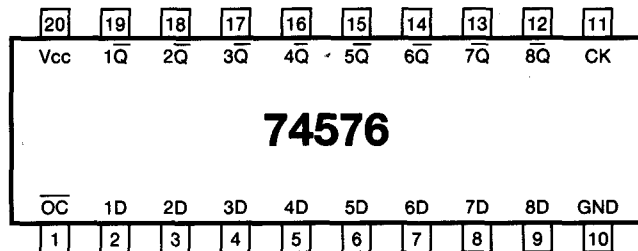
INPUTS			OUTPUT
OC	CLK	D	Q
L	1	H	H
L	1	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

## 1.2 74xx-serie

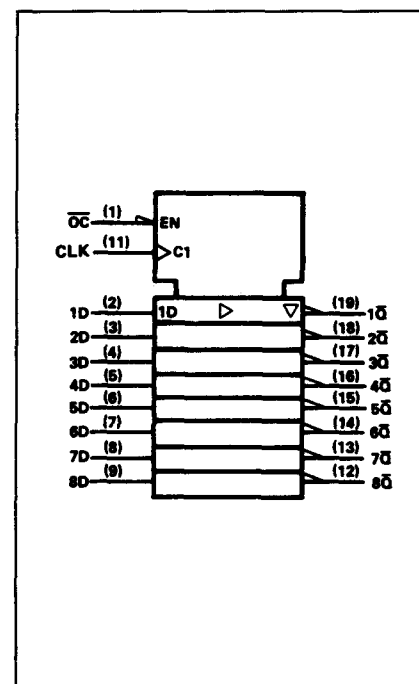
## 74576

8 edge triggered  
D flip-flop's met  
3-state uitgangen

Figuur 4/1.2-576.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	H L D					77 84 84	10 15 16			mA
$I_{OS}$						-30 -112	-30 -112			mA
$T_{plh}^{(1)}$						3 8	4 14			ns
$T_{phl}^{(1)}$						4 9	4 14			ns
$T_{pzh}^{(2)}$						2 6	4 18			ns
$T_{pzl}^{(2)}$						3 10	4 18			ns
$T_{phz}^{(3)}$						2 6	2 8			ns
$T_{plz}^{(3)}$						2 6	3 13			ns



<sup>1)</sup> clock → Q <sup>2)</sup> output control → Q (enable tijd) <sup>3)</sup> output control → Q (disable tijd)

INPUTS			OUTPUT
OC	CLK	D	Q
L	↑	H	L
L	↑	L	H
L	L	X	Q <sub>o</sub>
H	X	X	Z

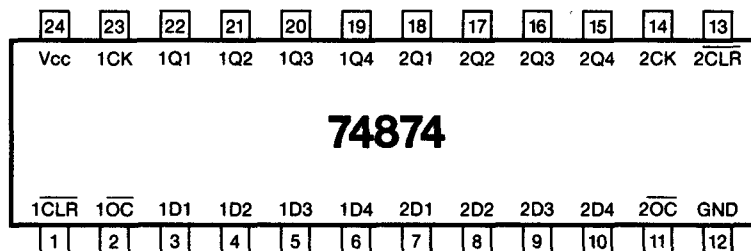


## 1.2 74xx-serie

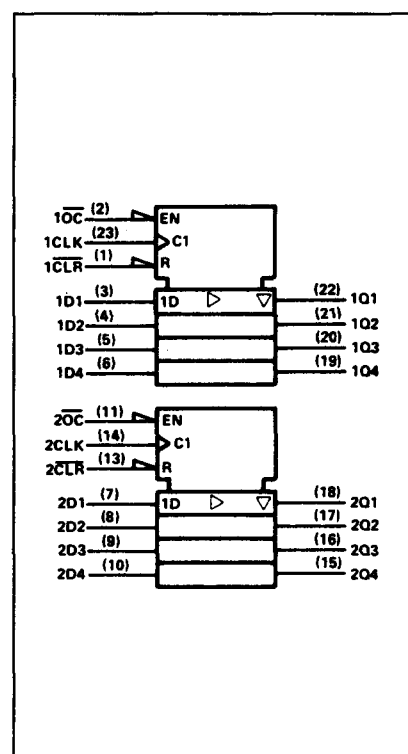
## 74874

2 4-bit edge-triggered  
D-flip-flop's met clear  
en 3-state uitgangen

Figuur 4/1.2-874.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	H L D					82 92 100	14 19 20			mA
$I_{OS}$						-30 -112	-30 -112			mA
$T_{plh}^{1)}$						3 8.5	4 14			ns
$T_{phl}^{1)}$						4 10.5	4 14			ns
$T_{pzh}^{2)}$						2 7	4 18			ns
$T_{pzl}^{2)}$						3 10.5	4 18			ns
$T_{phz}^{3)}$						2 6	2 10			ns
$T_{plz}^{3)}$						2 7.5	2 12			ns
$T_{phi}^{4)}$						4 9.5	5 17			ns



<sup>1)</sup> clock → Q   <sup>2)</sup>  $\overline{OC}$  → Q (enable tijd)   <sup>3)</sup>  $\overline{OC}$  → Q (disable tijd)   <sup>4)</sup> clear → Q

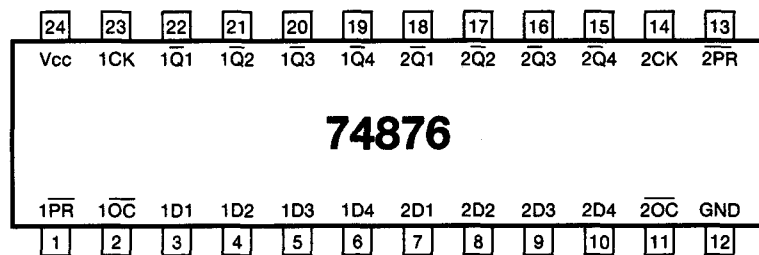
INPUTS				OUTPUT
CLR	D	CLK	$\overline{OC}$	Q
X	X	X	H	Z
L	X	X	L	L
H	H	↑	L	H
H	L	↑	L	L
H	X	L	L	Q <sub>o</sub>

## 1.2 74xx-serie

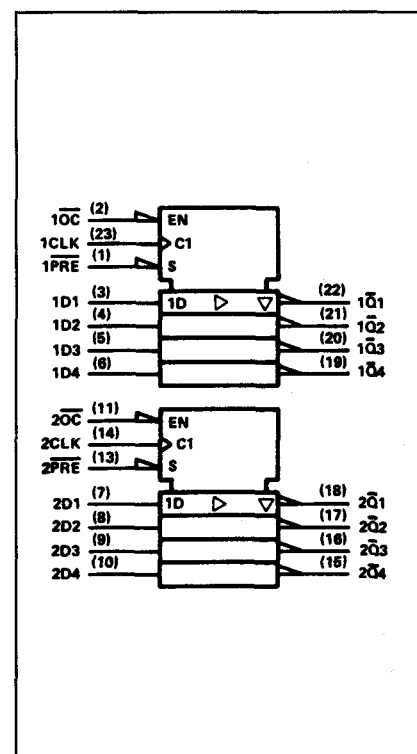
## 74876

2 4-bit edge-triggered  
D Flip-flop's met  
preset en 3-state  
uitgangen

Figuur 4/1.2-876.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	H L D					88 94 100	14 19 20			mA
$I_{OS}$						-30 -112	-30 -112			ns
$T_{plh}^{(1)}$						3 8.5	4 14			ns
$T_{phl}^{(1)}$						4 10.5	4 14			ns
$T_{pzh}^{(2)}$						2 7	4 18			ns
$T_{pzl}^{(2)}$						3 10.5	4 18			ns
$T_{phz}^{(3)}$						2 6	2 10			ns
$T_{plz}^{(3)}$						2 6	2 12			ns
$T_{phl}^{(4)}$						4 9.5	5 17			ns

1) clock  $\rightarrow$  Q2)  $\overline{OC} \rightarrow$  Q (enable tijd)3)  $\overline{OC} \rightarrow$  Q (disable tijd)4) preset  $\rightarrow$  Q

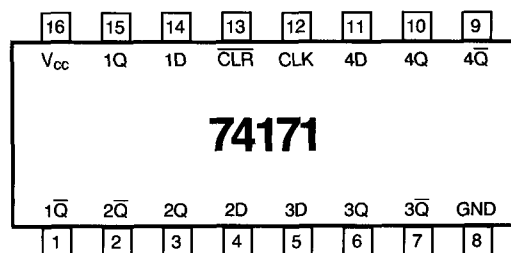
INPUTS				OUTPUT
$\overline{PR}$	D	CLK	$\overline{OC}$	Q
X	X	X	H	Z
L	X	X	L	L
H	H	$\uparrow$	L	L
H	L	$\uparrow$	L	H
H	X	L	L	$\overline{Q}_0$

## 1.2 74xx-serie

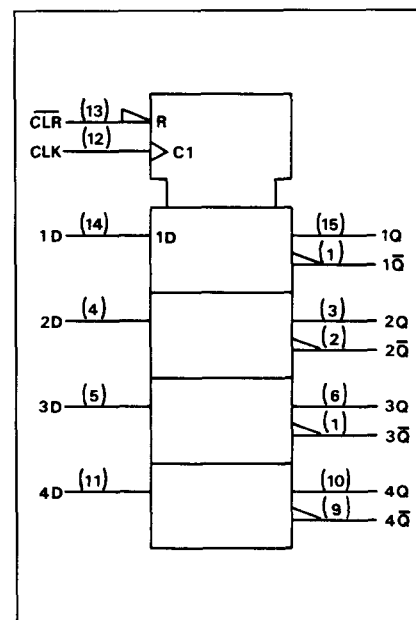
## 74171

## 4 D-type flip-flop's met clear

Figuur 4/1.2-171



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>					14					mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>					15					ns
T <sub>phl</sub> <sup>1)</sup>					18					ns
T <sub>plh</sub> <sup>2)</sup>					18					ns
T <sub>phl</sub> <sup>3)</sup>					24					ns
f <sub>max</sub>					30					MHz



logisch symbool

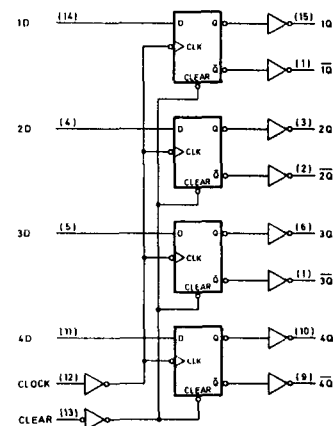
- 1) CLK → Q of  $\bar{Q}$   
 2) CLR →  $\bar{Q}$   
 3) CLR → Q

FUNCTION TABLE  
(EACH FLIP-FLOP)

INPUTS			OUTPUTS	
CLEAR	CLOCK	D	Q	$\bar{Q}$
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q <sub>0</sub>	$\bar{Q}_0$

H = HIGH LEVEL (STEADY STATE)  
 L = LOW LEVEL (STEADY STATE)  
 X = IRRELEVANT  
 ↑ = TRANSITION FROM LOW TO HIGH LEVEL  
 Q<sub>0</sub> = THE LEVEL OF Q BEFORE THE INDICATED STEADY STATE INPUT CONDITIONS WERE ESTABLISHED.

## waarheidstabel

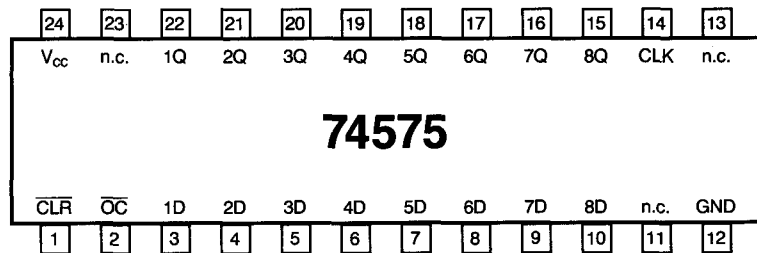
functioneel  
blokschema

## 1.2 74xx-serie

## 74575

8 D-type edge-triggered  
flip-flop's met 3-state  
uitgangen en  
synchrone  
clear

Figuur 4/1.2-575



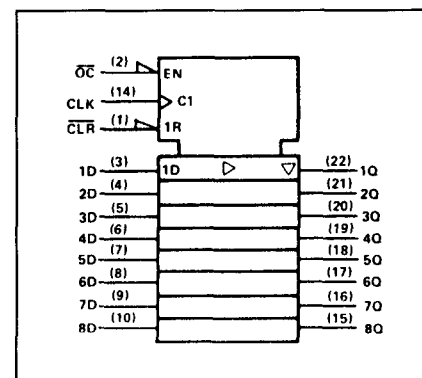
LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{cc}$ <sup>H</sup> <sup>L</sup> <sup>D</sup>						78 89 88	10 15 16			mA
$I_{os}$						-30 -112	-30 -112			mA
$T_{plh}$ <sup>1)</sup>						3 8	4 14			ns
$T_{phl}$ <sup>1)</sup>						4 9	4 14			ns
$T_{pzh}$ <sup>2)</sup>						2 6	4 18			ns
$T_{pzl}$ <sup>2)</sup>						3 10	4 18			ns
$T_{phz}$ <sup>3)</sup>						2 6	2 10			ns
$T_{plz}$ <sup>3)</sup>						2 6	3 13			ns
$f_{max}$						125	30			MHz

- 1) CLK → Q  
2) OC → Q (enable)  
3) OC → Q (disable)

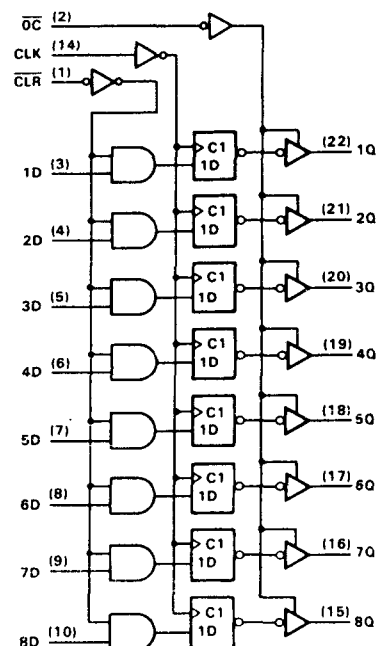
'ALS575, 'AS575  
(EACH FLIP-FLOP)

INPUTS				OUTPUT
OC	CLR	CLK	D	Q
L	L	↑	X	L
L	H	↑	H	H
L	H	↑	L	L
L	H	L	X	Q <sub>0</sub>
H	X	X	X	Z

waarheidstabel



logisch symbol



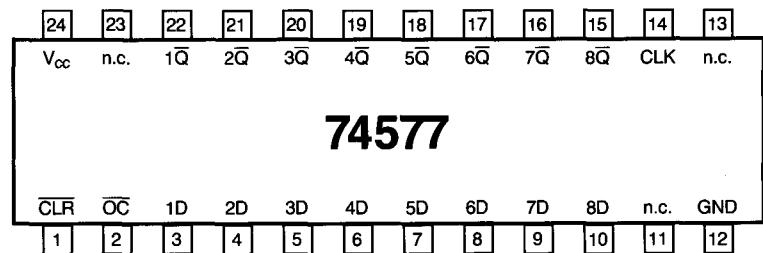
functioneel blokschema  
(positieve logika)

## 1.2 74xx-serie

## 74577

8 D-type edge-triggered  
flip-flop's met  
inverterende 3-state  
uitgangen

Figuur 4/1.2-577

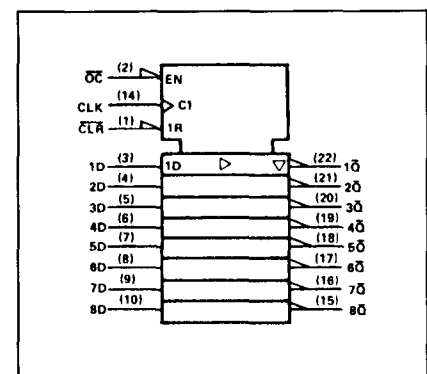


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	H L D					78 76 88	10 15 16			mA
$I_{OS}$						-30 -112	-15 -70			mA
$T_{plh}^{1)}$						3 8	4 14			ns
$T_{phl}^{1)}$						4 9	4 14			ns
$T_{pzh}^{2)}$						2 6	4 18			ns
$T_{pzl}^{2)}$						3 10	4 18			ns
$T_{phz}^{3)}$						2 6	2 10			ns
$T_{plz}^{3)}$						2 6	3 13			ns
$f_{max}$						125	30			MHz

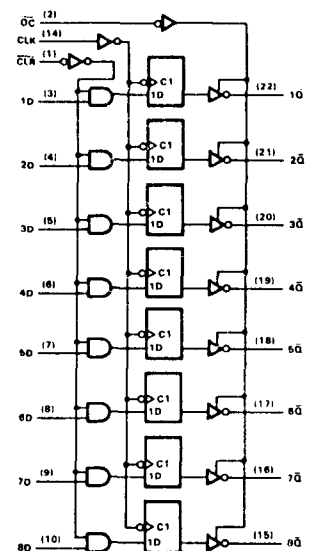
- 1)  $CLK \rightarrow \bar{Q}$   
 2)  $OC \rightarrow \bar{Q}$  (enable-tijd)  
 3)  $OC \rightarrow \bar{Q}$  (disable-tijd)

ALS577, AS577 (Each Flip-Flop)					OUTPUT	
INPUTS						
OC	CLR	CLK	D		$\bar{Q}$	
L	L	↑	X		H	
L	H	↑	H		L	
L	H	↑	L		H	
L	H	L	X		$\bar{Q}_0$	
H	X	X	X		Z	

waarheidstabel



logisch symbool

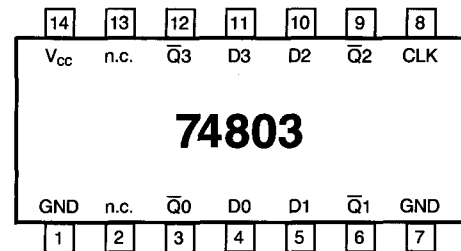
functioneel  
blokschema

## 1.2 74xx-serie

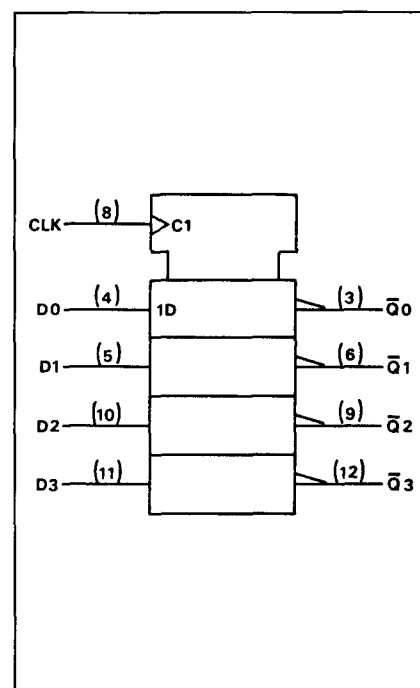
## 74803

4 D-type flip-flop's met zeer  
gelijke vertragingstijden  
(voor toepassing als synchrone  
clock-driver)

Figuur 4/1.2-803



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>			7							mA
I <sub>os</sub>			-60 -150							mA
T <sub>plh</sub> / T <sub>phl</sub> <sup>1)</sup>			3 7.5							ns
T <sub>pv</sub> <sup>2)</sup>			3							ns
T <sub>ps</sub> <sup>3)</sup> Q <sub>1</sub>			3							ns
T <sub>ps</sub> <sup>4)</sup> Q <sub>0</sub> , Q <sub>2</sub> , Q <sub>3</sub>			2							ns
T <sub>os</sub> <sup>4)</sup>			1.5							ns
f <sub>max</sub>			70							MHz



logisch symbool

1) CLK → Q

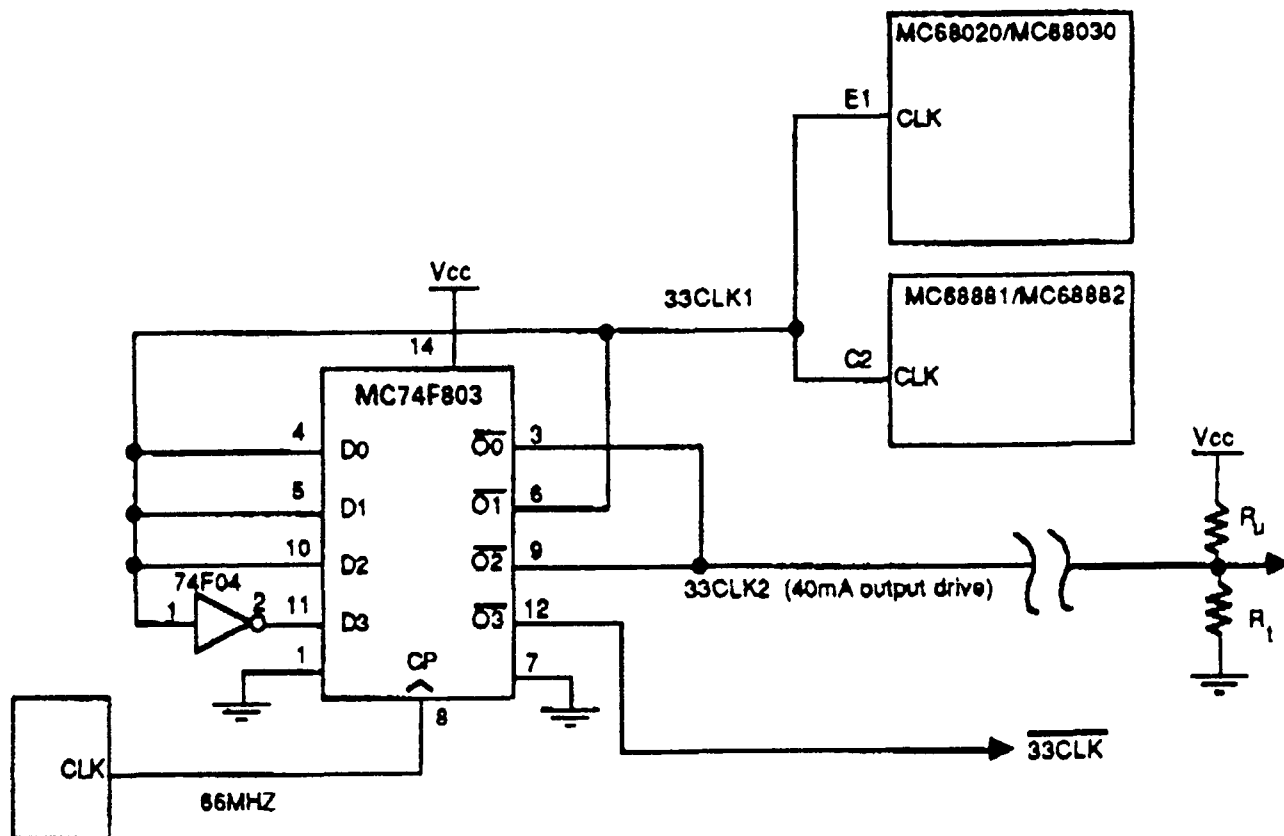
2) variaties in CLK → Q

3) vertragingstijd skew (alleen voor Q<sub>1</sub>)4) idem (voor Q<sub>0</sub>, Q<sub>2</sub> en Q<sub>3</sub>)

5) uitgang-naar-uitgang skew (= symmetrie van de duty-cycles)

## 1.2 74xx-serie

### toepassingsvoorbeeld



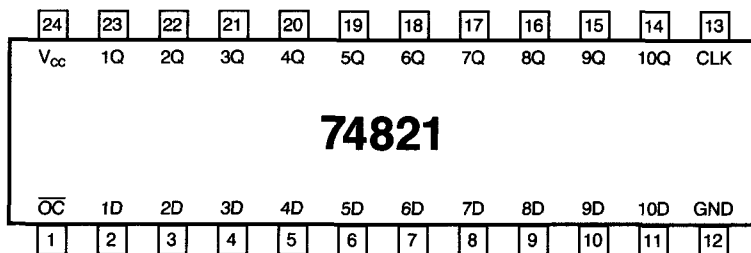
## gebruik van de 74 F 803 als clock-interface voor een 68020 systeem

## 1.2 74xx-serie

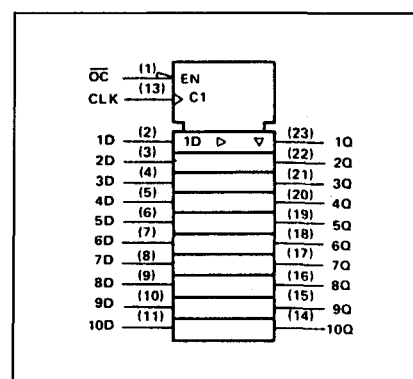
## 74821

10-bit bus interface  
flip-flop met  
3-state uitgangen

Figuur 4/1.2-821



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	H L D		75			55 68 70				mA
$I_{OS}$			-60 -150			-30 -112				mA
$T_{plh}^{1)}$			7.5			3.5 7.5				ns
$T_{phl}^{1)}$			9.5			3.5 10.5				ns
$T_{pzh}^{2)}$			11.5			4 11				ns
$T_{pzl}^{2)}$			7.5			4 12				ns
$T_{phz}^{3)}$			7.0			2 8				ns
$T_{plz}^{3)}$			5.5			2 8				ns
$f_{max}$			100			—				MHz

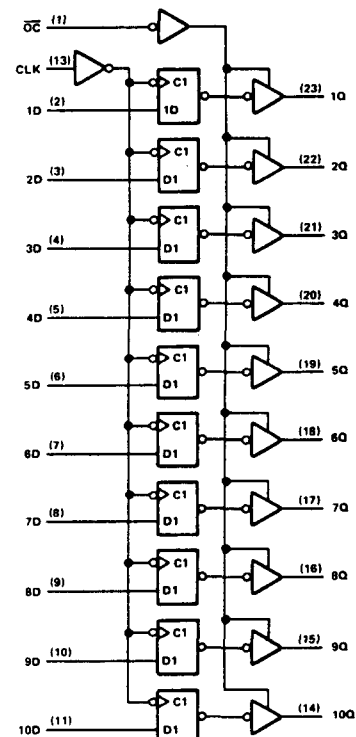


logisch symbool

- 1) CLK → Q  
2)  $\overline{OC}$  → Q (enable-tijd)  
3)  $\overline{OC}$  → Q (disable-tijd)

INPUTS			OUTPUT
$\overline{OC}$	CLK	D	Q
L	↑	H	H
L	↑	L	L
L	L	X	$Q_0$
H	X	X	Z

waarheidstabel

functioneel blokschema  
(positieve logica)

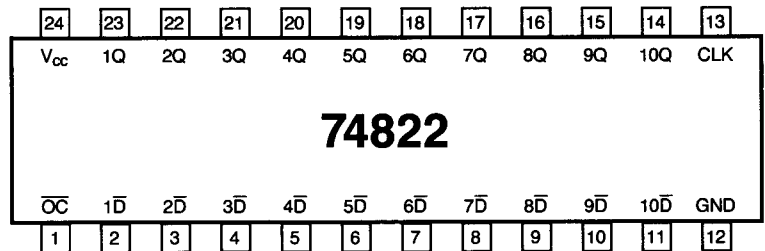


## 1.2 74xx-serie

## 74822

10-bit bus interface  
flip-flop met  
inverterende ingangen  
en 3-state uitgangen

Figuur 4/1.2-822

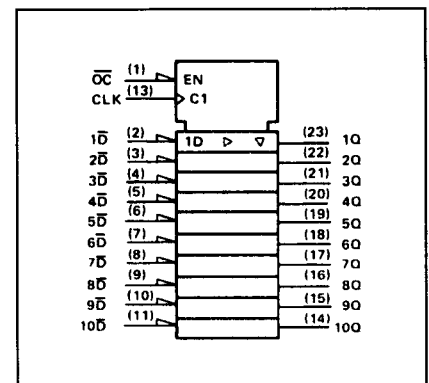


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$						55 68 70				mA
$I_{OS}$						-30 -112				mA
$T_{plh}^{1)}$						3.5 7.5				ns
$T_{phl}^{1)}$						3.5 10.5				ns
$T_{pzh}^{2)}$						4 11				ns
$T_{pzl}^{2)}$						4 12				ns
$T_{phz}^{3)}$						2 8				ns
$T_{plz}^{3)}$						2 8				ns

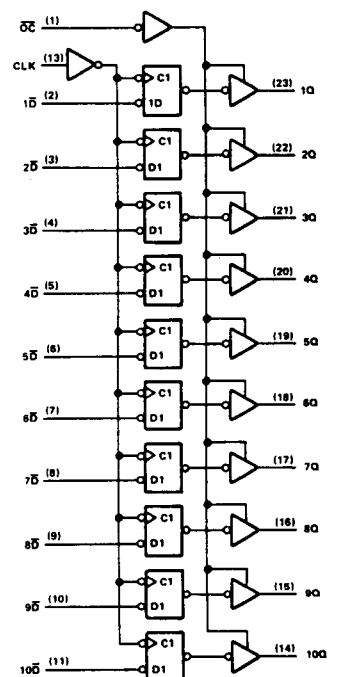
- 1) CLK → Q  
2) OC → Q (enable-tijd)  
3) OC → Q (disable-tijd)

INPUTS			OUTPUT
OC	CLK	D	Q
L	↑	H	L
L	↑	L	H
L	L	X	$Q_0$
H	X	X	Z

waarheidstabel



logisch symbool

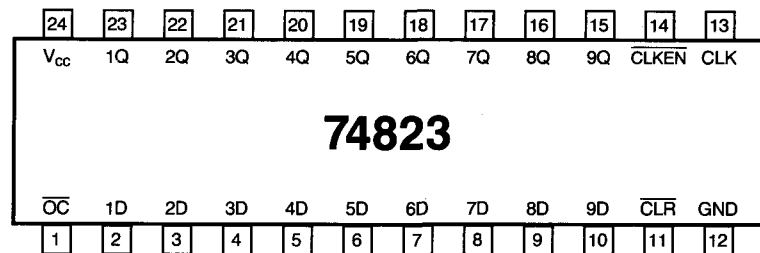
functioneel blokschema  
(positieve logica)

## 1.2 74xx-serie

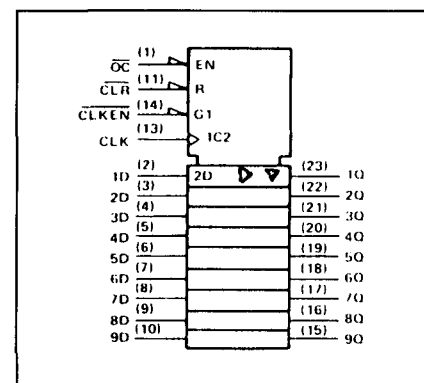
## 74823

9-bit bus interface  
flip-flop met  
3-state uitgangen

Figuur 4/1.2-823



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	H L D		110			49 61 64				mA
I <sub>os</sub>			-60 -150			-30 -112				mA
T <sub>plh</sub> <sup>1)</sup>			7.5			3.5 7.5				ns
T <sub>phl</sub> <sup>1)</sup>			9.5			3.5 11				ns
T <sub>phl</sub> <sup>2)</sup>			15			3.5 13				ns
T <sub>pzh</sub> <sup>3)</sup>			11.5			4 11				ns
T <sub>pzl</sub> <sup>3)</sup>			7.5			4 12				ns
T <sub>phz</sub> <sup>4)</sup>			7.0			2 8				ns
T <sub>plz</sub> <sup>4)</sup>			5.5			2 8				ns
f <sub>max</sub>			100			—				MHz

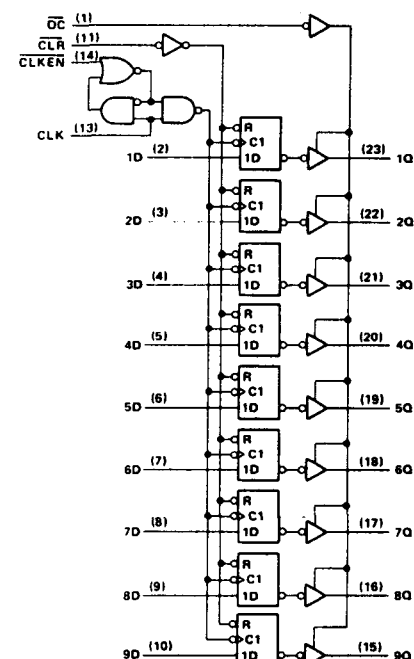


logisch symbool

- 1) CLK → Q  
2) CLR → Q  
3) OC → Q (enable-tijd)  
4) OC → Q (disable-tijd)

INPUTS					OUTPUT
OC	CLR	CLKEN	CLK	D	Q
L	L	X	X	X	L
L	H	L	f	H	H
L	H	L	f	L	L
L	H	H	X	X	Q <sub>0</sub>
H	X	X	X	X	Z

waarheidstabel

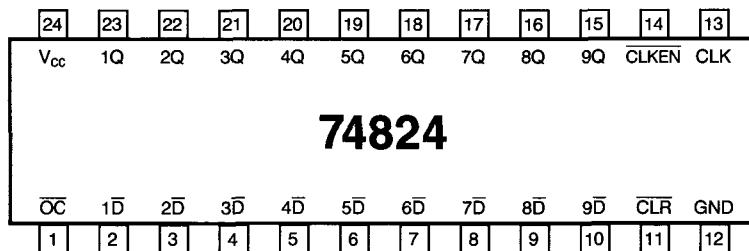
functioneel blokschema  
(positieve logica)

## 1.2 74xx-serie

## 74824

9-bit bus interface  
flip-flop met  
inverterende ingangen  
en 3-state uitgangen

Figuur 4/1.2-824

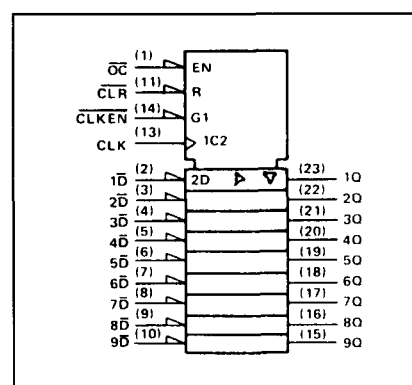


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
$I_{CC}$	H L D					49 61 64				mA
$I_{OS}$						-30 -112				mA
$T_{plh}$	<sup>1)</sup>					3.5 7.5				ns
$T_{phl}$	<sup>1)</sup>					3.5 11				ns
$T_{phl}$	<sup>2)</sup>					3.5 13				ns
$T_{pzh}$	<sup>3)</sup>					4 11				ns
$T_{pzl}$	<sup>3)</sup>					4 12				ns
$T_{phz}$	<sup>4)</sup>					2 8				ns
$T_{plz}$	<sup>4)</sup>					2 8				ns

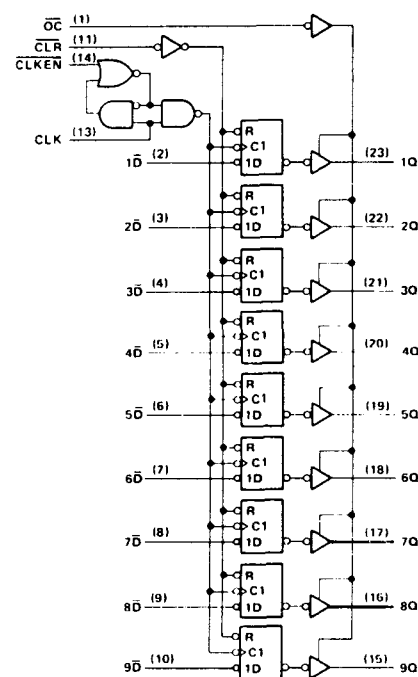
- <sup>1)</sup> CLK → Q  
<sup>2)</sup> CLR → Q  
<sup>4)</sup> OC → Q (enable-tijd)  
<sup>4)</sup> OC → Q (disable-tijd)

INPUTS					OUTPUT
OC	CLR	CLKEN	CLK	D	Q
L	L	X	X	X	L
L	H	L	↑	H	L
L	H	L	↑	L	H
L	H	H	X	X	Q <sub>0</sub>
H	X	X	X	X	Z

waarheidstabel



logisch symbool

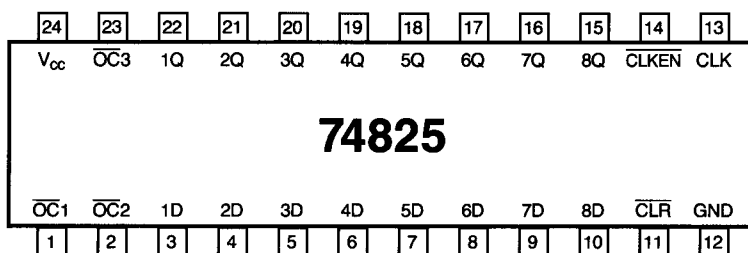
functioneel blokschema  
(positieve logica)

## 1.2 74xx-serie

## 74825

8-bit bus interface  
flip-flop met  
3-state uitgangen

Figuur 4/1.2-825



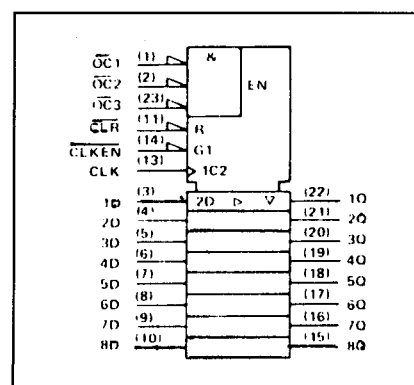
LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
$I_{CC}$ <sup>H</sup> L D			86			45 56 59				mA
$I_{OS}$			-60 -150			-30 -112				mA
$T_{plh}$ <sup>1)</sup>			7.5			3.5 7.5				ns
$T_{phl}$ <sup>1)</sup>			9.5			3.5 11				ns
$T_{phl}$ <sup>2)</sup>			15			3.5 13				ns
$T_{pzh}$ <sup>3)</sup>			11.5			4 11				ns
$T_{pzl}$ <sup>3)</sup>			7.5			4 12				ns
$T_{phz}$ <sup>4)</sup>			7.0			2 8				ns
$T_{plz}$ <sup>4)</sup>			5.5			2 8				ns
$f_{max}$			100			—				MHz

- 1) CLK → Q  
2) CLR → Q  
3) OC → Q (enable-tijd)  
4) OC → Q (disable-tijd)

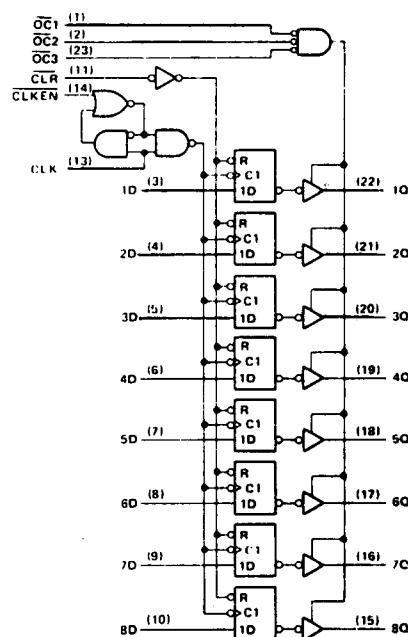
INPUTS					OUTPUT
OC*	CLR	CLKEN	CLK	D	Q
L	L	X	X	X	L
L	H	L	1	H	H
L	H	L	1	L	L
L	H	H	X	X	Q <sub>0</sub>
H	X	X	X	X	Z

$$OC* = \overline{OC1} \cdot \overline{OC2} \cdot \overline{OC3}$$

waarheidstabel



logisch symbool



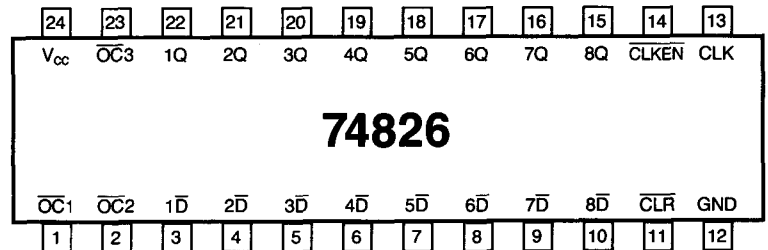
functioneel blokschema  
(positieve logica)

## 1.2 74xx-serie

## 74826

8-bit bus interface  
flip-flop met  
inverterende ingangen  
en 3-state uitgangen

Figuur 4/1.2-826



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
$I_{CC}$	$I_{L D}$					45 56 59				mA
$I_{OS}$						-30 -112				mA
$T_{plh}^{1)}$						3.5 7.5				ns
$T_{phl}^{1)}$						3.5 11				ns
$T_{phl}^{2)}$						3.5 13				ns
$T_{pzh}^{3)}$						4 11				ns
$T_{pzl}^{3)}$						4 12				ns
$T_{phz}^{4)}$						2 8				ns
$T_{plz}^{4)}$						2 8				ns

1) CLK → Q

2) CLR → Q

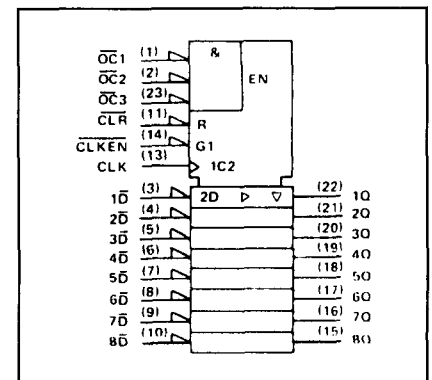
3) OC → Q (enable-tijd)

4) OC → Q (disable-tijd)

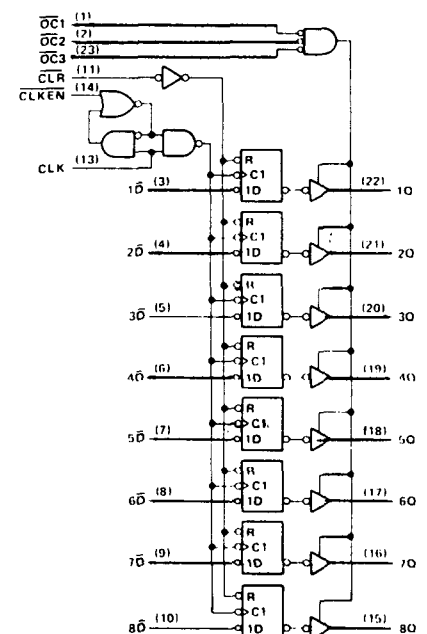
INPUTS					OUTPUT
OC*	CLR	CLKEN	CLK	D	Q
L	L	X	X	X	L
L	H	L	↑	H	L
L	H	L	↑	L	H
L	H	H	X	X	Q <sub>0</sub>
H	X	X	X	X	Z

waarheidstabel

$$\overline{OC} * = \overline{OC1} \cdot \overline{OC2} \cdot \overline{OC3}$$



logisch symbool

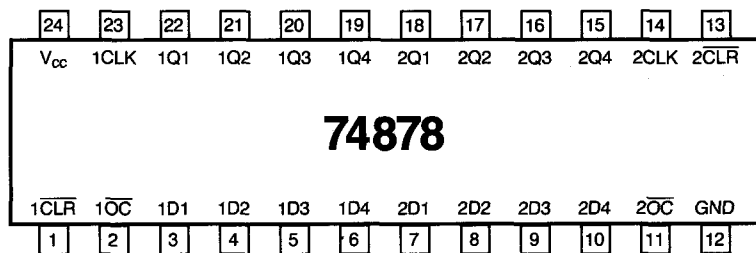
functioneel blokschema  
(positieve logica)

## 1.2 74xx-serie

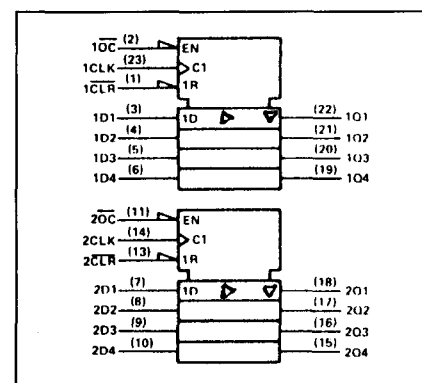
## 74878

2 × 4-bit D-type edge-triggered flip-flop's met 3-state uitgangen en synchrone clear

Figuur 4/1.2-878



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	H L D					82 96 100	14 18 20			mA
$I_{OS}$						-30 -112	-15 -70			mA
$T_{plh}^{1)}$						3 8.5	4 14			ns
$T_{phl}^{1)}$						4 10.5	4 16			ns
$T_{pzh}^{2)}$						2 7	4 20			ns
$T_{pzl}^{2)}$						3 10.5	4 20			ns
$T_{phz}^{2)}$						2 6	2 10			ns
$T_{plz}^{2)}$						2 6	3 13			ns
$f_{max}$						125	30			MHz



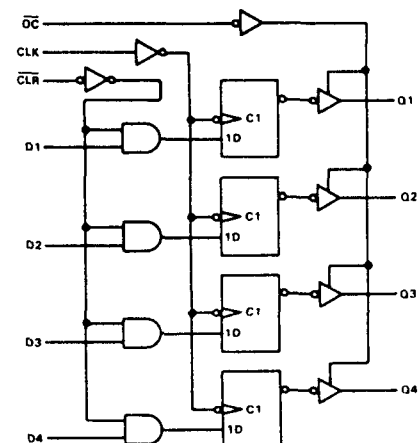
logisch symbool

1) CLK → Q

2) OC → Q

(EACH FLIP-FLOP)					
INPUTS				OUTPUT	
OC	CLR	CLK	D	Q	
L	L	↑	X	L	
L	H	↑	H	H	
L	H	↑	L	L	
L	H	L	X	$Q_0$	
H	X	X	X	Z	

waarheidstabel

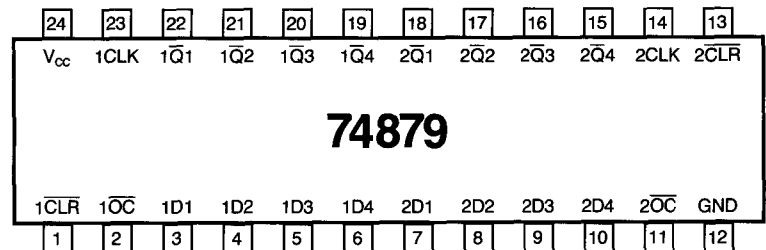
logisch schema  
(positieve logika)

## 1.2 74xx-serie

## 74879

2 × 4-bit D-type edge-triggered flip-flop's met inverterende 3-state uitgangen en synchrone clear

Figuur 4/1.2-879

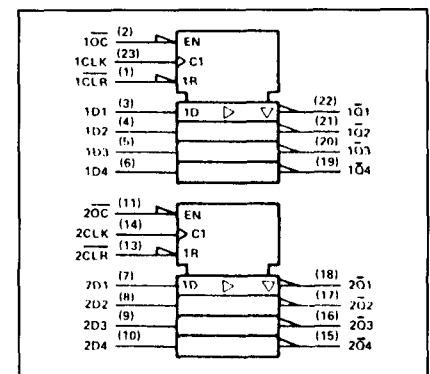


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$						88 94 100	14 18 20			mA
$I_{OS}$						-30 -112	-15 -70			mA
$T_{plh}^{1)}$						3 8.5	4 14			ns
$T_{phl}^{1)}$						4 10.5	4 16			ns
$T_{pzh}^{2)}$						2 7	4 20			ns
$T_{pzl}^{2)}$						3 10.5	4 20			ns
$T_{phz}^{2)}$						2 6	2 10			ns
$T_{plz}^{2)}$						2 6	3 13			ns
$f_{max}$						125	25			MHz

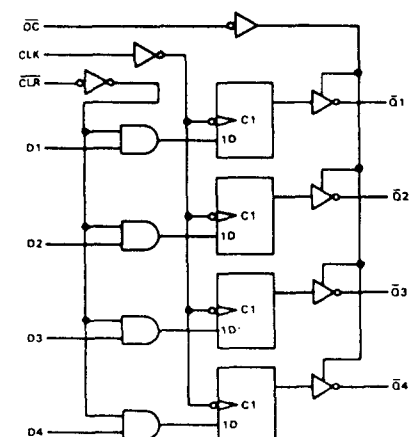
1) CLK →  $\bar{Q}$   
2) OC →  $\bar{Q}$

(EACH FLIP-FLOP)					
INPUTS					OUTPUT
$\bar{OC}$	$\bar{CLR}$	CLK	D		$\bar{Q}$
L	L	↑	X		H
L	H	↑	H		L
L	H	↑	L		H
L	H	L	X		$O_0$
H	X	X	X		Z

waarheidstabel



logisch symbool



logisch schema  
(positieve logica)

**1.2 74xx-serie**






## 4/1.3

Type D Flip-flop's  
(1)4xxx-serie CMOS

## (1) 4013

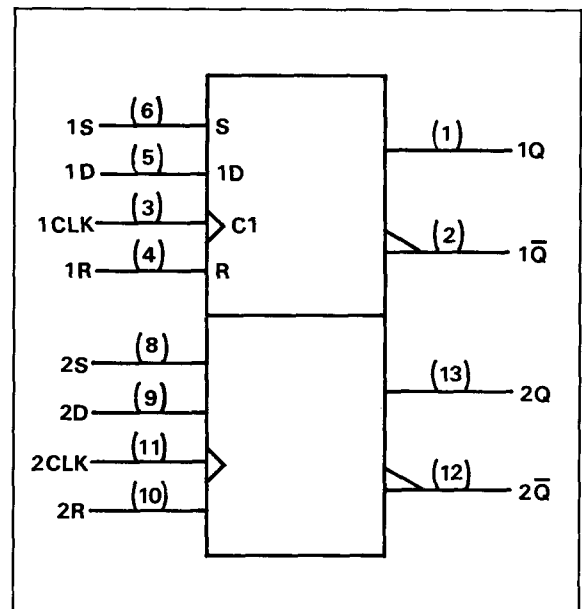
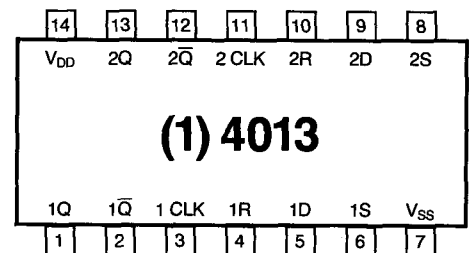
2 D-Flip-flop's  
met set en reset ingangen

INPUTS				OUTPUTS	
CLOCK <sup>†</sup>	DATA	RESET	SET	Q	$\bar{Q}$
	0	0	0	0	1
	1	0	0	1	0
	X	0	0	Q	$\bar{Q}$
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	*	*

X = Don't Care  
 † = Level Change  
 \* = Invalid Condition

No Change

Figuur 4/1.3-13.

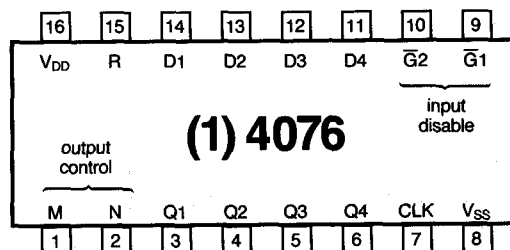


o.a. leverbaar: MC 14013 A/C  
CD 4013 A/B  
HEF 4013 B

## 1.3 Type D Flip-flop's (1) 4xxx-serie CMOS

## (1) 4076

## 4 D-type registers met 3-state uitgangen



Figuur.4/1.3-76.

inputs					outputs
R	CLK	$\bar{G}2$	$\bar{G}1$	$D_n$	Q
H	X	X	X	X	L
L	/	H	X	X	no change
L	/	X	H	X	no change
L	/	L	L	H	H
L	/	L	L	L	L
L	\	X	X	X	no change

$\bar{M} = \bar{N} = \text{LOW}$

When either M or N is HIGH, the outputs are disabled (high impedance (OFF-state)).

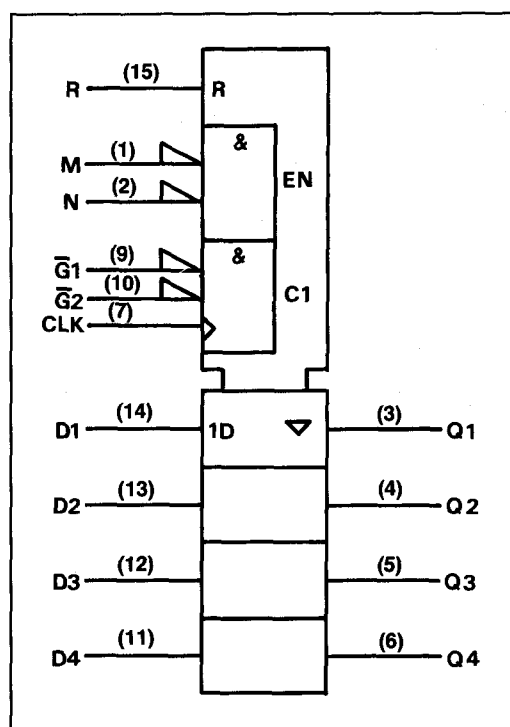
H = HIGH state (the more positive voltage)

L = LOW state (the less positive voltage)

X = state is immaterial

= positive-going transition

= negative-going transition






o.a. leverbaar: MC 14076 B  
CD 4076 B  
HEF 4076 B

## 1.3 Type D Flip-flop's (1) 4xxx-serie CMOS

**(1) 40174**

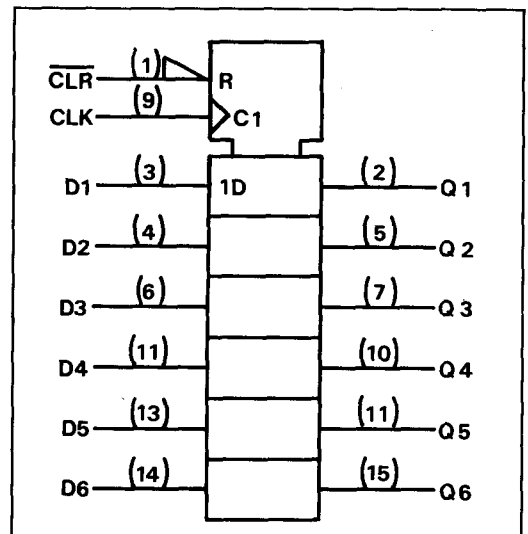
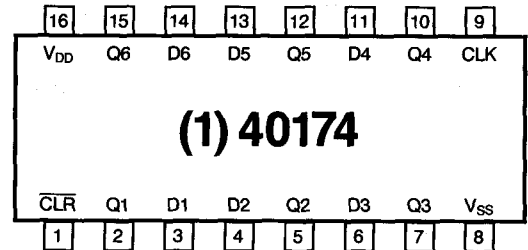
## 6 D-type Flip-flop's met clear

INPUTS			OUTPUT
CLOCK	DATA	CLEAR	Q
	0	1	0
	1	1	1
	X	1	NC
X	X	0	0

1 = High Level  
0 = Low Level

X = Don't Care  
NC = No Change

Figuur 4/1.3-174.



o.a. leverbaar: MC 14174 B  
CD 40174 B  
HEF 40174 B

## 1.3 Type D Flip-flop's (1) 4xxx-serie CMOS

## (1) 40175

4 D-type Flip-flop's met clear  
en complementaire uitgangen

inputs			outputs	
CLK	D	$\overline{MR}$	Q	$\overline{Q}$
$\nearrow$	H	H	H	L
$\nearrow$	L	H	L	H
$\searrow$	X	H	no change	no change
X	X	L	L	H

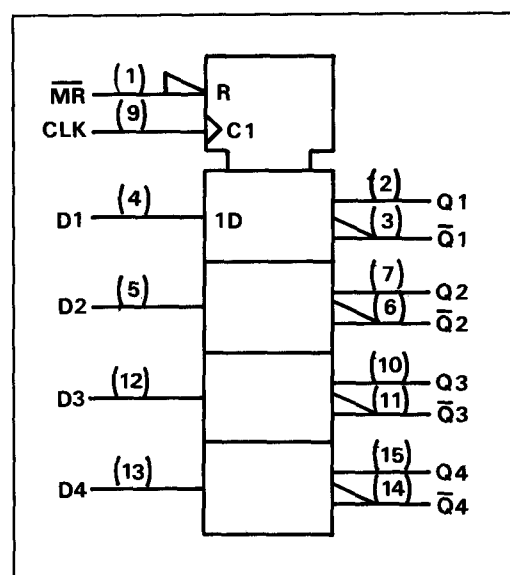
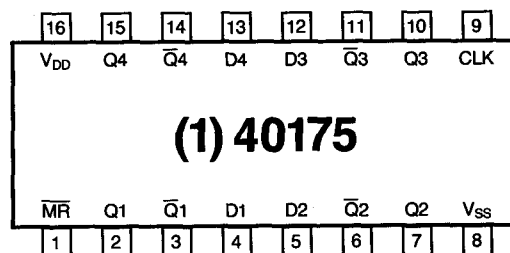
H = HIGH state (the more positive voltage)

L = LOW state (the less positive voltage)

X = state is immaterial

 $\nearrow$  = positive-going transition $\searrow$  = negative-going transition

Figuur 4/1.3-175.



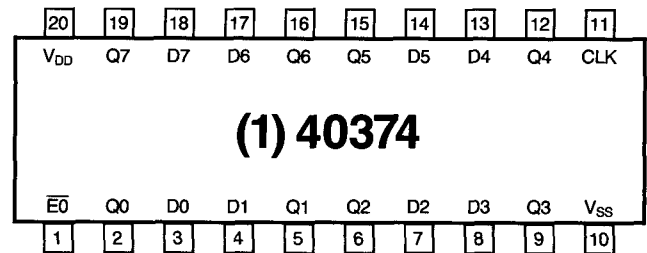
o.a. leverbaar: MC 14175 B  
HEF 40175 B  
 $\mu$ PD 4175 B

## 1.3 Type D Flip-flop's (1) 4xxx-serie CMOS

**(1) 40374**

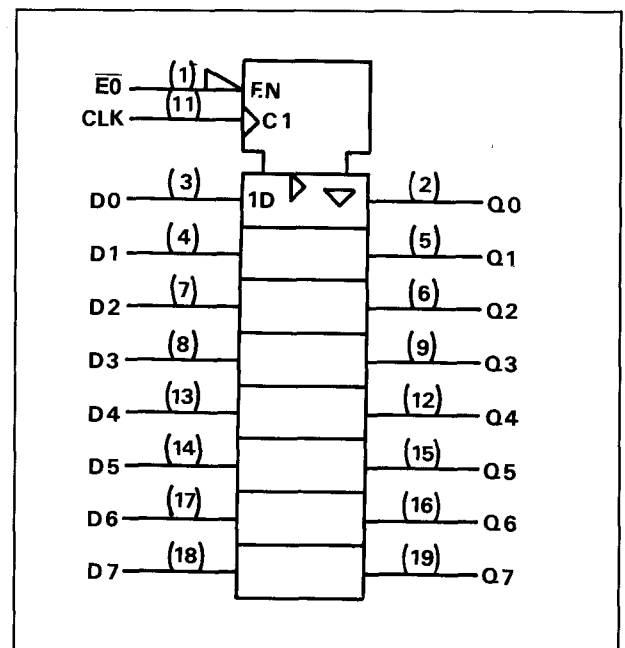
8 D-type Flip-flop's  
met 3-state uitgangen  
(qua aansluitingen en  
werking identiek aan  
TTL '374')

Figuur 4/1.3-374.



operating modes	inputs			internal register	outputs Q <sub>0</sub> to Q <sub>7</sub>
	$\overline{E0}$	CLK	D <sub>n</sub>		
load & read register	L	/	L	L	L
	L	/	h	H	H
load register & disable outputs	H	/	L	L	Z
	H	/	h	H	Z

H = HIGH state (the more positive voltage)  
h = HIGH state (one set-up time prior to the LOW-to-HIGH clock transition)  
L = LOW state (the less positive voltage)  
l = LOW state (one set-up time prior to the LOW-to-HIGH clock transition)  
Z = high impedance OFF-state  
/ = LOW-to-HIGH clock transition



leverbaar: HEF 40374 B

### 1.3 Type D Flip-flop's (1) 4xxx-serie CMOS

## 4/1.4

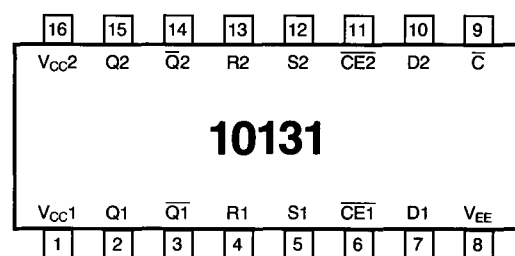
Type D Flip-flop's  
10k-serie ECL

## 10131

2 D-type Master-Slave Flip-flop's  
met asynchrone set- en reset  
ingangen en open-emitter  
uitgangen

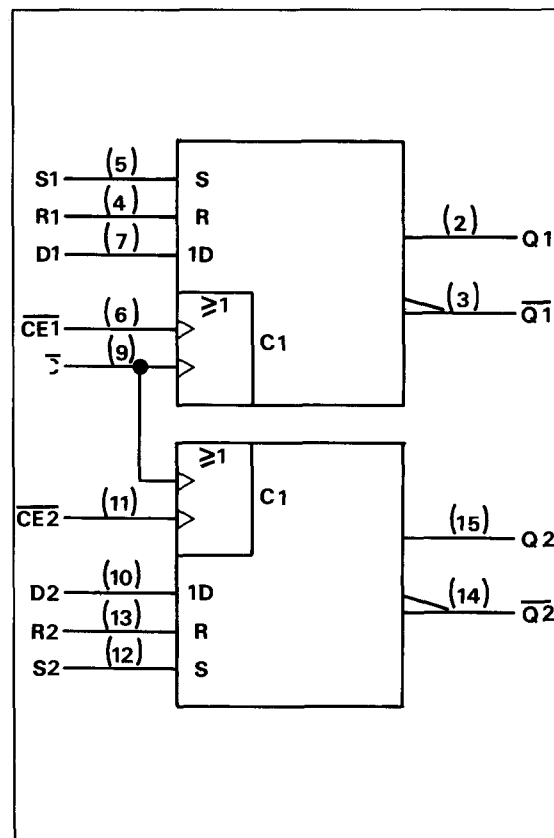
( $F_{TOG} = 160 \text{ MHz typ.}$ )

Figuur 4/1.4-131



Parameters bij 25°C

$I_E$	min typ max	45 56	mA	Stroom uit voeding ( $V_{EE} = -5,2 \text{ V}$ )
$I_{IL}$	min typ max	0.5	$\mu\text{A}$	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	330	$\mu\text{A}$	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.850 -1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.960 -0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
P	typ	235	mW/ package	Dissipatie
$t_d$	typ typ typ	2.8 ns 3.0 ns	ns ns ns	Vertragingstijd (set, reset) (clock)
fanout ZIN	1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden		



logisch symbool

## 1.4 10k-serie ECL

TRUTH TABLE

D	C*	S	R	Q <sub>n+1</sub>
0	L	L	L	Q <sub>n</sub>
L	H	L	L	L
H	H	L	L	H
0	0	H	L	H
0	0	L	H	L
0	0	H	H	N.D.

An H represents a transition from L to H between  $t = n + 1$

$C = C_C + \overline{CE}$

N.D. = Not Defined

waarheidstabel



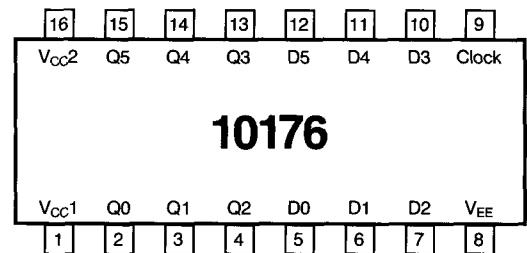
## 1.4 10k-serie ECL

## 10176

# 6 D-type Master-Slave Flip-flop's met open-emitter uitgangen

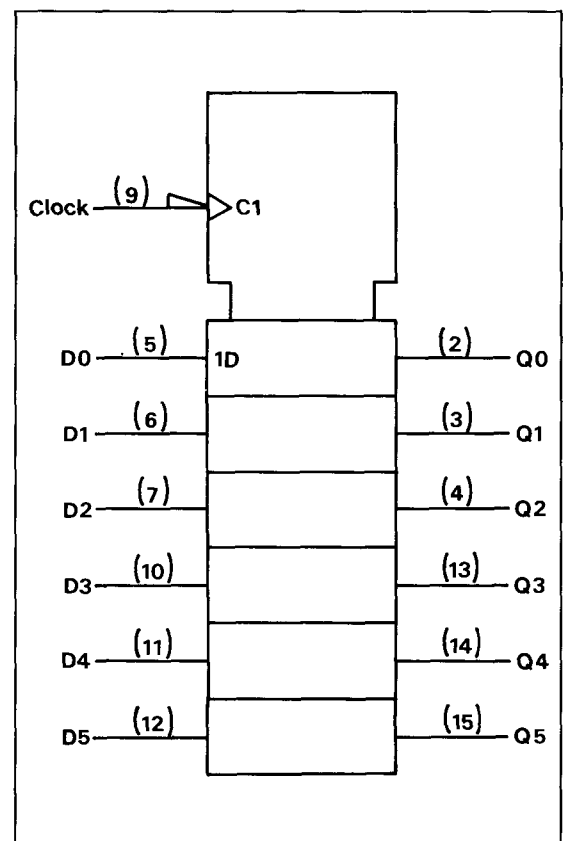
( $F_{\text{TOG}} = 150 \text{ MHz typ.}$ )

Figuur 4/1.4-176



## Parameters bij 25°C

$I_E$	min typ max	88 110	mA	Stroom uit voeding ( $V_{EE} = -5,2 \text{ V}$ )
$I_{IL}$	min typ max	0.5	$\mu\text{A}$	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	220	$\mu\text{A}$	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.850 -1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.960 -0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
P	typ	460	mW/ package	Dissipatie
td	typ typ typ	4.0 ns ns ns		Vertragingstijd
fanout ZIN		1 50		50 Ohm-lijn(en) kOhm pull-down weerstanden



logisch symbol

## TRUTH TABLE

C	D	$Q_{n+1}$
L	$\emptyset$	$Q_n$
L $\rightarrow$ H	L	L
L $\rightarrow$ H	H	H
H $\rightarrow$ L	$\emptyset$	$Q_n$

$\emptyset$  = Don't Care

waarheidstabel

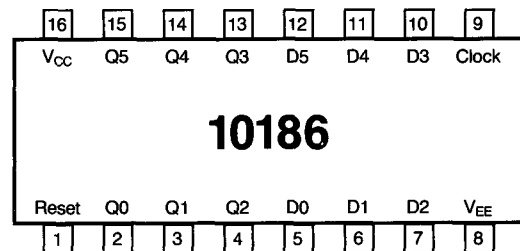
## 1.4 10k-serie ECL

## 10186

# 6 D-type Master-Slave Flip-flop's met reset-ingang

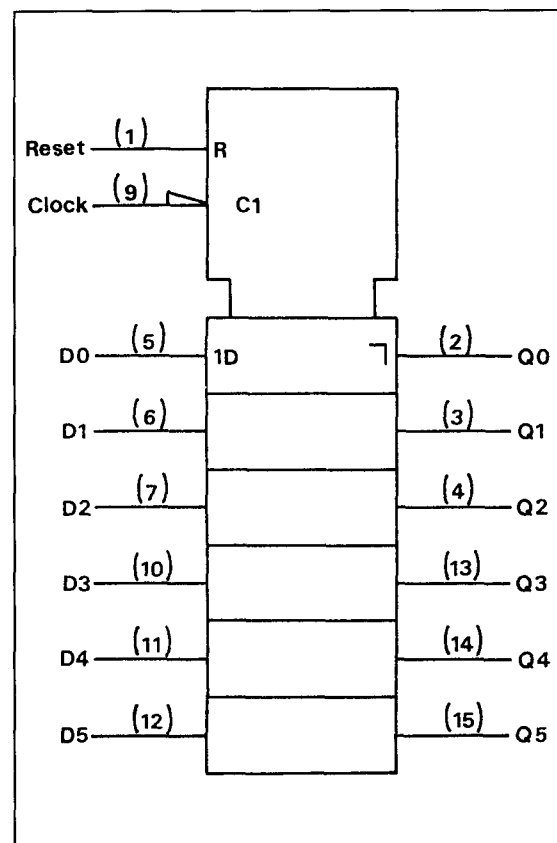
( $F_{TOG} = 150 \text{ MHz typ.}$ )

Figuur 4/1.4-186



## Parameters bij 25°C

$I_E$	min typ max	mA	Stroom uit voeding ( $V_{EE} = -5,2 \text{ V}$ )
110			
$I_{IL}$	min typ max	$\mu\text{A}$	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
0.5			
$I_{IH}$	min typ max	$\mu\text{A}$	High level Ingangsstroom $V_{IN} = V_{IHmax}$
225			
$V_{OL}$	min typ max	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
-1.850 -1.650			
$V_{OH}$	min typ max	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
-0.960 -0.810			
$V_{OLA}$	min typ max	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
-1.630			
$V_{OHA}$	min typ max	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
-0.980			
P	typ	mW/ package	Dissipatie
460			
td	typ typ typ	ns ns ns	Vertragingstijd
4.0			
fanout ZIN	1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



logisch symbool

R	C*	Q	$Q_n + 1$
L	L	$\emptyset$	$Q_n$
L	H	L	L
L	H	H	H
H	L	$\emptyset$	L

$\emptyset$  = don't care

\*) clock H = LAAG-naar-HOOG overgang

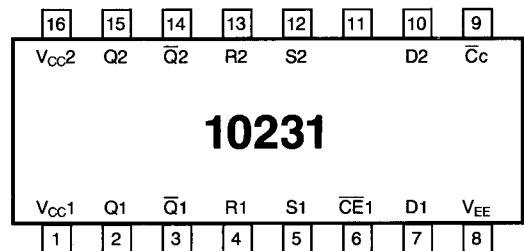
waarheidstabel

## 1.4 10k-serie ECL

## 10231

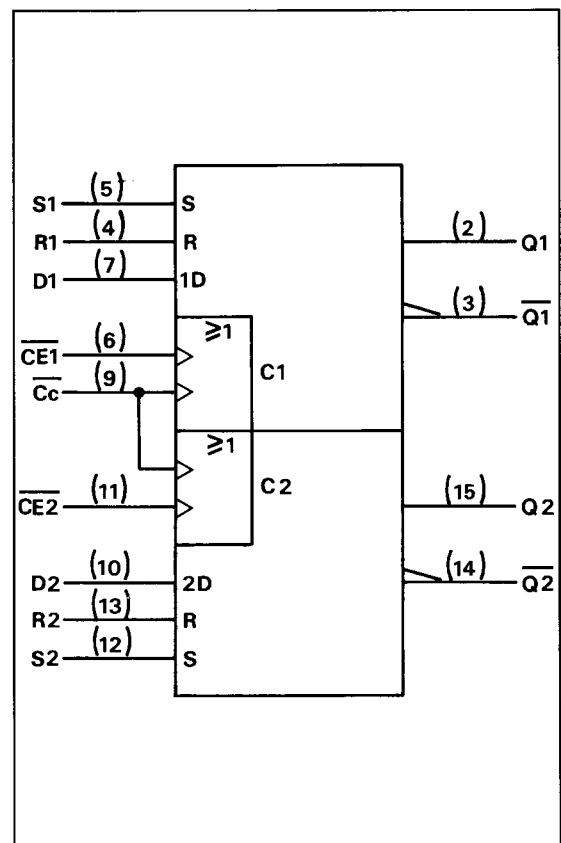
2 D-type Master-Slave Flip-flop's  
met set- en reset-ingangen en  
open-emitter uitgangen  
( $F_{\text{TOG}} = 225 \text{ MHz typ.}$ )

Figuur 4/1.4-231



## Parameters bij 25°C

$I_E$	min typ max	52 65	mA	Stroom uit voeding ( $V_{EE} = -5,2 \text{ V}$ )
$I_{IL}$	min typ max	0.5	$\mu\text{A}$	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	410	$\mu\text{A}$	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.850 -1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.960 -0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
P	typ	270	mW/ package	Dissipatie
$t_d$	typ typ typ	2.0 ns 2.0 ns		Vertragingstijd (set, reset) (clock)
fanout ZIN		1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



logisch symbool

## TRUTH TABLE

D	C*	S	R	$Q_{n+1}$
$\emptyset$	L	L	L	$Q_n$
L	H	L	L	L
H	H	L	L	H
$\emptyset$	$\emptyset$	H	L	H
$\emptyset$	$\emptyset$	L	H	L
$\emptyset$	$\emptyset$	H	H	N.D.

\*An H represents a transition from L to H between  $t=n$  and  $t=n+1$ C =  $C_C + CE$ 

N.D. = not defined

## waarheidstabel

## 1.4 10k-serie ECL

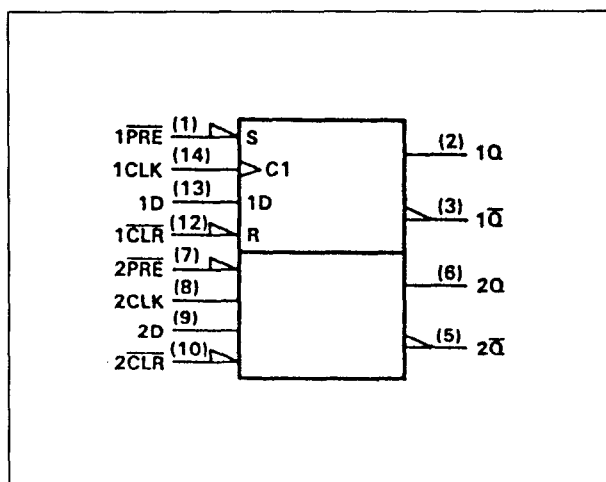
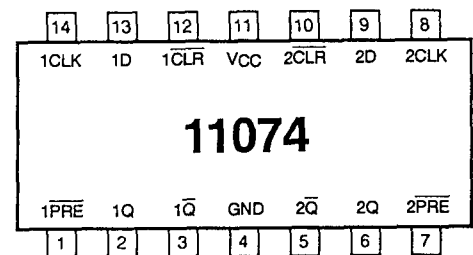
## 4/1.5

## Type D Flip-flop's 74AC(T)11xx-serie

**74AC11074, 74ACT11074**

2 pos. edge D Flip-flop's  
elk met preset en clear

Figuur 4/1.5-11074.



Logisch symbool.

INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H <sup>†</sup>	H <sup>†</sup>
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q <sub>o</sub>	Q̄ <sub>o</sub>

Waarheidstabel.

## 1.5 Type D Flip-flop's 74AC(T)11xx-serie

## Kenmerken AC-type

## electrical characteristics

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25°C			74AC11074		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	3 V	2.9			2.9		V
		4.5 V	4.4			4.4		
		5.5 V	5.4			5.4		
	I <sub>OH</sub> = -4 mA	3 V	2.58			2.48		
		4.5 V	3.94			3.8		
	I <sub>OH</sub> = -24 mA	5.5 V	4.94			4.8		
V <sub>OL</sub>	I <sub>OL</sub> = 50 µA	3 V			0.1		0.1	V
		4.5 V			0.1		0.1	
		5.5 V			0.1		0.1	
	I <sub>OL</sub> = 12 mA	3 V			0.36		0.44	
		4.5 V			0.36		0.44	
	I <sub>OL</sub> = 24 mA	5.5 V			0.36		0.44	
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V			±0.1		±1	µA
		5.5 V			4		40	µA
		5 V		3.5				pF

## Statische karakteristieken.

## timing requirements

		V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C		74AC11074		UNIT
			MIN	MAX	MIN	MAX	
f <sub>clock</sub>	Clock frequency	3.3 ± 0.3 V	0	100	0	100	MHz
		5 ± 0.5 V	0	125	0	125	
t <sub>w</sub>	Pulse duration	PRE or CLR low	3.3 ± 0.3 V	4	4		ns
			5 ± 0.5 V	4	4		
	CLK low or CLK high		3.3 ± 0.3 V	5	5		
			5 ± 0.5 V	4	4		
t <sub>su</sub>	Setup time data before CLK↑	Data high or low	3.3 ± 0.3 V	5	5		ns
			5 ± 0.5 V	3.5	3.5		
	PRE or CLR inactive		3.3 ± 0.3 V	1	1		
			5 ± 0.5 V	1	1		
t <sub>h</sub>	Hold time data after CLK↑		3.3 ± 0.3 V	0	0		ns
			5 ± 0.5 V	0	0		

## Timing karakteristieken.

## switching characteristics

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C			74AC11074		UNIT
				MIN	TYP	MAX	MIN	MAX	
f <sub>max</sub>			3.3 ± 0.3 V	100	125		100		MHz
			5 ± 0.5 V	125	150		125		
t <sub>PLH</sub>	PRE or CLR	Q or $\bar{Q}$	3.3 ± 0.3 V	1.5	5.8	9.3	1.5	10	ns
			5 ± 0.5 V	1.5	4.2	6.6	1.5	7.1	
t <sub>PHL</sub>			3.3 ± 0.3 V	1.5	6.5	11.4	1.5	12.2	
	CLK	Q or $\bar{Q}$	5 ± 0.5 V	1.5	4.7	8.2	1.5	9	ns
t <sub>PLH</sub>			3.3 ± 0.3 V	1.5	7.7	10.5	1.5	11.3	
			5 ± 0.5 V	1.5	5.4	7.5	1.5	8.2	
t <sub>PHL</sub>			3.3 ± 0.3 V	1.5	7.3	9.7	1.5	10.6	ns
			5 ± 0.5 V	1.5	5	6.9	1.5	7.5	

## Schakel karakteristieken.

## 1.5 Type D Flip-flop's 74AC(T)11xx-serie

## Kenmerken ACT-type

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25°C			74AC11074		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	3 V	2.9			2.9		V
		4.5 V	4.4			4.4		
		5.5 V	5.4			5.4		
	I <sub>OH</sub> = -4 mA	3 V	2.58			2.48		
		4.5 V	3.94			3.8		
	I <sub>OH</sub> = -24 mA	5.5 V	4.94			4.8		
		5.5 V						
V <sub>OL</sub>	I <sub>OL</sub> = 50 µA	3 V			0.1		0.1	V
		4.5 V			0.1		0.1	
		5.5 V			0.1		0.1	
	I <sub>OL</sub> = 12 mA	3 V			0.36		0.44	
		4.5 V			0.36		0.44	
	I <sub>OL</sub> = 24 mA	5.5 V			0.36		0.44	
		5.5 V						
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V			±0.1		±1	µA
		5.5 V			4		40	µA
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5 V		3.5				pF

## Statische karakteristieken.

		V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C		74AC11074		UNIT
			MIN	MAX	MIN	MAX	
f <sub>clock</sub>	Clock frequency	3.3 ± 0.3 V	0	100	0	100	MHz
t <sub>w</sub>	Pulse duration	5 ± 0.5 V	0	125	0	125	ns
		3.3 ± 0.3 V	4		4		
	PRE or CLR low	5 ± 0.5 V	4		4		
		3.3 ± 0.3 V	5		5		
t <sub>su</sub>	Setup time data before CLK1	5 ± 0.5 V	4		4		ns
		3.3 ± 0.3 V	5		5		
	PRE or CLR inactive	3.3 ± 0.3 V	1		1		
		5 ± 0.5 V	1		1		
t <sub>h</sub>	Hold time data after CLK1	3.3 ± 0.3 V	0		0		ns
		5 ± 0.5 V	0		0		

## Timing karakteristieken.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C			74AC11074		UNIT
				MIN	TYP	MAX	MIN	MAX	
f <sub>max</sub>			3.3 ± 0.3 V	100	125		100		MHz
			5 ± 0.5 V	125	150		125		
t <sub>PLH</sub>	PRE or CLR	Q or Q̄	3.3 ± 0.3 V	1.5	5.8	9.3	1.5	10	ns
			5 ± 0.5 V	1.5	4.2	6.6	1.5	7.1	
t <sub>PHL</sub>	PRE or CLR	Q or Q̄	3.3 ± 0.3 V	1.5	6.5	11.4	1.5	12.2	
			5 ± 0.5 V	1.5	4.7	8.2	1.5	9	
t <sub>PLH</sub>	CLK	Q or Q̄	3.3 ± 0.3 V	1.5	7.7	10.5	1.5	11.3	ns
			5 ± 0.5 V	1.5	5.4	7.5	1.5	8.2	
			3.3 ± 0.3 V	1.5	7.3	9.7	1.5	10.6	
t <sub>PHL</sub>	CLK	Q or Q̄	5 ± 0.5 V	1.5	5	6.9	1.5	7.5	ns

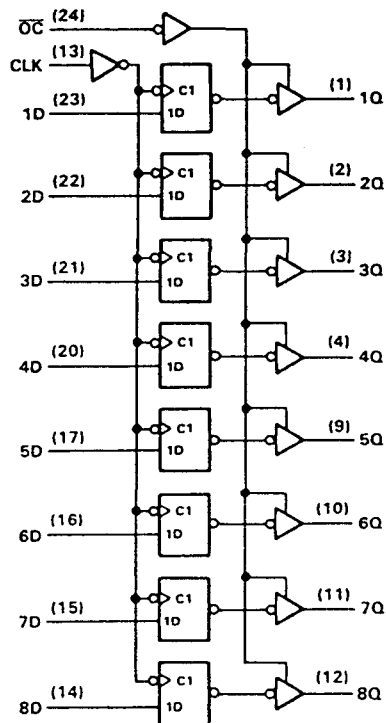
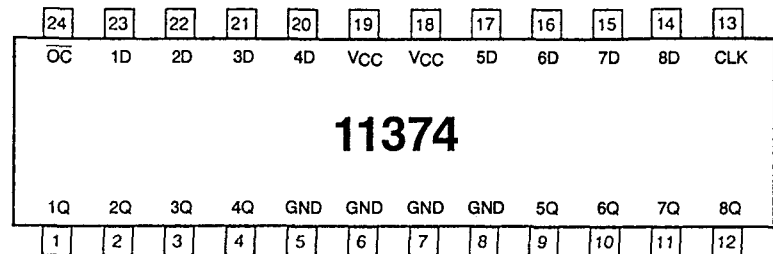
## Schakel karakteristieken.

## 1.5 Type D Flip-flop's 74AC(T)11xx-serie

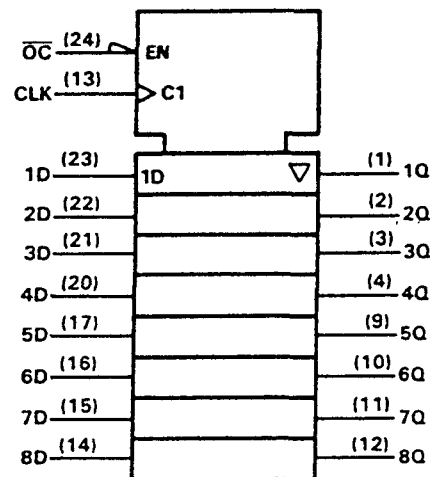
**74AC11374, 74ACT11374**

8 edge-triggered  
D Flip-flop's met 3-state  
uitgangen

Figuur 4/1.5-11374.



Functioneel blokschema.



Logisch symbool.

INPUTS			OUTPUT
$\overline{OC}$	CLK	D	Q
L	↑	H	H
L	↑	L	L
L	L	X	$Q_0$
H	X	X	Z

Waarheidstabel.



## 1.5 Type D Flip-flop's 74AC(T)11xx-serie

## Kenmerken AC-type

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25°C			74AC11374		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	3 V		2.9		2.9		V
		4.5 V		4.4		4.4		
		5.5 V		5.4		5.4		
	I <sub>OH</sub> = -4 mA	3 V		2.58		2.48		
		4.5 V		3.94		3.8		
		5.5 V		4.94		4.8		
V <sub>OL</sub>	I <sub>OL</sub> = 50 µA	3 V			0.1		0.1	V
		4.5 V			0.1		0.1	
		5.5 V			0.1		0.1	
	I <sub>OL</sub> = 12 mA	3 V			0.36		0.44	
		4.5 V			0.36		0.44	
		5.5 V			0.36		0.44	
I <sub>OZ</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5.5 V			±0.5		±5	µA
		5.5 V			±0.1		±1	
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V					80	µA
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND, I <sub>O</sub> = 0	5.5 V					80	µA
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5 V			4			pF
C <sub>o</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5 V			10			pF

## Statische karakteristieken.

			V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C		74AC11374		UNIT
				MIN	MAX	MIN	MAX	
f <sub>clock</sub>	Clock frequency		3.3 ± 0.3 V	0	100	0	100	MHz
			5 ± 0.5 V	0	125	0	125	
t <sub>w</sub>	Pulse duration	CLK low or CLK high	3.3 ± 0.3 V	4		4		ns
			5 ± 0.5 V	4		4		
t <sub>su</sub>	Setup time data before CLK↑		3.3 ± 0.3 V	5		5		ns
			5 ± 0.5 V	4		4		
t <sub>h</sub>	Hold time data after CLK↑		3.3 ± 0.3 V	5		5		ns
			5 ± 0.5 V	3.5		3.5		

## Timing karakteristieken.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C			74AC11374		UNIT
				MIN	TYP	MAX	MIN	MAX	
t <sub>PLH</sub>	CLK	Any Q	3.3 ± 0.3 V						ns
			5 ± 0.5 V		5.3				
t <sub>PHL</sub>			3.3 ± 0.3 V						
			5 ± 0.5 V		5.9				
t <sub>PZH</sub>	00	Any Q	3.3 ± 0.3 V						ns
			5 ± 0.5 V		4.4				
t <sub>PZL</sub>			3.3 ± 0.3 V						
			5 ± 0.5 V		5.2				
t <sub>PHZ</sub>	00	Any Q	3.3 ± 0.3 V						ns
			5 ± 0.5 V		5.8				
t <sub>PLZ</sub>			3.3 ± 0.3 V						
			5 ± 0.5 V		4.9				

## Schakel karakteristieken.

## 1.5 Type D Flip-flop's 74AC(T)11xx-serie

## Kenmerken ACT-type

PARAMETER	TEST CONDITIONS	VCC	T <sub>A</sub> = 25°C			74ACT11374		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	4.5 V	4.4			4.4		V
		5.5 V	5.4			5.4		
	I <sub>OH</sub> = -24 mA	4.5 V	3.94			3.8		
		5.5 V	4.94			4.8		
	I <sub>OH</sub> = -50 mA <sup>†</sup>	5.5 V						
V <sub>OL</sub>	I <sub>OL</sub> = 50 µA	4.5 V			0.1		0.1	V
		5.5 V			0.1		0.1	
	I <sub>OL</sub> = 24 mA	4.5 V			0.36		0.44	
		5.5 V			0.36		0.44	
	I <sub>OL</sub> = 50 mA <sup>†</sup>	5.5 V						
	I <sub>OL</sub> = 75 mA <sup>†</sup>	5.5 V					1.65	
I <sub>OZ</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5.5 V			±0.5		±5	µA
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V			±0.1		±1	µA
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND, I <sub>O</sub> = 0	5.5 V			8		80	µA
ΔI <sub>CC</sub> <sup>‡</sup>	One input at 3.4 V, Other inputs at GND or V <sub>CC</sub>	5.5 V			0.9		1	mA
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5 V			4			pF
C <sub>o</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5 V			10			pF

Statische karakteristieken.

timing requirements, V<sub>CC</sub> = 5 ± 0.5 V

	T <sub>A</sub> = 25°C			74ACT11374		UNIT
	MIN		MAX	MIN	MAX	
t <sub>w</sub> Pulse duration, enable C high						ns
t <sub>su</sub> Setup time, data before enable C ↓						ns
t <sub>h</sub> Hold time data after enable C ↓						ns

Timing karakteristieken.

switching characteristics, V<sub>CC</sub> = 5 V ± 0.5 V

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T <sub>A</sub> = 25°C			74ACT11374		UNIT
			MIN	TYP	MAX	MIN	MAX	
t <sub>PLH</sub>	CLK	Any Q		5.6				ns
t <sub>PHL</sub>				6.7				
t <sub>PZH</sub>	OC	Any Q		5.6				ns
t <sub>PZL</sub>				6.7				
t <sub>PHZ</sub>	OC	Any Q		7.3				ns
t <sub>PLZ</sub>				6.3				

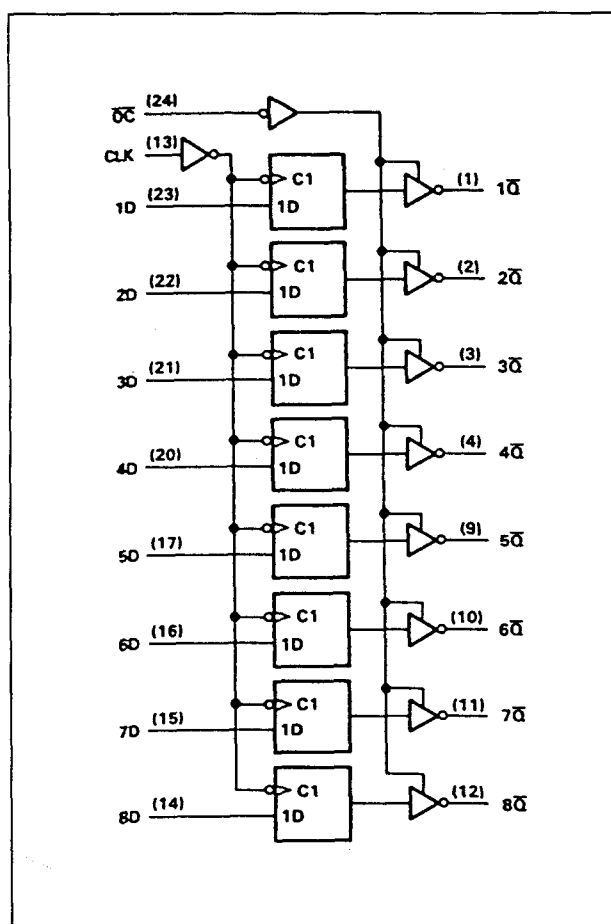
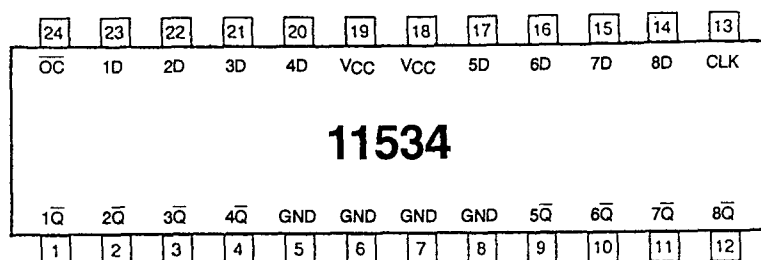
Schakel karakteristieken.

## 1.5 Type D Flip-flop's 74AC(T)11xx-serie

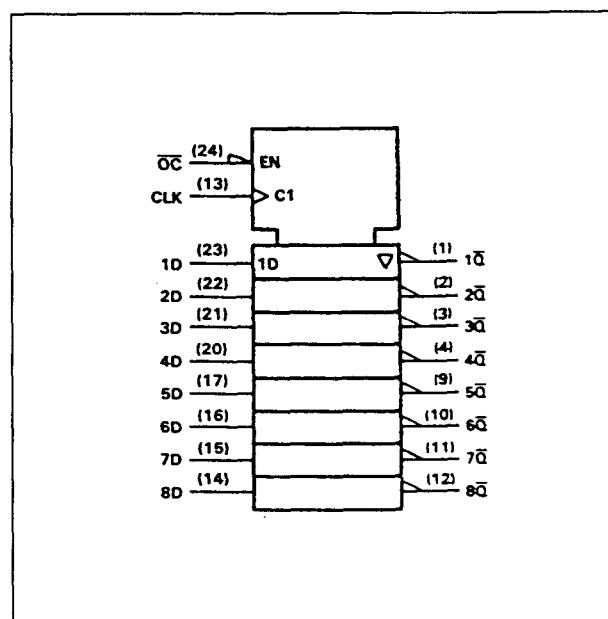
**74AC11534, 74ACT11534**

8 edge-triggered  
D Flip-flop's met 3-state  
uitgangen

Figuur 4/1.5-11534.



Functioneel blokschema.



Logisch symbol.

INPUTS			OUTPUT
OC-bar	CLK	D	Q
L	↑	H	H
L	↑	L	L
L	L	X	Q <sub>O</sub>
H	X	X	Z

Waarheidstabel.

## 1.5 Type D Flip-flop's 74AC(T)11xx-serie

## Kenmerken AC-type

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25°C			74AC11534		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	3 V	2.9			2.9		V
		4.5 V	4.4			4.4		
		5.5 V	5.4			5.4		
	I <sub>OH</sub> = -4 mA	3 V	2.58			2.48		
		4.5 V	3.94			3.8		
		5.5 V	4.94			4.8		
V <sub>OL</sub>	I <sub>OL</sub> = 50 µA	3 V			0.1		0.1	V
		4.5 V			0.1		0.1	
		5.5 V			0.1		0.1	
	I <sub>OL</sub> = 12 mA	3 V			0.36		0.44	
		4.5 V			0.36		0.44	
		5.5 V			0.36		0.44	
	I <sub>OL</sub> = 50 mA†	5.5 V						
		5.5 V					1.65	
I <sub>OZ</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5.5 V			±0.5		±5	µA
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V			±0.1		±1	µA
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND, I <sub>O</sub> = 0	5.5 V			8		80	µA
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5 V		4				pF
C <sub>o</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5 V		10				pF

## Statische karakteristieken.

			V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C		74AC11534		UNIT
				MIN	MAX	MIN	MAX	
f <sub>clock</sub>	Clock frequency		3.3 ± 0.3 V	0	100	0	100	MHz
			5 ± 0.5 V	0	125	0	125	
t <sub>w</sub>	Pulse duration	CLK low or CLK high	3.3 ± 0.3 V	4		4		ns
			5 ± 0.5 V	4		4		
t <sub>su</sub>	Setup time, data before CLK†		3.3 ± 0.3 V	5		5		ns
			5 ± 0.5 V	4		4		
t <sub>h</sub>	Hold time, data after CLK†		3.3 ± 0.3 V	5		5		ns
			5 ± 0.5 V	3.5		3.5		

## Timing karakteristieken.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C			74AC11534		UNIT
				MIN	TYP	MAX	MIN	MAX	
t <sub>PLH</sub>	CLK	Any Q	3.3 ± 0.3 V						ns
			5 ± 0.5 V		7.1				
t <sub>PHL</sub>			3.3 ± 0.3 V						
			5 ± 0.5 V		7.1				
t <sub>PZH</sub>	00	Any Q	3.3 ± 0.3 V						ns
			5 ± 0.5 V		6.6				
t <sub>PZL</sub>			3.3 ± 0.3 V						
			5 ± 0.5 V		6.2				
t <sub>PHZ</sub>	00	Any Q	3.3 ± 0.3 V						ns
			5 ± 0.5 V		7.2				
t <sub>PLZ</sub>			3.3 ± 0.3 V						
			5 ± 0.5 V		7.1				

## Schakel karakteristieken.

## 1.5 Type D Flip-flop's 74AC(T)11xx-serie

## Kenmerken ACT-type

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25°C			74ACT11534		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	4.5 V	4.4			4.4		V
		5.5 V	5.4			5.4		
	I <sub>OH</sub> = -24 mA	4.5 V	3.94			3.8		
		5.5 V	4.94			4.8		
V <sub>OL</sub>	I <sub>OH</sub> = -50 mA <sup>†</sup>	5.5 V						V
	I <sub>OH</sub> = -75 mA <sup>†</sup>	5.5 V				3.85		
	I <sub>OL</sub> = 50 µA	4.5 V			0.1		0.1	
		5.5 V			0.1		0.1	
	I <sub>OL</sub> = 24 mA	4.5 V			0.36		0.44	
		5.5 V			0.36		0.44	
I <sub>OZ</sub>	I <sub>OL</sub> = 50 mA <sup>†</sup>	5.5 V						µA
	I <sub>OL</sub> = 75 mA <sup>†</sup>	5.5 V					1.65	
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V			±0.5		±5	µA
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V			±0.1		±1	µA
ΔI <sub>CC</sub> <sup>‡</sup>	V <sub>I</sub> = V <sub>CC</sub> or GND, $\Sigma Z = 0$	5.5 V			8		80	µA
C <sub>i</sub>	One input at 3.4 V, Other inputs at GND = 1/CC	5.5 V			0.9		1	pF
C <sub>o</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5 V			4			pF
	V <sub>O</sub> = V <sub>CC</sub> or GND	5 V			10			pF

## Statische karakteristieken.

timing requirements, V<sub>CC</sub> = 5 ± 0.5 V

		T <sub>A</sub> = 25°C		74ACT11534		UNIT
		MIN	MAX	MIN	MAX	
t <sub>w</sub>	Pulse duration, enable C high					ns
t <sub>su</sub>	Setup time, data before enable C.					ns
t <sub>h</sub>	Hold time, data after enable C.					ns

## Timing karakteristieken.

switching characteristics, V<sub>CC</sub> = 5 V ± 0.5 V

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T <sub>A</sub> = 25°C			74ACT11534		UNIT
			MIN	TYP	MAX	MIN	MAX	
t <sub>PLH</sub>	CLK	Any Q		9.4				ns
t <sub>PHL</sub>				9.5				
t <sub>PZH</sub>	OC	Any Q		8.4				ns
t <sub>PZL</sub>				8.1				
t <sub>PHZ</sub>	OC	Any Q		8.3				ns
t <sub>PLZ</sub>				9.2				

## Schakel karakteristieken.

**1.5 Type D Flip-flop's 74AC(T)11xx-serie**

## 4/2

## Type J-K flip-flop's

## Inhoud

4/2.1    **Achtergrond-informatie**  
(aanvulling 10)4/2.2    **Type J-K flip-flop's 74xx-serie**  
(aanvulling 5 + 6)

7470	positive edge-triggered J-K met AND-ingangen, preset en clear
7472	J-K master-slave met preset en clear
7473	2 x J-K met clear
7476	2 x J-K met preset en clear
7478	2 x J-K met preset en gemeenschappelijke clock en clear
74104	J-K master-slave met AND-ingangen
74105	J-K master-slave met AND-ingangen
74107	2 x J-K met clear
74109	2 x pos. edge-triggered J-K met preset en clear
74110	J-K master-slave met AND-ingangen en data-lockout
74111	2 x J-K master-slave met data-lockout
74112	2 x neg. edge-triggered J-K met preset en clear
74113	2 x neg. edge-triggered J-K met preset
74114	2 x neg. edge-triggered J-K met preset en gemeenschappelijke clock en clear
74276	4 x J-K met aparte clock en gemeenschappelijke preset en clear
74376	4 x J-K met gemeenschappelijke clock en clear

4/2.3    **Type J-K flip-flop's (1)4xxx-serie CMOS**  
(aanvulling 10)

(1)4027	2 x J-K master-slave, set en reset
(1)4095	J-K master-slave met AND-ingangen
(1)4096	J-K master-slave met AND-ingangen

4/2.4    **Type J-K flip-flop's 10k-serie ECL**  
(aanvulling 20)

10135	2 x J-K master-slave, set en reset
-------	------------------------------------

- 4/2.5     **Type J-K flip-flop's 74AC(T)11xx-serie**  
          *(aanvulling 56)*  
          74AC(T)11109     2 x J-K met preset en clear



## 4/2.1

## Achtergrond-informatie

**J-K Flip-flop's**

Het logisch symbool voor een J-K flip-flop is te zien in figuur 4/2.1-1a. Deze flip-flop wordt wel beschouwd als de universele flip-flop, waaruit andere typen kunnen worden gemaakt. Het logische symbool heeft drie synchrone ingangen: J, K en CLK. De J en K ingangen zijn data-ingangen, terwijl met het kloksignaal de data naar de uitgangen wordt getransporteerd. Er zijn twee uitgangen: de normale uitgang Q en de complementaire uitgang  $\bar{Q}$ .

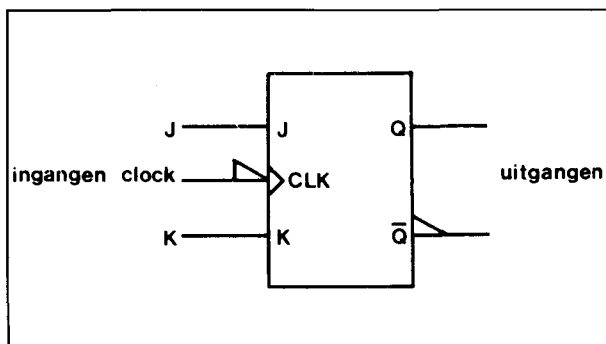
Figuur 4/2.1-1b laat de waarheidstabel van deze flip-flop zien. De eerste regel is de houd- of gesperde (disabled) toestand, waarbij beide data-ingangen LAAG zijn. Op regel twee wordt de flip-flop door J=0 en K=1 plus een klokpuls in de reset of clear toestand gebracht. Op de derde regel veroorzaken J = 1 en K=0 plus de klokpuls dat de flip-flop wordt geset. De vierde regel is een zeer bruikbare conditie van de J-K flip-flop: de 'toggle-conditie'. Wanneer J en K

beide HOOG zijn verandert de uitgang iedere keer van toestand wanneer een klokpuls binnenkomt.





Let op dat in de waarheidstabel de gehele klokpuls te zien is. Veel J-K flip-flop's zijn namelijk 'impuls getriggerd', waarbij de gehele pulsvorm nodig is om data van de ingangen naar de uitgangen over te brengen. De aanwezigheid van de CLK op elke regel van de waarheidstabel zal duidelijk maken dat het hier een synchrone flip-flop betreft.

De J-K flip-flop is een universele flip-flop die ook als basis kan dienen voor andere soorten. In figuur 4/2.1-2a is bijvoorbeeld te zien hoe van een J-K flip-flop en een inverter een D-type flip-flop gemaakt kan worden. Deze kunstmatige D flip-flop triggert op de neergaande flank van de klokpuls, hetgeen wordt aangegeven door het inversie-teken bij de CLK-ingang.

In figuur 4/2.1-2b is een zeer bruikbare toggle flip-flop (T-type flip-flop) geconstrueerd. De J en K ingangen zijn hierbij eenvoudig

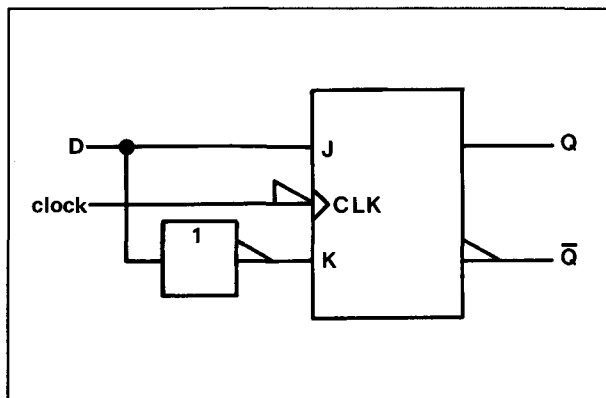


**Figuur 4/2.1-1a:** Logisch symbool van een J-K flip-flop.

Ingangen			Uitgangen		Werking
CLK	J	K	Q	$\bar{Q}$	
	0	0	q	$\bar{q}$	Onthouden
	0	1	0	1	reset
	1	0	1	0	set
	1	1	toggle		delen door 2

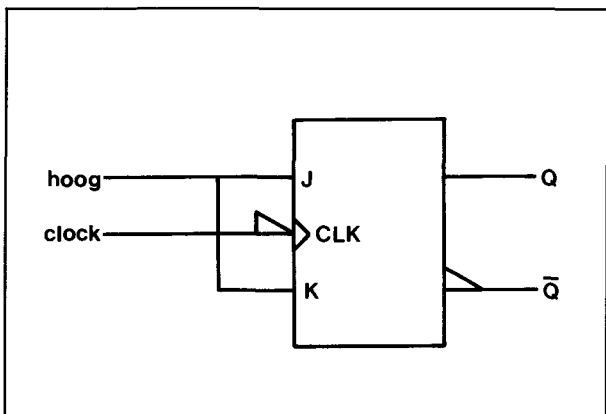
**Figuur 4/2.1-1b:** Waarheidstabel van een impuls-getriggerde J-K flip-flop.

## 2.1 Achtergrond-informatie

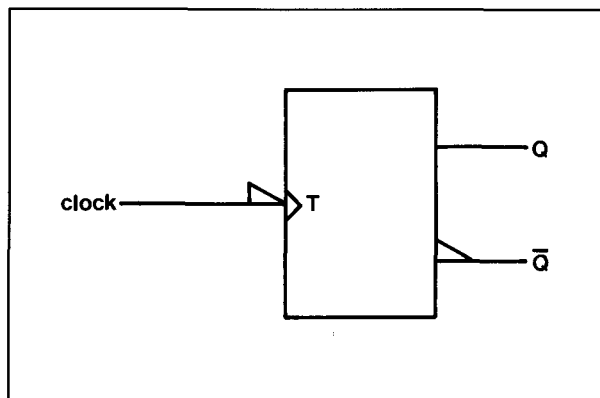


**Figuur 4/2.1-2a:** Een J-K flip-flop als D-type flip-flop geschakeld.

aan een HOOG niveau gelegd. Telkens wanneer een klokpuls op de CLK-ingang komt zullen de uitgangen van niveau wisselen



**Figuur 4/2.1-2b:** Toepassing van een J-K flip-flop als T flip-flop.



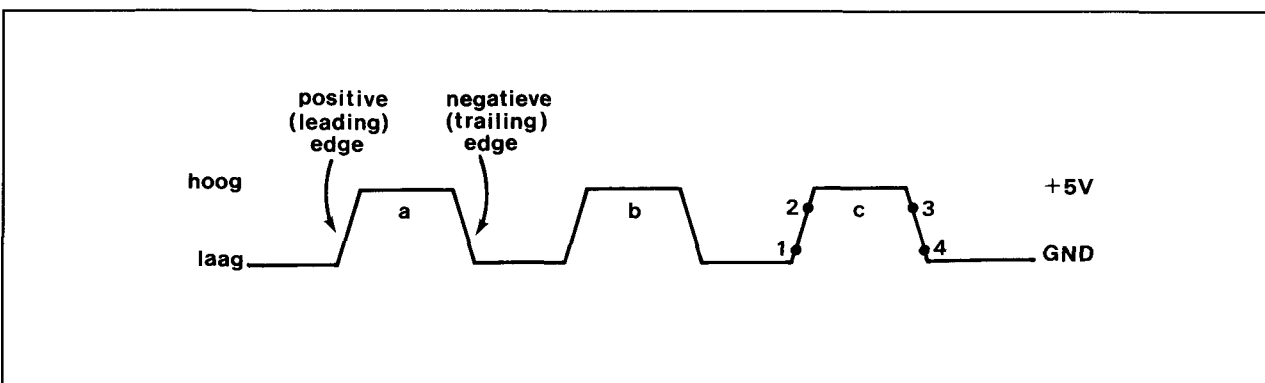
**Figuur 4/2.1-2c:** Logisch symbool van een T flip-flop (weinig gebruikt).

(= toggle). Deze functie (delen door twee) wordt zo vaak toegepast dat hier een speciaal symbool voor bestaat (figuur 4/2.1-2c). De enige ingang van de toggle flip-flop (T) is de klok-ingang.

Behalve de J, K en CLK ingangen hebben J-K flip-flop's vaak ook nog asynchrone ingangen, zoals preset en/of clear waarmee de Q-uitgang direct op logisch 1, respectievelijk 0 kan worden gezet.

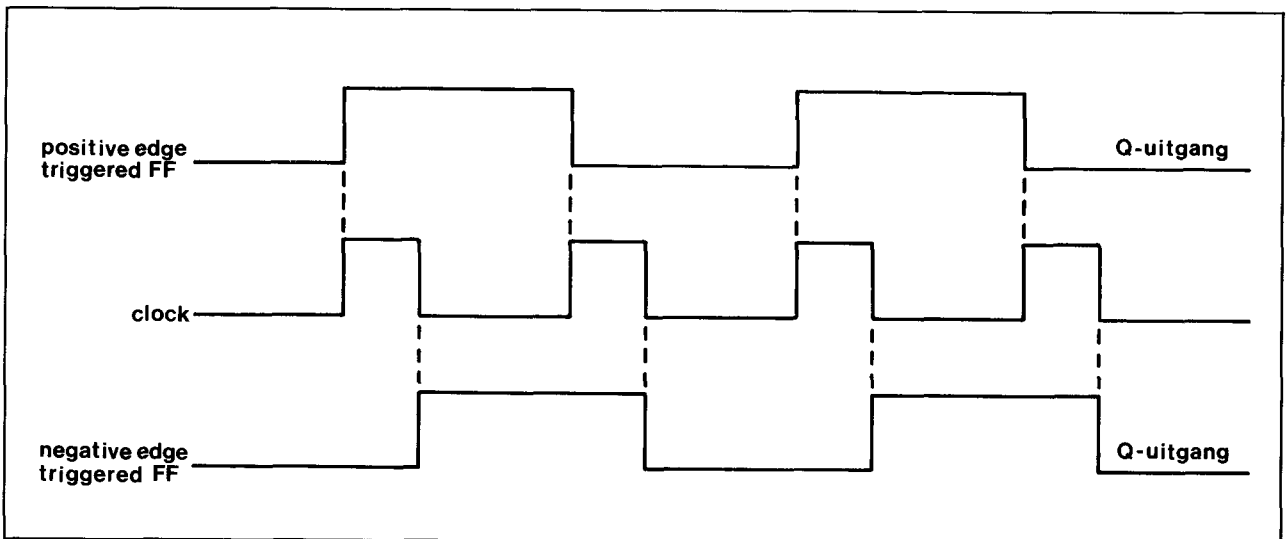
### Triggeren van flip-flop's

Gecompliceerde digitale apparaten werken meestal als synchrone sequentiële systemen. Dit betekent dat een 'hoofd kloksig-naal' naar alle delen van het systeem wordt gezonden om de werking te coördineren. In figuur 4/2.1-3 is een kenmerkende klokpulstrein te zien.



**Figuur 4/2.1-3:** Klokpulsen.

## 2.1 Achtergrond-informatie



**Figuur 4/2.1-4:** Triggere van positieve- en negatieve flank getriggerde flip-flop's.

Hierbij is de tijd horizontaal uitgezet en de spanning vertikaal. De spanningen +5 V en GND laten zien dat het hier om TTL-niveaus gaat. Ook andere logische families maken gebruik van klokpulsen, maar het kan zijn dat daarbij de logische spanningen verschillend zijn.

Bij a is te zien dat de opgaande flank van de puls 'leading edge' of 'positive edge' wordt genoemd, waarmee de LAAG-naar-HOOG overgang van de golfvorm wordt bedoeld. De neergaande flank van de puls heet 'trailing edge' of 'negative edge' en in goed Nederlands HOOG-naar-LAAG overgang.

Flip-flop's die data overbrengen van de ingang naar de uitgang op de LAAG-naar-HOOG overgang van de klokpuls worden 'positive-edge-triggered flip-flop's' genoemd. Flip-flop's waarbij dit gebeurt op de HOOG-naar-LAAG overgang van de klokpuls heten dan 'negative-edge-triggered flip-flop's'. In figuur 4/2.1-4 is een voorbeeld van beide soorten te zien. De klokfrequentie wordt hierbij door twee gedeeld (toggle). Let op het tijdverschil (= breedte van de klokpuls) dat hierbij optreedt en dat in sommige gevallen uiterst belangrijk kan zijn.

Vaak zijn J-K flip-flop's impuls-getriggerde schakelingen: 'master-slave J-K flip-flop's'.

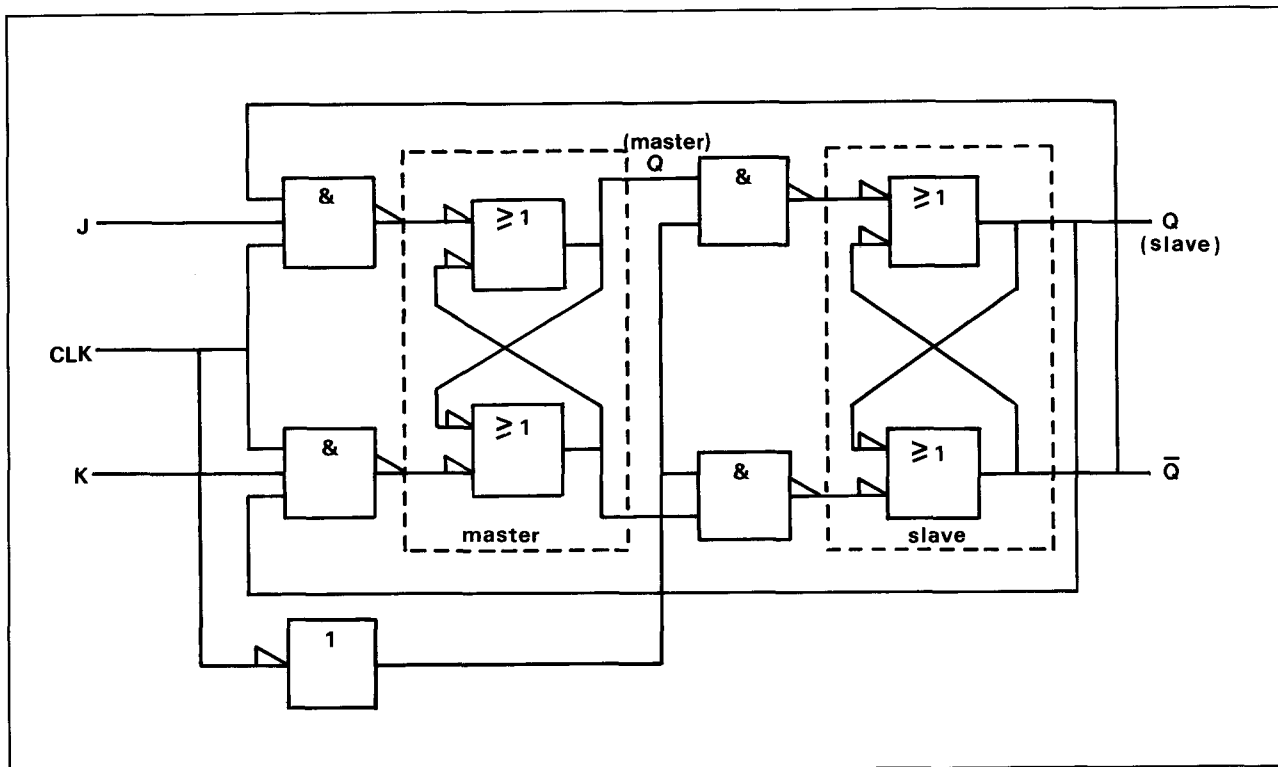
In een master-slave J-K flip-flop worden meerdere poorten en flip-flop's zodanig verbonden dat de gehele klokpuls nodig is voor het transporteren van de data van ingang naar uitgang. Aan de hand van impuls c in figuur 4/2.1-3 wordt uitgelegd wat tijdens het triggeren in een master-slave J-K flip-flop gebeurt:

1. De ingang en uitgang van de flip-flop worden van elkaar geïsoleerd.
2. Data wordt overgenomen van de J en K ingangen, maar nog niet naar de uitgang gebracht.
3. De J en K ingangen worden gesperd.
4. Eerder binnengekomen data van de J en K ingangen wordt naar de uitgang getransporteerd.

De data verschijnt werkelijk pas aan de uitgang bij punt 4 in figuur 4/2.1-3. De CLK-ingang van het logische symbool van een impuls-getriggerde flip-flop is daarom voorzien van een inversie-teken om te laten zien dat het transport van data naar de uitgang pas op de HOOG-naar-LAAG overgang van de klokpuls gebeurt.

Ter illustratie is in figuur 4/2.1-5 de opbouw van de veel toegepaste master-slave J-K flip-flop type 7476 te zien, waarbij voor de duidelijkheid preset en clear worden weggelaten.

## 2.1 Achtergrond-informatie



Figuur 4/2.1-5: Opbouw van een master-slave J-K flip-flop (type 7476, preset en clear weggelaten).

## 4/2.2

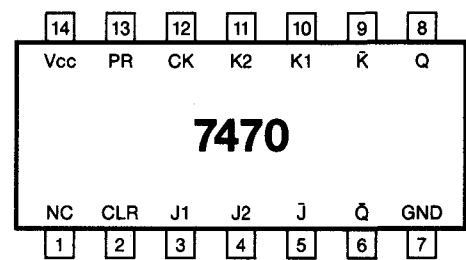
## Type J-K flip-flop's 74xx-serie

## 7470

Positive-edge triggered  
J-K flip-flop  
met AND-ingangen, preset en clear

Positive Logic:  $J = J1 \cdot J2 \cdot J$   
 $K = K1 \cdot K2 \cdot K$

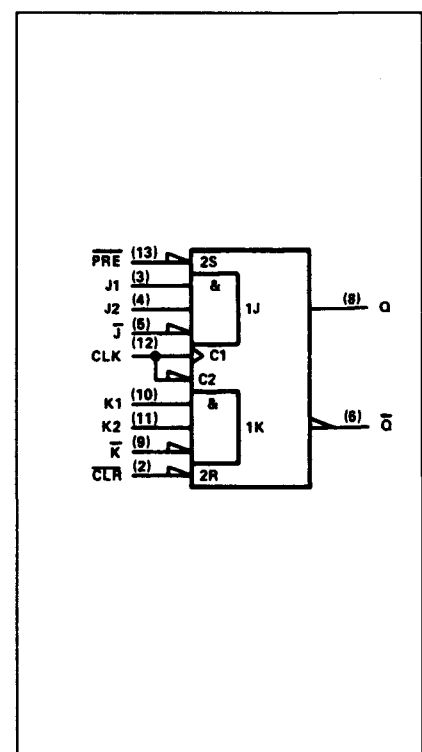
Figuur 4/2.2-70.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	13									mA
I <sub>os</sub>	-18 -57									mA
T <sub>plh</sub> <sup>1)</sup>	50									ns
T <sub>phl</sub> <sup>1)</sup>	50									ns
T <sub>plh</sub> <sup>2)</sup>	50									ns
T <sub>phl</sub> <sup>2)</sup>	50									ns
T <sub>plh</sub> <sup>3)</sup>	27 50									ns
T <sub>phl</sub> <sup>3)</sup>	18 50									ns
f <sub>max</sub>	35									MHz

1) PRESET 2) CLEAR 3) CLOCK

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	⌋	L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H	H	⌋	H	L	H	L
H	H	⌋	L	H	L	H
H	H	⌋	H	H	TOGGLE	



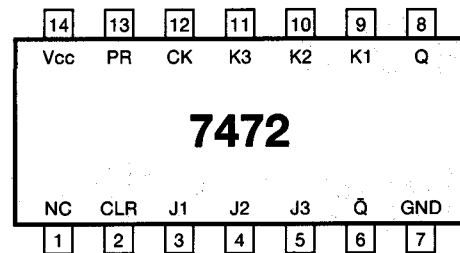
## 2.2 Type J-K flip-flop's 74xx-serie

## 7472

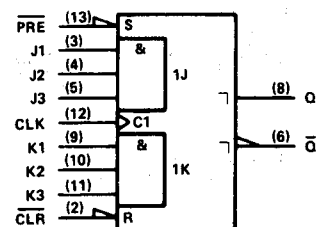
Pos. edge triggered master-slave  
J-K flip-flop met AND-uitgangen,  
preset en clear

Positive logic:  $J = J1 \cdot J2 \cdot J3$   
 $K = K1 \cdot K2 \cdot K3$

Figuur 4/2.2-72.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	10									mA
I <sub>os</sub>	-18 -57									mA
T <sub>plh</sub> <sup>1)</sup>	16									ns
T <sub>phl</sub> <sup>1)</sup>	25									ns
T <sub>plh</sub> <sup>2)</sup>	16									ns
T <sub>phl</sub> <sup>2)</sup>	25									ns
T <sub>plh</sub> <sup>3)</sup>	16									ns
T <sub>phl</sub> <sup>3)</sup>	25									ns
f <sub>max</sub>	20									MHz



1) PRESET 2) CLEAR 3) CLOCK

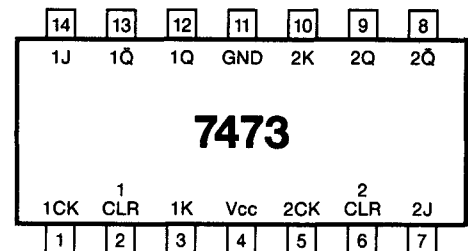
INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	Q̄
L	H	L	X	X	H	L
H	L	L	X	X	L	H
L	L	X	X	X	L*	L*
H	H	1	L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H	H	1	H	L	H	L
H	H	1	L	H	L	H
H	H	1	H	H	TOGGLE	
H	H	L	X	X	Q <sub>0</sub>	Q̄ <sub>0</sub>

## 2.2 Type J-K flip-flop's 74xx-serie

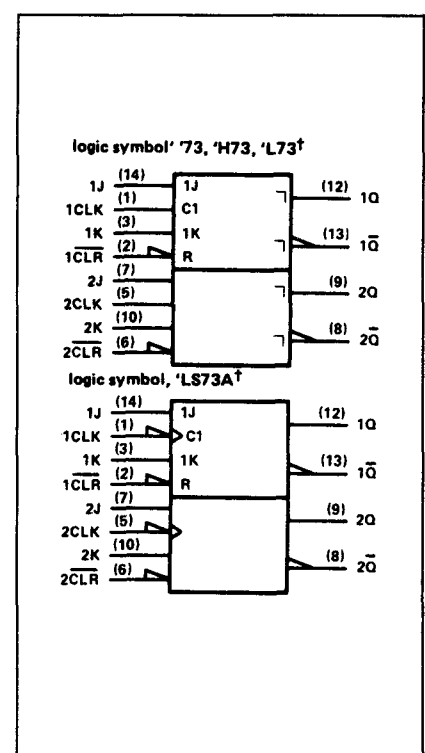
## 7473

## 2 J-K flip-flops

Figuur 4/2.2-73.



LOGICA	TTL	L	F	S	LS <sup>2)</sup>	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	10	1.5			4			0.05 <sup>5)</sup>	40 <sup>6)</sup>	mA
I <sub>os</sub>	-18 -57	-3 -15			-20 -100					mA
T <sub>plh</sub> <sup>3)</sup>	16				15			200		ns
T <sub>phl</sub> <sup>3)</sup>	25				15			200		ns
T <sub>plh</sub> <sup>4)</sup>	16	60			15			180	16 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>4)</sup>	25	35			15			180	11 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>5)</sup>	16	35			15			200	13	ns
T <sub>phl</sub> <sup>5)</sup>	25	60			15			200	16	ns
f <sub>max</sub>	20	11			45			40	50	MHz

1) CLEAR ingang 2) 74LS 73A 3) PRESET 4) CLEAR 5) CLOCK 6)  $\mu A$ 

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	Q̄
L	X	X	X	L	H
H	$\downarrow$	L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H	$\downarrow$	H	L	H	L
H	$\downarrow$	L	H	L	H
H	$\downarrow$	H	H	TOGGLE	TOGGLE

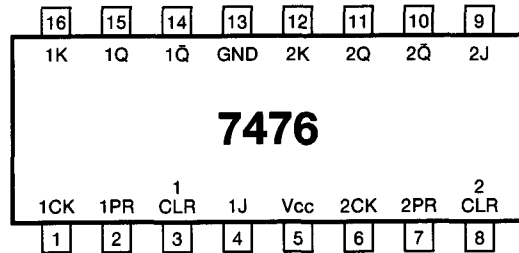
INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	Q̄
L	X	X	X	L	H
H	$\downarrow$	L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H	$\downarrow$	H	L	H	L
H	$\downarrow$	L	H	L	H
H	$\downarrow$	H	H	TOGGLE	TOGGLE
H	H	X	X	Q <sub>0</sub>	Q̄ <sub>0</sub>

## 2.2 Type J-K flip-flop's 74xx-serie

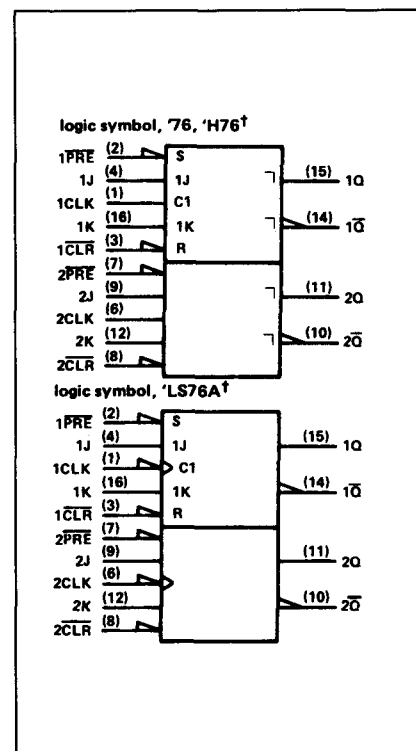
## 7476

2 J-K flip-flops  
met preset en clear

Figuur 4/2.2-76.



LOGICA	TTL	L	F	S	LS <sup>2)</sup>	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	10				4			0.05 <sup>6)</sup>	40 <sup>6)</sup>	mA
I <sub>os</sub>	-18 -57				-20 -100					mA
T <sub>plh</sub> <sup>3)</sup>	16				15			200	16 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>3)</sup>	25				15			200	16 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>4)</sup>	16				15			200	16 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>4)</sup>	25				15			200	16 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>5)</sup>	16				15			180	19	ns
T <sub>phl</sub> <sup>5)</sup>	25				15			180	19	ns
f <sub>max</sub>	20				45			2.5	41	MHz

1) PRE / CLR 2) 74LS 76A 3) PRESET 4) CLEAR 5) CLOCK 6)  $\mu A$ 

INPUTS		OUTPUTS	
D	G	Q	Q-bar
L	H	L	H
H	H	H	L
x	L	Q <sub>0</sub>	Q <sub>0</sub>

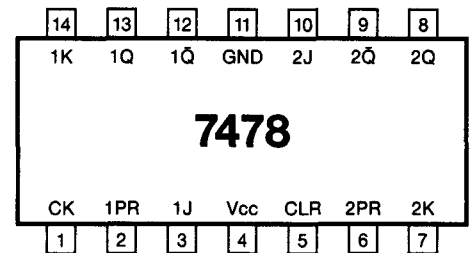


## 2.2 Type J-K flip-flop's 74xx-serie

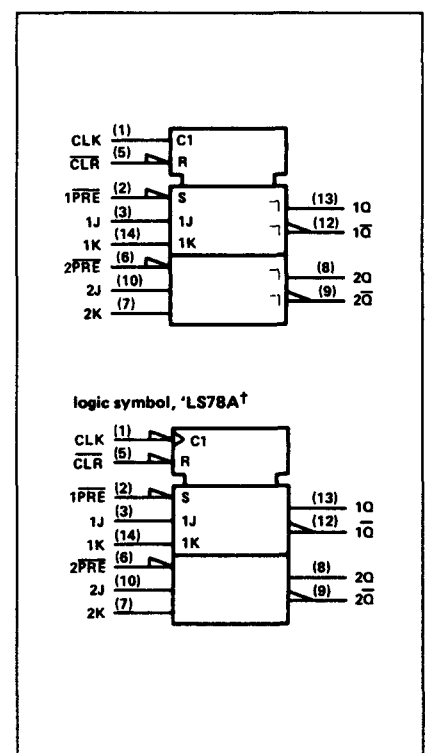
## 7478

2 neg. edge triggered J-K flip-flops  
met preset, gemeenschappelijke clear  
en gemeenschappelijke klok

Figuur 4/2.2-78.



LOGICA	TTL	L	F	S	LS <sup>2)</sup>	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>		1.5			4				40 <sup>6)</sup>	mA
I <sub>os</sub>		-3 -15			-20 -100					mA
T <sub>plh</sub> <sup>3)</sup>		35			15				47 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>3)</sup>		60			15				47 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>4)</sup>		35			15				16 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>4)</sup>		60			15				16 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>5)</sup>		35			15				13	ns
T <sub>phl</sub> <sup>5)</sup>		60			15				13	ns
f <sub>max</sub>		11			45				50	H <sub>z</sub>



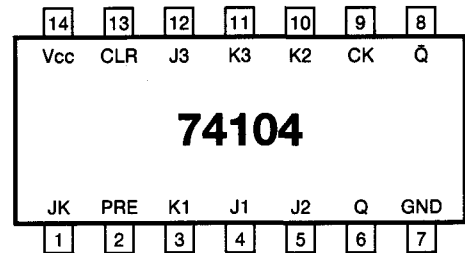
1) PRE - CLR 2) 74LS78A 3) PRESET 4) CLEAR 5) CLOCK 6)  $\mu A$

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	Q-bar
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	I	L	L	Q <sub>0</sub>	Q <sub>0</sub>
H	H	I	H	L	H	L
H	H	I	L	H	L	H
H	H	I	H	H	TOGGLE	
H	H	H	X	X	Q <sub>0</sub>	Q <sub>0</sub>

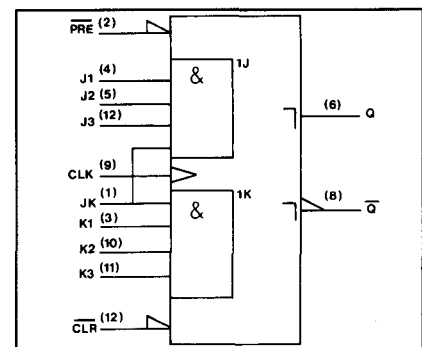
## 2.2 Type J-K flip-flop's 74xx-serie

**74104****J-K master-slave flip-flop  
met AND-ingangen**

Figuur 4/2.2-104.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	15									mA
T <sub>plh</sub> <sup>1)</sup>	9									ns
T <sub>phl</sub> <sup>1)</sup>	16									ns

<sup>1)</sup> CLOCK

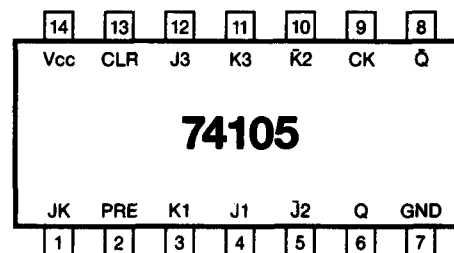
INPUT AT $t_n$			OUTPUT AT $t_{n+1}$	
JK	J'	K'	Q	Q'
L'	X	X	$Q_n$	$\bar{Q}_n$
H	L'	L'	$Q_n$	$\bar{Q}_n$
H	L	H	L	H
H	H	L	H	L
H	H	H	$\bar{Q}_n$	$Q_n$

## 2.2 Type J-K flip-flop's 74xx-serie

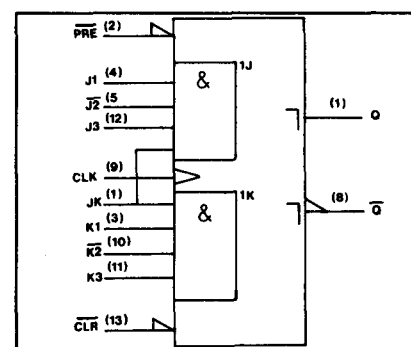
## 74105

J-K master-slave flip-flop  
met AND-ingangen

Figuur 4/2.2-105.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	17									mA
T <sub>plh</sub> <sup>1)</sup>	9									ns
T <sub>phl</sub> <sup>1)</sup>	16									ns

<sup>1)</sup> CLOCK

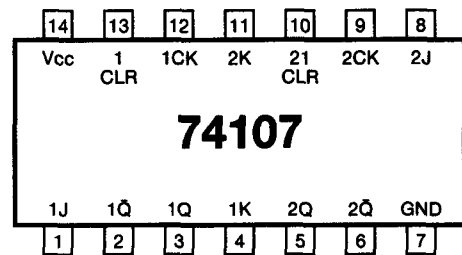
INPUT AT $t_n$			OUTPUT AT $t_{n+1}$	
JK	J'	K'	Q	Q'
L'	X	X	$Q_n$	$\bar{Q}_n$
H	L'	L'	$Q_n$	$\bar{Q}_n$
H	L	H	L	H
H	H	L	H	L
H	H	H	$\bar{Q}_n$	$Q_n$

## 2.2 Type J-K flip-flop's 74xx-serie

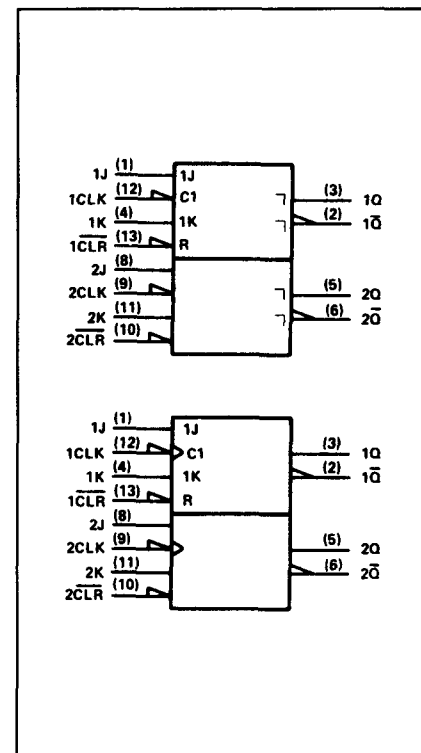
## 74107

## 2 J-K flip-flops met clear

Figuur 4/2.2-107.



LOGICA	TTL	L	F	S	LS <sup>2)</sup>	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	10				4			0.05 <sup>6)</sup>	40 <sup>6)</sup>	mA
I <sub>os</sub>	-18 -57				-20 -100					mA
T <sub>plh</sub> <sup>3)</sup>	16				15			200		ns
T <sub>phl</sub> <sup>3)</sup>	25				15			200		ns
T <sub>plh</sub> <sup>4)</sup>	16				15			200	25 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>4)</sup>	25				15			200	25 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>5)</sup>	16				15			180	20	ns
T <sub>phl</sub> <sup>5)</sup>	25				15			180	20	ns
f <sub>max</sub>	20				45			45	4.0	MHz



1) CLR 2) 74LS 107A 3) PRESET 4) CLEAR 5) CLOCK 6)  $\mu A$   
'107 'LS107A, 'HC107

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	Q̄
L	X	X	X	L	H
H		L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H		H	L	H	L
H		L	H	L	H
H		H	H	TOGGLE	TOGGLE

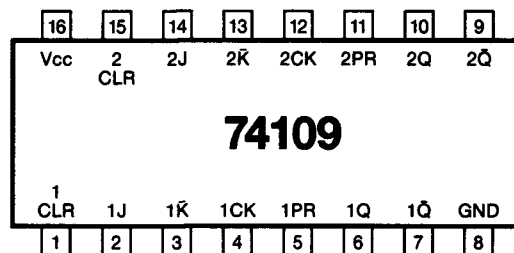
INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	Q̄
L	X	X	X	L	H
H		L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H		H	L	H	L
H		L	H	L	H
H		H	H	TOGGLE	TOGGLE
H	H	X	X	Q <sub>0</sub>	Q̄ <sub>0</sub>

## 2.2 Type J-K flip-flop's 74xx-serie

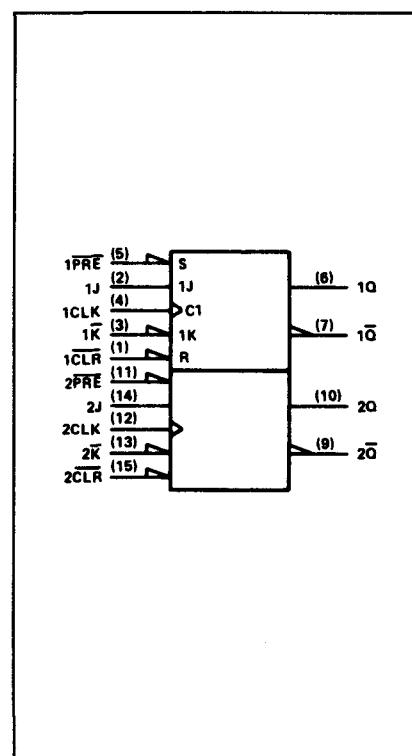
## 74109

2 pos. edge triggered J-K flip-flops  
met preset en clear

Figuur 4/2.2-109.



LOGICA	TTL	L	F	S	LS	AS	ALS <sup>2)</sup>	C	HC	
	VARIABLE PARAMETERS									Eenheid
I <sub>cc</sub>	9		12.3			11.5	2.4		40 <sup>6)</sup>	mA
I <sub>os</sub>	-30 -85		-60 -150			-30 -112	-30 -112			mA
T <sub>plh</sub> <sup>3)</sup>	10		5.2			3 9	3 <sup>1)</sup> 13		15	ns
T <sub>phl</sub> <sup>3)</sup>	23		7.0			3.5 11.5	5 <sup>1)</sup> 15		15 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>4)</sup>	10					3 9	3 <sup>1)</sup> 13		15 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>4)</sup>	17					3.5 11.5	5 <sup>1)</sup> 15		15 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>5)</sup>	10		5.3			3.5 10	5 16		15	ns
T <sub>phl</sub> <sup>5)</sup>	18		6.2			4.5 10.5	5 18		15	ns
f <sub>max</sub>	40		12.5			90	34		50	MHz



1) PRE - CLR 2) 74 ALS 109 A 3) PRESET 4) CLEAR 5) CLOCK 6)  $\mu$ A

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	Q-bar
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	1	L	L	L	H
H	H	1	H	L	TOGGLE	
H	H	1	L	H	Q <sub>0</sub>	Q <sub>0</sub>
H	H	1	H	H	H	L
H	H	L	X	X	Q <sub>0</sub>	Q <sub>0</sub>

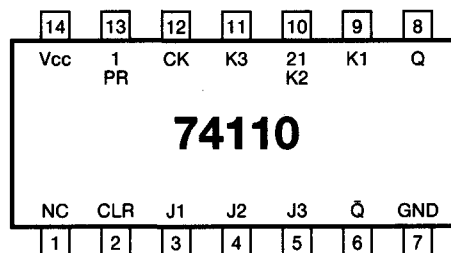
## 2.2 Type J-K flip-flop's 74xx-serie

## 74110

J-K master-slave flip-flop  
met AND-ingangen en  
data-lockout

Positive Logic:  $J = J_1 \cdot J_2 \cdot J_3$   
 $K = K_1 \cdot K_2 \cdot K_3$

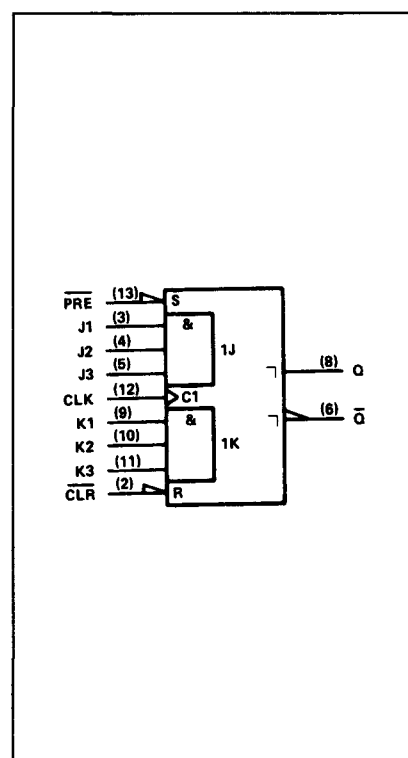
Figuur 4/2.2-110.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	20									mA
I <sub>os</sub>	-18 -57									mA
T <sub>plh</sub> <sup>1)</sup>	12									ns
T <sub>phl</sub> <sup>1)</sup>	18									ns
T <sub>plh</sub> <sup>2)</sup>	12									ns
T <sub>phl</sub> <sup>2)</sup>	18									ns
T <sub>plh</sub> <sup>3)</sup>	20									ns
T <sub>phl</sub> <sup>3)</sup>	13									ns
f <sub>max</sub>	25									MHz

1) PRESET 2) CLEAR 3) CLOCK

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	⌋	L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H	H	⌋	H	L	H	L
H	H	⌋	L	H	L	H
H	H	⌋	H	H	TOGGLE	



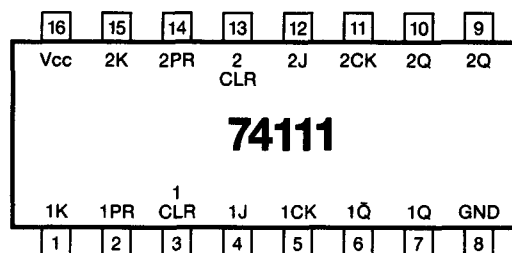
## 2.2 Type J-K flip-flop's 74xx-serie

## 74111

2 J-K master-slave flip-flops  
met data lockout

Positive Logic J = J1 · J2 · J3  
K = K1 · K2 · K3

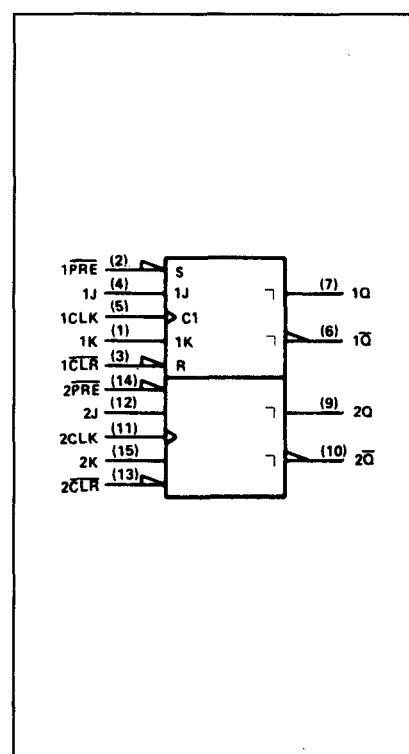
Figuur 4/2.2-111.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABLE PARAMETERS									Eenheid
I <sub>cc</sub>	14									mA
I <sub>os</sub>	-18 -57									mA
T <sub>plh</sub> <sup>1)</sup>	12									ns
T <sub>phl</sub> <sup>1)</sup>	21									ns
T <sub>plh</sub> <sup>2)</sup>	12									ns
T <sub>phl</sub> <sup>2)</sup>	21									ns
T <sub>plh</sub> <sup>3)</sup>	12									ns
T <sub>phl</sub> <sup>3)</sup>	20									ns
f <sub>max</sub>	25									MHz

1) PRESET 2) CLEAR 3) CLOCK

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	⌋	L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H	H	⌋	H	L	H	L
H	H	⌋	L	H	L	H
H	H	⌋	H	H	TOGGLE	

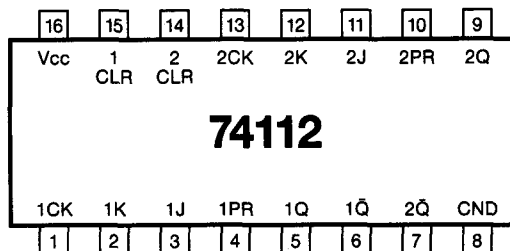


## 2.2 Type J-K flip-flop's 74xx-serie

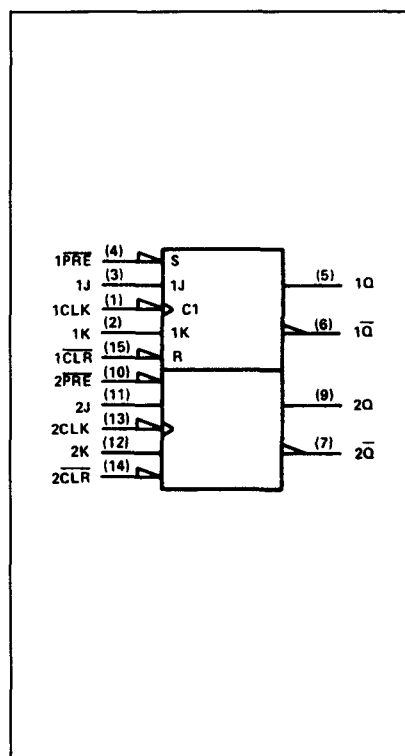
## 74112

2 neg. edge triggered J-K flip-flops  
met preset en clear

Figuur 4/2.2-112.



LOGICA	TTL	L	F	S	LS <sup>2)</sup>	AS	ALS <sup>3)</sup>	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>			12	15	4	38	2.5		40 <sup>7)</sup>	mA
I <sub>os</sub>			-60 -150	-40 -100	-20 -100	-30 -112	-30 -112			mA
T <sub>plh</sub> <sup>4)</sup>			3.0 7.0	4	15	3	3 <sup>1)</sup> 15		16 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>4)</sup>			3.3 7.7	5	15	4	4 <sup>1)</sup> 18		16 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>5)</sup>			3.0 7.0	4	15		3 <sup>1)</sup> 15		16 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>5)</sup>			3.3 7.7	5	15		4 <sup>1)</sup> 18		16 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>6)</sup>			3.3 7.7	4	15	3	3 15		16	ns
T <sub>phl</sub> <sup>6)</sup>			3.3 7.7	5	15	4	5 19		16	ns
f <sub>max</sub>			100	125	43	175	30		50	MHz



1) PRE - CLR 2) 74 LS 112 A 3) 74 ALS 112 A 4) PRESET 5) CLEAR 6) CLOCK 7)  $\mu$ A

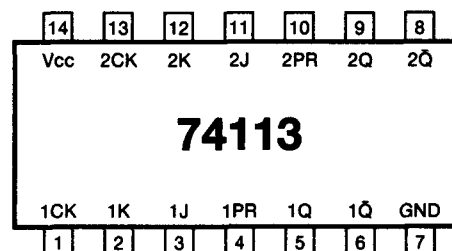
INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	Q-bar
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	$\nearrow$	L	L	Q <sub>0</sub>	Q <sub>0</sub>
H	H	$\nearrow$	H	L	H	L
H	H	$\nearrow$	L	H	L	H
H	H	$\nearrow$	H	H	TOGGLE	TOGGLE



## 2.2 Type J-K flip-flop's 74xx-serie

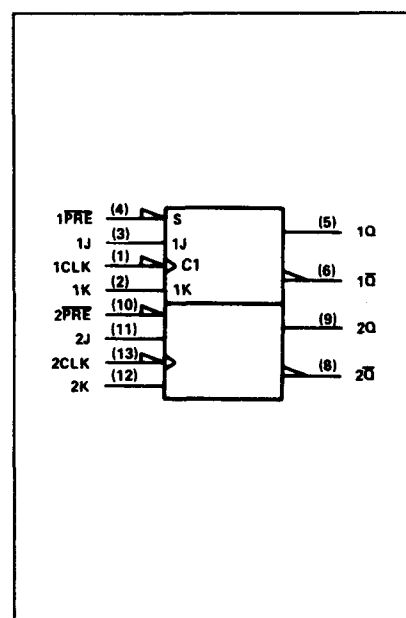
## 74113

2 neg. edge triggered  
J-K flip-flops met preset



Figuur 4/2.2-113.

LOGICA	TTL	L	F	S	LS <sup>2)</sup>	AS	ALS <sup>3)</sup>	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>			12	15	4	38	25		40 <sup>5)</sup>	mA
I <sub>os</sub>			-60 -150	-40 -100	-20 -100	-30 -112	-30 -112			mA
T <sub>plh</sub> <sup>4)</sup>			3.0 7.0	4	15	3	3 <sup>1)</sup> 14		18 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>4)</sup>			3.3 7.7	5	15	4	4 <sup>1)</sup> 16		18 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>6)</sup>			3.3 7.7	4	15	3	3 15		19	ns
T <sub>phl</sub> <sup>6)</sup>			3.3 7.7	5	15	4	5 19		19	ns
f-max			100	125	45	175	30		50	MHz



1) PRE 2) 74LS113A 3) 74ALS113A 4) PRESET 5)  $\mu A$  6) CLOCK

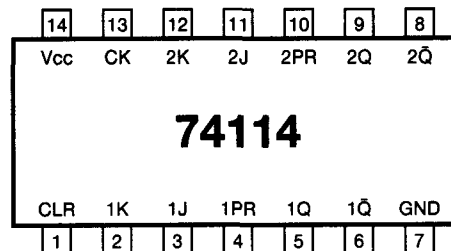
INPUTS				OUTPUTS	
PRESET	CLOCK	J	K	Q	$\bar{Q}$
L	X	X	X	H	L
H	.	L	L	Q <sub>0</sub>	$\bar{Q}_0$
H	.	H	L	H	L
H	.	L	H	L	H
H	.	H	H	TOGGLE	
H	H	X	X	Q <sub>0</sub>	$\bar{Q}_0$

## 2.2 Type J-K flip-flop's 74xx-serie

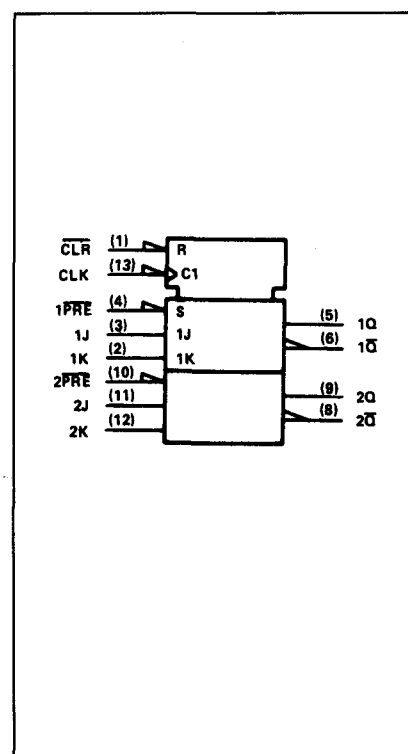
## 74114

2 neg. edge triggered J-K flip-flops  
met preset, gemeenschappelijke clear  
en gemeenschappelijke klok

Figuur 4/2.2-114.



LOGICA	TTL	L	F	S	LS <sup>2)</sup>	AS	ALS <sup>3)</sup>	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>			12	15	4	38	2.5		40 <sup>7)</sup>	mA
I <sub>os</sub>			-60 -150	-40 -100	-20 -100	-30 -112	-30 -112			mA
T <sub>plh</sub> <sup>4)</sup>			3.0 7.0	4	15	3	3 <sup>1)</sup> 13		20 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>4)</sup>			3.3 7.7	5	15	4	4 <sup>1)</sup> 18		20 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>5)</sup>			3.0 7.0	4	15	3	3 <sup>1)</sup> 15		20 <sup>1)</sup>	ns
T <sub>phl</sub> <sup>5)</sup>			3.3 7.7	5	15	4	4 <sup>1)</sup> 18		20 <sup>1)</sup>	ns
T <sub>plh</sub> <sup>6)</sup>			3.3 7.7	4	15	3	3 15		19	ns
T <sub>phl</sub> <sup>6)</sup>			3.3 7.7	5	15	4	5 19		19	ns
f <sub>max</sub>			100	125	45	175	30		45	MHz



<sup>1)</sup> PRE - CLR <sup>2)</sup> 74LS 114A <sup>3)</sup> 74 ALS 114A <sup>4)</sup> PRESET <sup>5)</sup> CLEAR <sup>6)</sup> CLOCK <sup>7)</sup>  $\mu A$

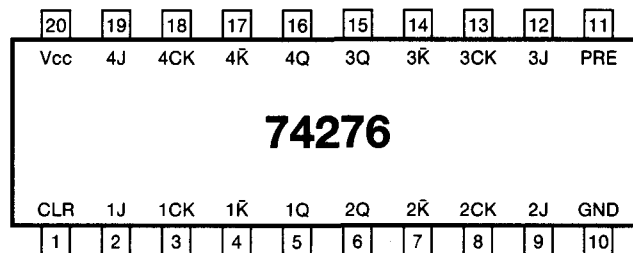
INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	Q-bar
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	L	L	L	Q <sub>0</sub>	Q <sub>0</sub> -bar
H	H	L	H	L	H	L
H	H	L	L	H	L	H
H	H	L	H	H	TOGGLE	
H	H	H	X	X	Q <sub>0</sub>	Q <sub>0</sub> -bar

## 2.2 Type J-K flip-flop's 74xx-serie

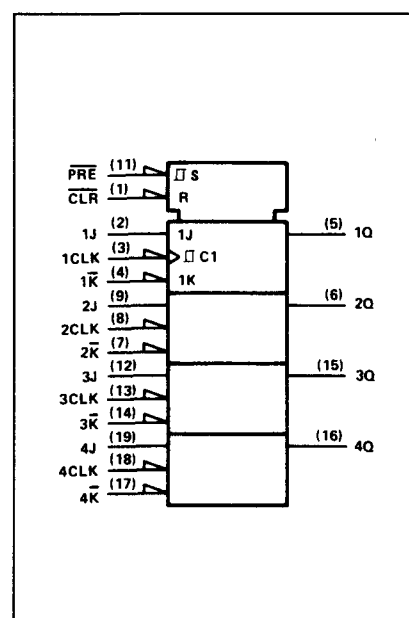
## 74276

4 J-K flip-flops met  
afzonderlijke klok,  
gemeenschappelijke directe  
clear en preset

Figuur 4/2.2-276.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een- heid
I <sub>cc</sub>	60									mA
I <sub>os</sub>	-30 -85									mA
T <sub>plh</sub> <sup>1)</sup>	15									ns
T <sub>phl</sub> <sup>2)</sup>	18									ns
T <sub>plh</sub> <sup>3)</sup>	17									ns
T <sub>phl</sub> <sup>3)</sup>	20									ns
f <sub>max</sub>	50									MHz



1) PRESET 2) CLEAR 3) CLOCK

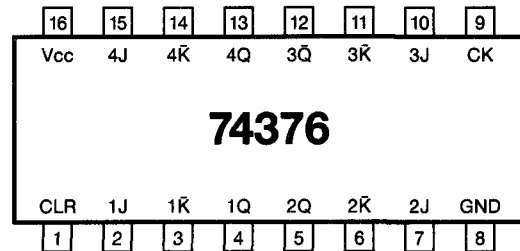
COMMON INPUTS		INPUTS			OUTPUT
PRESET	CLEAR	CLOCK	J	K	Q
L	H	X	X	X	H
H	L	X	X	X	L
L	L	X	X	X	H <sup>1)</sup>
H	H	L	L	H	Q <sub>0</sub>
H	H	L	H	H	H
H	H	L	L	L	L
H	H	L	H	L	TOGGLE
H	H	H	X	X	Q <sub>0</sub>

## 2.2 Type J-K flip-flop's 74xx-serie

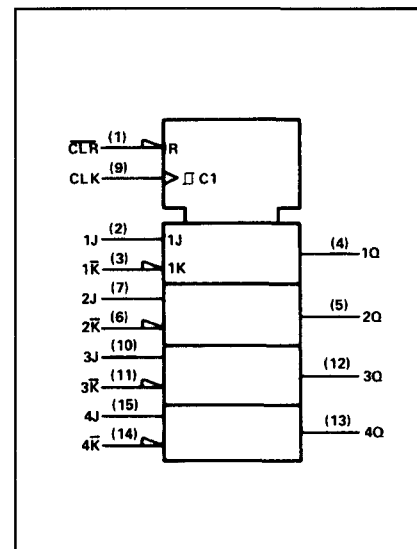
## 74376

4 J-K flip-flops met  
gemeenschappelijke clear en klok

Figuur 4/2.2-376.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	52									mA
I <sub>os</sub>	-30 -85									mA
T <sub>phl</sub> <sup>1)</sup>	17									ns
T <sub>plh</sub> <sup>2)</sup>	22									ns
T <sub>phl</sub> <sup>2)</sup>	24									ns
f <sub>max</sub>	45									MHz



1) CLEAR 2) CLOCK

COMMON INPUTS		INPUTS		OUTPUT
CLEAR	CLOCK	J	K	Q
L	X	X	X	L
H	↑	L	H	Q <sub>0</sub>
H	↑	H	H	H
H	↑	L	L	L
H	↑	H	L	TOGGLE
H	L	X	X	Q <sub>0</sub>

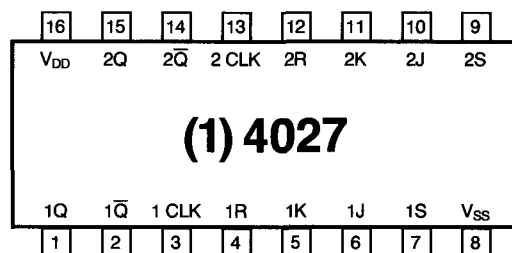
## 4/2.3

Type J-K Flip-flop's  
(1) 4xxx-serie CMOS

## (1) 4027

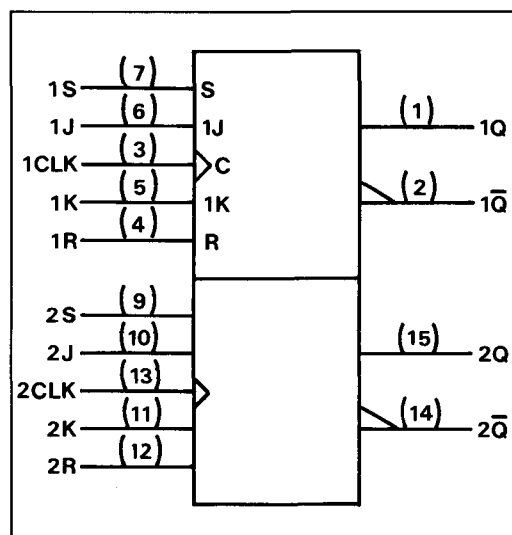
2 J-K master-slave Flip-flop's  
met set en reset ingangen

Figuur 4/2.3-27.



Synchronous			
J	K	$Q_n$	$Q_{n+1}$
0	0	$Q_n$	$Q_n$
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	1
1	1	1	0

Asynchronous			
R	S	Q	$\bar{Q}$
1	0	0	1
0	1	1	0
1	1	1	1



o.a. leverbaar: MC 14027 A/C  
CD 4027 A/B  
HEF 4027 B

## 2.3 Type J-K Flip-flop's (1) 4xxx-serie CMOS

## (1) 4095

J-K master-slave Flip-flop  
met AND-ingangen

## SYNCHRONOUS OPERATION (S=0 R=0)

Inputs Before Positive Clock Transition		Outputs After Positive Clock Transition	
J*	K*	Q	$\bar{Q}$
0	0	No Change	
0	1	0	1
1	0	1	0
1	1	Toggles	

ASYNCHRONOUS OPERATION  
(J and K - DON'T CARE)

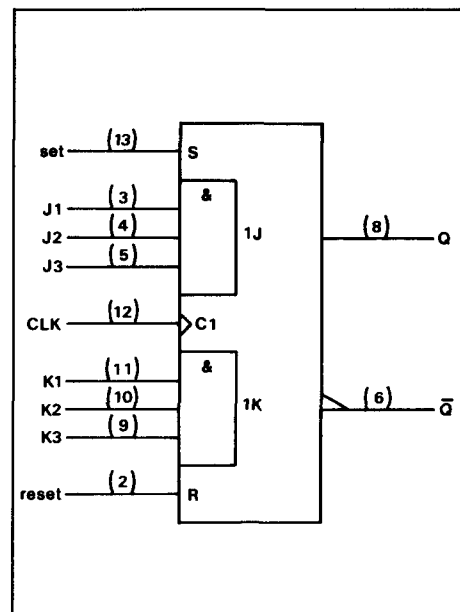
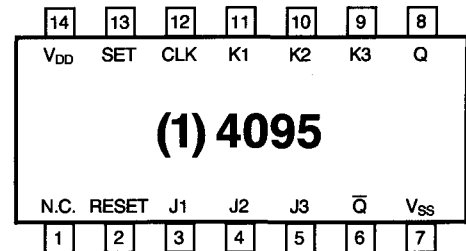
S	R	Q	$\bar{Q}$
0	0	No Change	
0	1	0	1
1	0	1	0
1	1	0	0

0 =  $V_{SS}$ , 1 =  $V_{DD}$ 

$$* J = J1 \cdot J2 \cdot J3$$

$$K = K1 \cdot K2 \cdot K3$$

Figuur 4/2.3-95.



alleen leverbaar: CD 4095B

## 2.3 Type J-K Flip-flop's (1) 4xxx-serie CMOS

## (1) 4096

J-K master-slave Flip-flop  
met AND-ingangen

## SYNCHRONOUS OPERATION (S=0 R=0)

Inputs Before Positive Clock Transition		Outputs After Positive Clock Transition	
J*	K*	Q	$\bar{Q}$
0	0	No Change	
0	1	0	1
1	0	1	0
1	1	Toggles	

ASYNCHRONOUS OPERATION  
(J and K - DON'T CARE)

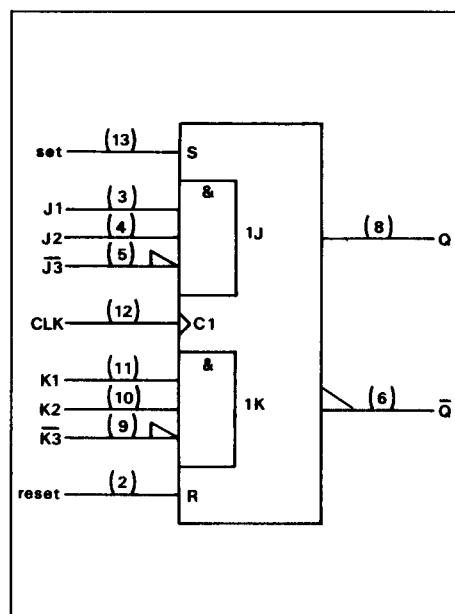
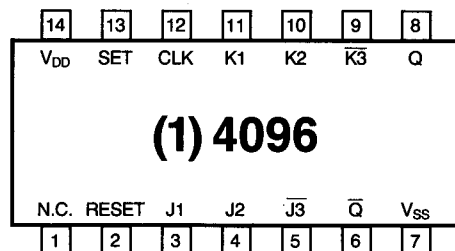
S	R	Q	$\bar{Q}$
0	0	No Change	
0	1	0	1
1	0	1	0
1	1	0	0

0 =  $V_{SS}$ , 1 =  $V_{DD}$ 

$$* J = J1 \cdot J2 \cdot \bar{J3}$$

$$K = K1 \cdot K2 \cdot \bar{K3}$$

Figuur 4/2.3-96.



alleen leverbaar: CD 4096B

### 2.3 Type J-K Flip-flop's (1) 4xxx-serie CMOS



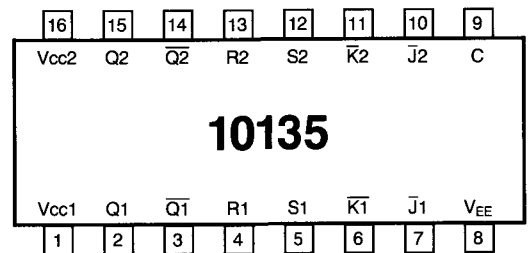
## 4/2.4

Type J-K flip-flop's  
10k-serie ECL

## 10135

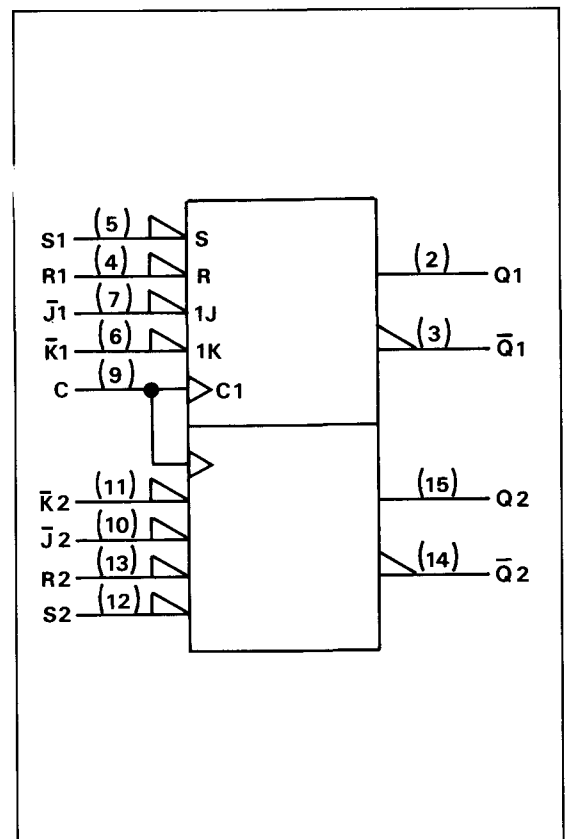
2 JK Master-Slave Flip-flop's  
met asynchrone set en reset,  
open-emitter uitgangen  
( $f_{\text{TOG}} = 140 \text{ MHz typ.}$ )

Figuur 4/2.4-135



Parameters bij 25°C

$I_E$	min typ max	68 mA	Stroom uit voeding ( $V_{EE} = -5,2 \text{ V}$ )
$I_{IL}$	min typ max	0.5 $\mu\text{A}$	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	265 $\mu\text{A}$	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.850 -1.650 V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.960 -0.810 V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.630 V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.980 V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
P	typ	235 mW/ package	Dissipatie
$t_d$	typ typ typ	3.0 ns 3.0 ns	Vertragingstijd (set, reset) (clock)
fanout ZIN	1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



## 2.4 Type J-K flip-flop's 10k-serie ECL

R-S TRUTH TABLE

R	S	$Q_{n+1}$
L	L	$Q_n$
L	H	H
H	L	L
H	H	N.D.

N.D. = not defined

CLOCK J-K TRUTH TABLE\*

J	K	$Q_{n+1}$
L	L	$Q_n$
H	L	L
L	H	H
H	H	$Q_n$

\*Output states change on positive transition of clock for J-K input condition present.

waarheidstabellen

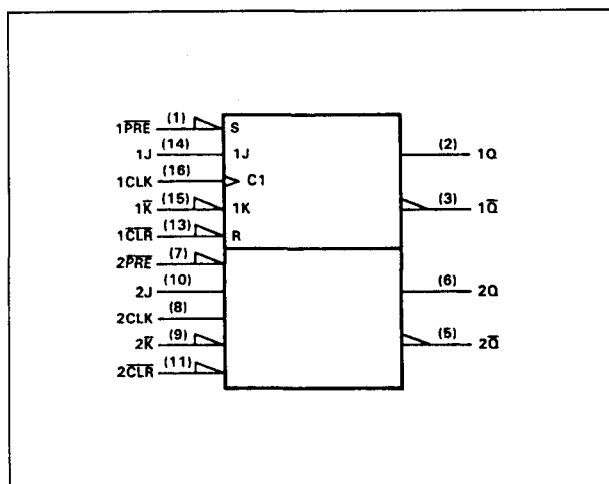
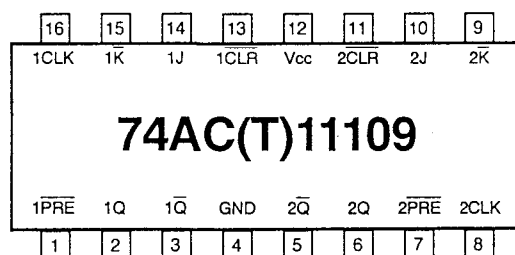
## 4/2.5

## Type J-K flip-flop's 74AC(T)11xx-serie

## 74AC11109, 74ACT11109

2 x positief  
edge-triggered J-K  
flip-flop met preset en  
clear

Figuur 4/2.5-11109.



Logisch symbool.

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	$\bar{K}$	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H <sup>†</sup>	H <sup>†</sup>
H	H	↑	L	L	L	H
H	H	↑	H	L	TOGGLE	
H	H	↑	L	H	Q <sub>0</sub>	$\bar{Q}_0$
H	H	↑	H	H	H	L
H	H	L	X	X	Q <sub>0</sub>	$\bar{Q}_0$

Waarheidstabel.

## 2.5 Type J-K flip-flop's 74AC(T)11xx-serie

## Kenmerken AC-type

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25°C			74AC11109		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	3 V	2.9			2.9		V
		4.5 V	4.4			4.4		
		5.5 V	5.4			5.4		
	I <sub>OH</sub> = -4 mA	3 V	2.58			2.48		
		4.5 V	3.94			3.8		
	I <sub>OH</sub> = -24 mA	5.5 V	4.94			4.8		
		5.5 V						
V <sub>OL</sub>	I <sub>OL</sub> = 50 µA	3 V			0.1		0.1	V
		4.5 V			0.1		0.1	
		5.5 V			0.1		0.1	
	I <sub>OL</sub> = 12 mA	3 V			0.36		0.44	
		4.5 V			0.36		0.44	
	I <sub>OL</sub> = 24 mA	5.5 V			0.36		0.44	
		5.5 V						
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V			±0.1		±1	µA
	V <sub>I</sub> = V <sub>CC</sub> or GND. I <sub>O</sub> = 0	5.5 V			4		40	µA
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5 V		3.5				pF

## Statische karakteristieken.

PARAMETER		V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C		74AC11109		UNIT
			MIN	MAX	MIN	MAX	
f <sub>clock</sub>	Clock frequency	3.3 ± 0.3 V	0	70	0	70	MHz
t <sub>w</sub>	Pulse duration	5 ± 0.5 V	0	100	0	100	ns
		3.3 ± 0.3 V	5		5		
	PRE or CLR low	5 ± 0.5 V	4		4		
		3.3 ± 0.3 V	7.2		7.2		
t <sub>su</sub>	Setup time before CLK ↑	5 ± 0.5 V	5		5		ns
		3.3 ± 0.3 V	5.5		5.5		
	PRE or CLR inactive	5 ± 0.5 V	4.5		4.5		
		3.3 ± 0.3 V	2.5		2.5		
t <sub>h</sub>	Hold time, data after CLK ↑	5 ± 0.5 V	2		2		ns
		3.3 ± 0.3 V	0		0		
		5 ± 0.5 V	0		0		ns
		3.3 ± 0.3 V	0		0		

## Timing karakteristieken.

PARAMETER	FROM	TO	V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C			74AC11109		UNIT
				MIN	TYP	MAX	MIN	MAX	
t <sub>max</sub>			3.3 ± 0.3 V	70	100		70		MHz
			5 ± 0.5 V	100	125		100		
t <sub>PLH</sub>	PRE or CLR	Q or Q̄	3.3 ± 0.3 V	1.5	6.5	9	1.5	9.9	ns
			5 ± 0.5 V	1.5	4.5	6.5	1.5	7.1	
t <sub>PHL</sub>			3.3 ± 0.3 V	1.5	8	12.6	1.5	13.7	
			5 ± 0.5 V	1.5	5	8.6	1.5	9.6	
t <sub>PLH</sub>	CLK	Q or Q̄	3.3 ± 0.3 V	1.5	8	11.4	1.5	12.7	ns
			5 ± 0.5 V	1.5	5.5	7.9	1.5	8.8	
t <sub>PHL</sub>			3.3 ± 0.3 V	1.5	7.5	10.5	1.5	11.8	
			5 ± 0.5 V	1.5	5	7.3	1.5	8.1	

## Schakel karakteristieken.

## 2.5 Type J-K flip-flop's 74AC(T)11xx-serie

## Kenmerken ACT-type

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25 °C			74ACT11109		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	4.5 V	4.4			4.4		V
		5.5 V	5.4			5.4		
	I <sub>OH</sub> = -24 mA	4.5 V	3.94			3.8		
		5.5 V	4.94			4.8		
	I <sub>OH</sub> = -50 mA <sup>†</sup>	5.5 V						
V <sub>OL</sub>	I <sub>OL</sub> = 50 µA	4.5 V			0.1		0.1	V
		5.5 V			0.1		0.1	
	I <sub>OL</sub> = 24 mA	4.5 V			0.36		0.44	
		5.5 V			0.36		0.44	
	I <sub>OL</sub> = 50 mA <sup>†</sup>	5.5 V						
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V			±0.1		±1	µA
	V <sub>I</sub> = V <sub>CC</sub> or GND, I <sub>O</sub> = 0	5.5 V			4		40	
I <sub>CC</sub>		5.5 V			0.9		1	mA
ΔI <sub>CC</sub> <sup>‡</sup>	One input at 3.4 V, Other inputs at GND or V <sub>CC</sub>	5.5 V			3.5			pF
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5 V						

## Statische karakteristieken.

timing requirements, V<sub>CC</sub> = 5 ± 0.5 V

			T <sub>A</sub> = 25 °C		74ACT11109		UNIT
			MIN	MAX	MIN	MAX	
f <sub>clock</sub>	Clock frequency		0	100	0	100	MHz
t <sub>w</sub>	Pulse duration	PRE or CLR low	5.5		5.5		ns
		CLK high or low	5		5		
t <sub>su</sub>	Setup time before CLK <sup>†</sup>	Data high or low	5.5		5.5		ns
		PRE or CLR inactive	2		2		
t <sub>h</sub>	Hold time data after CLK <sup>†</sup>		0		0		ns

## Timing karakteristieken.

switching characteristics V<sub>CC</sub> = 5 ± 0.5 V

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T <sub>A</sub> = 25 °C			74ACT11109		UNIT
			MIN	TYP	MAX	MIN	MAX	
f <sub>max</sub>			100	125		100		MHz
t <sub>PLH</sub>	PRE or CLR	Q or $\bar{Q}$	1.5	5.5	8.6	1.5	9.2	ns
t <sub>PHL</sub>			1.5	6	10.8	1.5	11.8	
t <sub>PLH</sub>	CLK	Q or $\bar{Q}$	1.5	6	8.3	1.5	9.1	ns
t <sub>PHL</sub>			1.5	5.5	7.6	1.5	8.3	

## Schakel karakteristieken.

## 2.5 Type J-K flip-flop's 74AC(T)11xx-serie

## 4/3

## Latches

## Inhoud

**4/3.1    Achtergrond-informatie**  
(aanvulling 13)**4/3.2    Latches 74xx-serie TTL en HC**  
(aanvulling 9)

7475	4 bit latch
7477	4 bit latch
74100	8 bit latch
74116	2 x 4 bit latches met clear
74118	6 x set-reset latches
74119	6 x set-reset latches
74259	8 bit adresseerbare latch
74279	4 x set-reset latches
74375	4 bit latch
744724	8 bit adresseerbare latch

**4/3.3    Latches (1)4xxx-serie CMOS**  
(aanvulling 13)

(1)4042	4 x D-type latches, clock met instelbare polariteit
(1)4099	8 bit adresseerbare latch
(1)4724	8 bit adresseerbare latch

**4/3.4    Latches 10k-serie ECL**  
(aanvulling 19)

10129	4 x TTL/IBM busreceivers/latch
10130	2 x D-type latches, set en reset
10132	2 x multiplexers/latches, reset
10133	4 x D-type latches, gated outputs
10134	2 x multiplexers/latches, onafh. select
10168	4 x latches, aparte output-enable
10173	4 x 2-input multiplexers/latches
10175	5 x latches, 2 clocks, reset

## 4/3.5

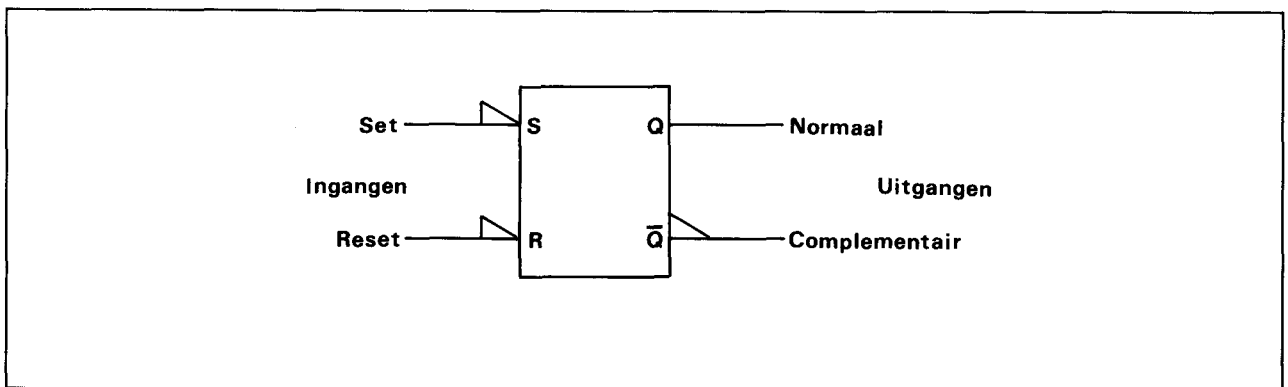
**Power Logic latches***(aanvulling 60 + 61)*

TPIC 6259	Power Logic 8 bit adressable latch
TPIC 6A259	Power Logic 8 bit adressable latch met stroombegrenzing
TPIC 6B259	Power Logic 8 bit adressable latch
TPIC 6273	Power Logic 8-voudige D-type latch
TPIC 6B273	Power Logic 8-voudige D-type latch



## 4/3.1

## Achtergrond-informatie



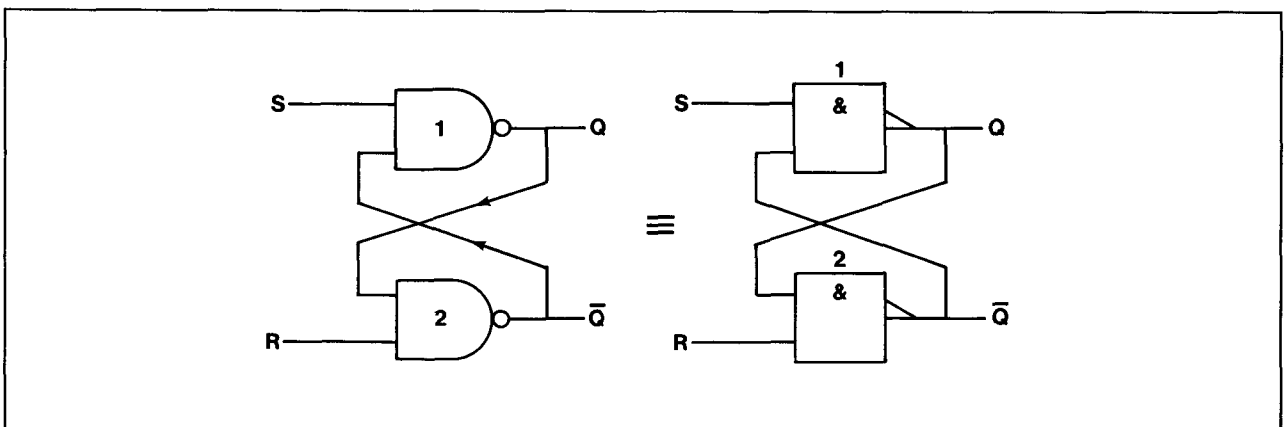
Figuur 4/3.1-1: Logisch symbool van een RS flip-flop (latch).

### Latches

De allereenvoudigste bistabiele multivibrator of kortweg 'flip-flop' is de zogenaamde RS flip-flop. In figuur 4/3.1-1 is het logische symbool hiervan te zien. Er zijn twee ingangen: Set (S) en Reset (R) en twee complementaire uitgangen: Q en  $\bar{Q}$ . De ingangen zijn in dit geval actief LAAG. De Q-uitgang wordt als de

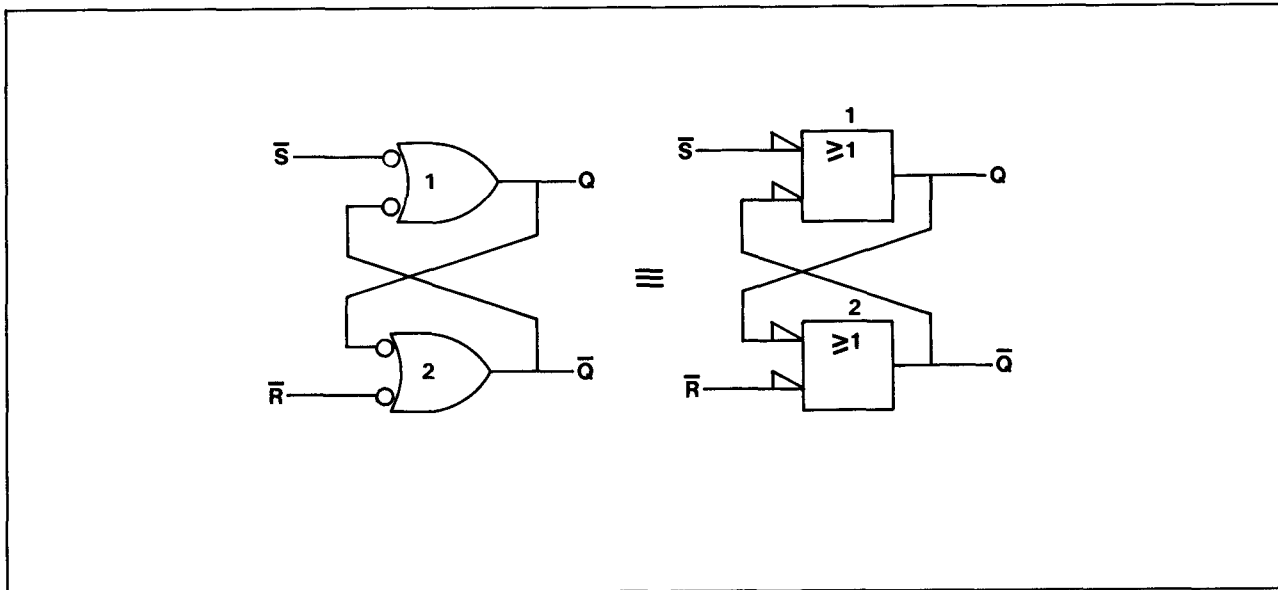
normale uitgang beschouwd, terwijl de  $\bar{Q}$ -uitgang de complementaire is. Onder normale omstandigheden zijn deze uitgangen altijd complementair, dus als Q = HOOG is  $\bar{Q}$  = LAAG en als Q = LAAG is  $\bar{Q}$  = HOOG.

De RS flip-flop kan worden opgebouwd uit logische poorten. In figuur 4/3.1-2a zijn bijvoorbeeld twee NAND-poorten gebruikt. De



Figuur 4/3.1-2a: Een RS flip-flop, opgebouwd uit NAND-poorten.

## 3.1 Achtergrond-informatie



**Figuur 4/3.1-2b:** Dezelfde RS flip-flop waarbij de NAND-poorten zijn vervangen door (volkomen identieke) NOR-poorten met inverterende ingangen.

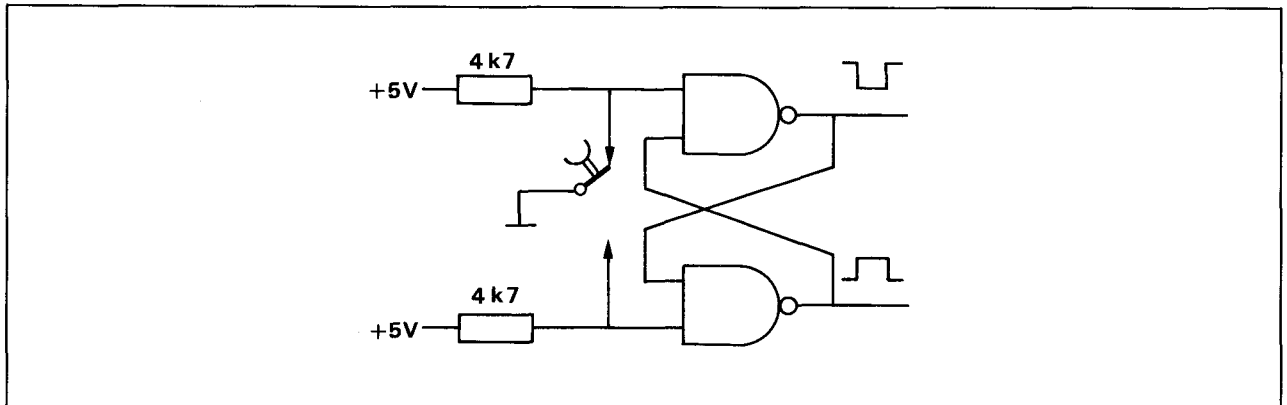
schakeling is gemakkelijk te herkennen aan de gekruiste verbindingen van de uitgang van de ene poort naar de ingang van de andere. Figuur 4/3.1-2b is hetzelfde schema, maar geeft door de NAND-poorten voor te stellen als NOR-poorten met inverterende ingangen, beter de gang van zaken weer. Net als bij logische poorten kan de werking van een flip-flop worden beschreven door

middel van een waarheidstabel (figuur 4/3.1-2c). De eerste regel wordt de 'verboden toestand' (prohibited state) genoemd, aangezien beide uitgangen dan HOOG worden. Deze toestand wordt normaal nooit gebruikt. De tweede regel is de SET toestand van de flip-flop: een LAAG signaal (logisch 0) op de S-ingang maakt dat de Q-uitgang van poort 1 HOOG wordt. Dit HOOG-signaal

Ingangen		Uitgangen		Werking
S	R	Q	$\bar{Q}$	
0	0	1	1	ongewenst
0	1	1	0	set
1	0	0	1	reset
1	1	q	$\bar{q}$	onthouden

**Figuur 4/3.1-2c:** Bijbehorende waarheidstabel.

## 3.1 Achtergrond-informatie



**Figuur 4/3.1-3:** De veelvuldig gebruikte 'anti-dender schakeling'.

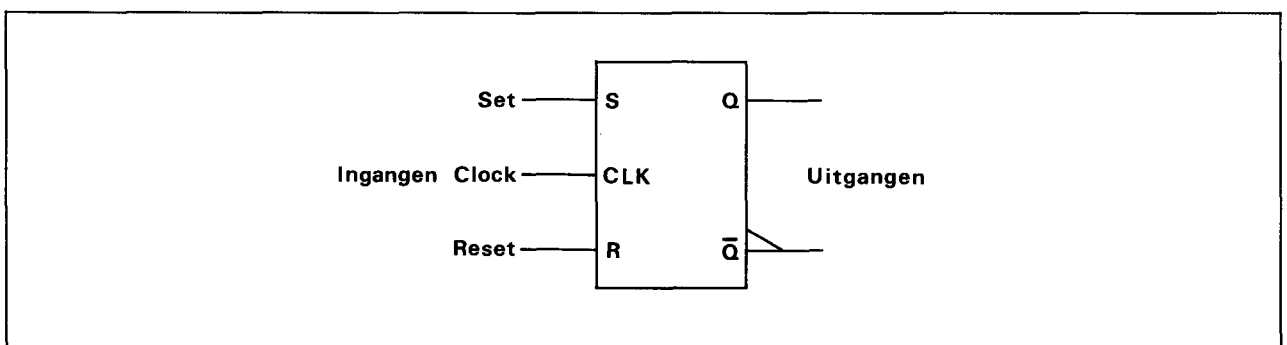
wordt naar de tweede ingang van poort 2 geleid, zodat beide ingangen van poort 2 HOOG zijn. Als gevolg hiervan is de  $\bar{Q}$ -uitgang van poort 2 LAAG. Dit LAAG-sig-naal wordt op de tweede ingang van poort 1 gezet, die hierdoor in de SET-toestand blijft staan, ongeacht de verdere toestand van de S-ingang. Op de derde regel wordt de situatie omgekeerd en komt de flip-flop in de RESET-toestand. De vierde regel laat de HOUD-toestand zien. Hierbij blijven de uitgangen in de laatst gekozen toestand staan. De RS flip-flop wordt ook vaak RS latch genoemd. Een zeer vaak gebruikte toepassing hiervan is de zogenaamde 'anti-dender schakeling' (figuur 4/3.1-3).

### Geklokte RS latch

De bovengenoemde RS latch is een asynchrone schakeling aangezien hij niet tegelijk

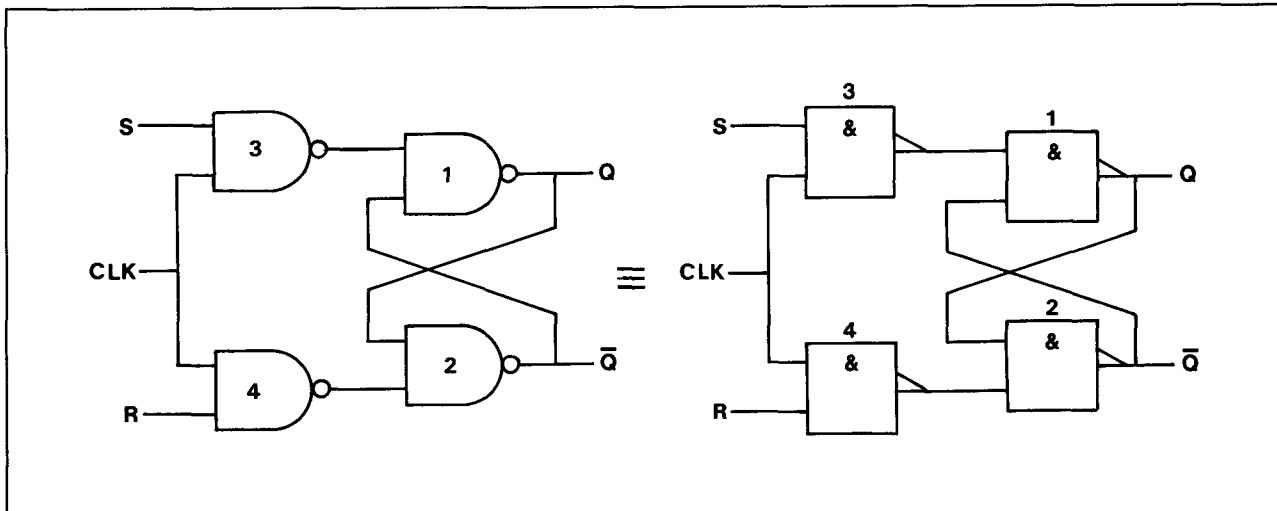
met een kloksig-naal of een tijdschakeling werkt. Als een van de ingangen wordt geactiveerd reageren de uitgangen onmiddellijk. Een **geklokte** RS flip-flop loopt in de pas met een kloksig-naal (= synchroon). Het logische symbool voor de geklokte RS latch is te zien in figuur 4/3.1-4, die alleen van figuur 4/3.1-1 verschilt door de clock-ingang.

De geklokte RS latch kan ook met logische poorten worden opgebouwd. In figuur 4/3.1-5 is dit weer gebeurd met behulp van NAND-poorten. De poorten 3 en 4 geven de RS latch de synchrone eigenschap. Merk op dat de eigenlijke RS latch alleen uit de poorten 1 en 2 bestaat en dat door de inverterende werking van de poorten 3 en 4 de S- en R-ingangen nu actief HOOG zijn. De RS flip-flop is een zogenaamde **niveau-getriggerde** (level-triggered) schakeling, aangezien de informatie op de R- en S-ingangen direct



**Figuur 4/3.1-4:** Logisch symbool van een geklokte (synchrone) RS flip-flop.

## 3.1 Achtergrond-informatie



Figuur 4/3.1-5a: Een uit NAND-poorten opgebouwde geklokte RS latch.

door de uitgangen wordt overgenomen zolang het signaal op de klokingang HOOG is. De HOOG-toestand van de klokpuls kan eigenlijk als enable-toestand (vrijgave) worden beschouwd. De waarheidstabel spreekt weer voor zich: er treden alleen veranderingen op wanneer de CLK-ingang HOOG is en de S- of R-ingang HOOG is.

De verboden toestand (regel vier) kan worden vermeden door, zoals in figuur 4/3.1-6 te zien is, de R-ingang via een inverter met de S-ingang te verbinden en alleen de S-ingang

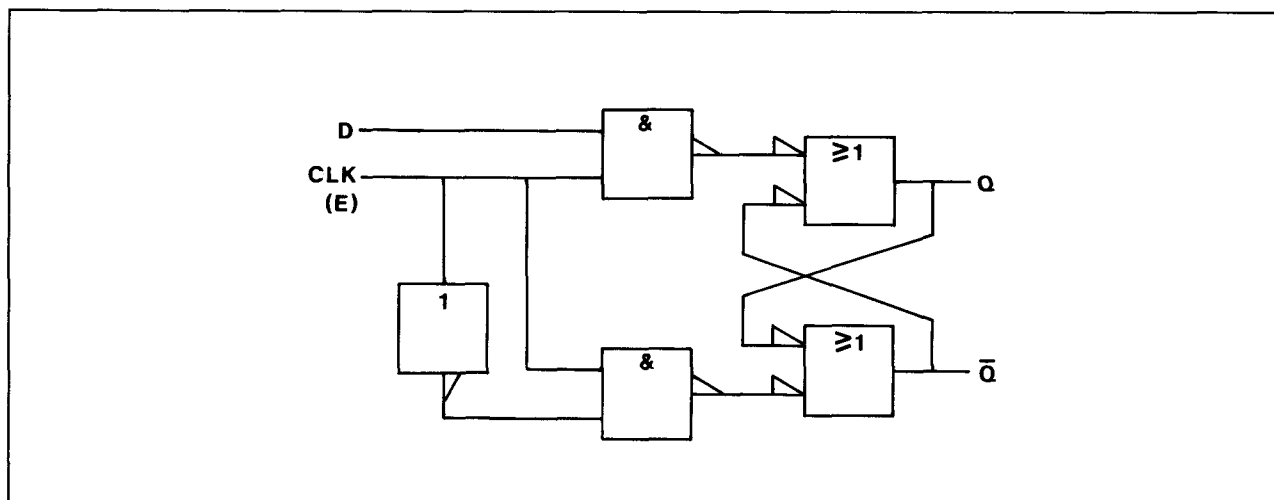
van buitenaf bereikbaar te maken. De schakeling heet dan D-latch. Figuur 4/3.1.7 laat zien hoe (één van de vier latches van) het bekende type 7475 is opgebouwd.

Wanneer met flip-flops gewerkt wordt kunnen 'tijddiagrammen' of 'golfvormen' zeer nuttig zijn. Figuur 4/3.1-8 laat een tijddiagram van de geklokte RS latch zien. Van boven naar beneden zijn de binaire signalen op de CLK, S- en R-ingangen en de Q-uitgang te zien. Het tijddiagram wordt van links naar rechts gelezen.

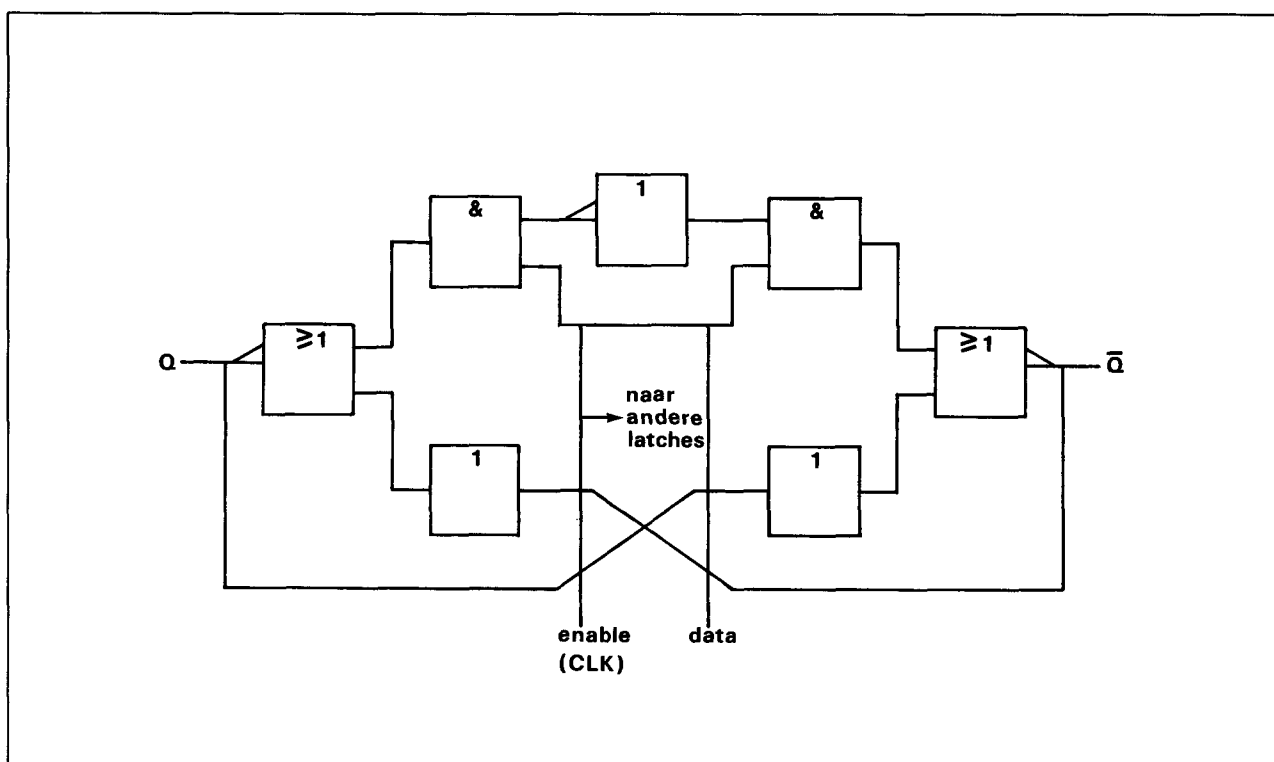
Ingangen			Uitgangen		Werking
CLK	S	R	Q	$\bar{Q}$	
	0	0	q	$\bar{q}$	onthouden
	0	1	0	1	reset
	1	0	1	0	set
	1	1	1	1	ongewenst

Figuur 4/3.1-5b: De bijbehorende waarheidstabel.

## 3.1 Achtergrond-informatie

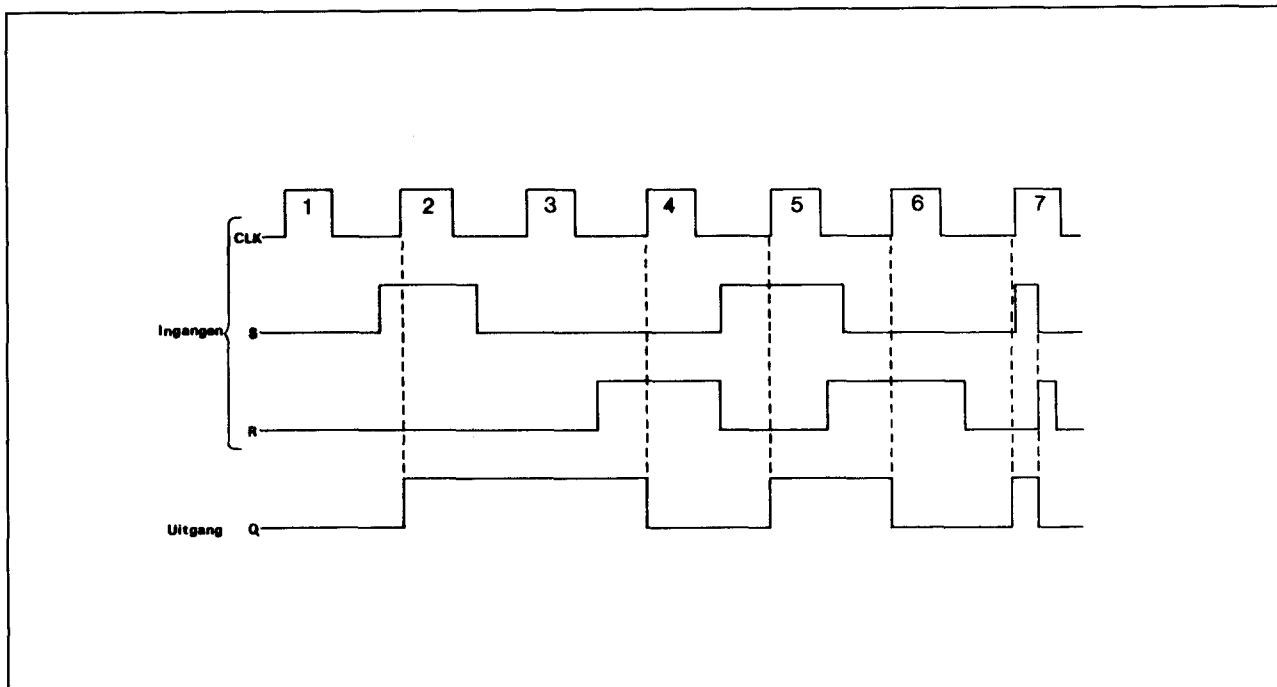


**Figuur 4/3.1-6:** Opbouw van een geklokte RS latch met één data-ingang, waardoor de verboden toestand wordt vermeden: D-latch.



**Figuur 4/3.1-7:** Opbouw van één van de vier D-latches in de 7475.

### 3.1 Achtergrond-informatie



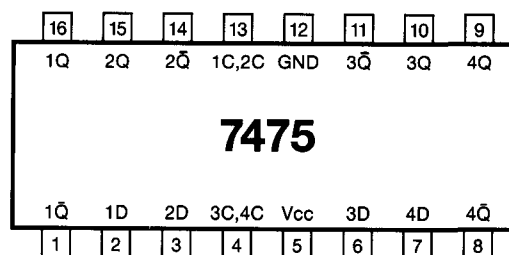
Figuur 4/3.1-8: Tijddiagram (optredende golfvormen) voor de geklokte RS latch.

## 4/3.2

## Latches 74xx-serie TTL en HC

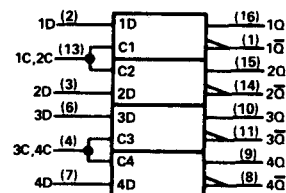
## 7475

4-bit bistabiele latch



Figuur 4/3.2-75.

LOGICA	TTL	L <sup>6)</sup>	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	32	3.5			6.3				40 <sup>5)</sup>	mA
I <sub>os</sub>	-18 -57	-3 -15			-20 -100				4	mA
T <sub>plh</sub> <sup>1)</sup>	16	55			15				14	ns
T <sub>phl</sub> <sup>1)</sup>	14	50			9				14	ns
T <sub>plh</sub> <sup>2)</sup>	24	75			12				14	ns
T <sub>phl</sub> <sup>2)</sup>	7	32			7				14	ns
T <sub>plh</sub> <sup>3)</sup>	16	50			15				15	ns
T <sub>phl</sub> <sup>3)</sup>	7	32			14				15	ns
T <sub>plh</sub> <sup>4)</sup>	16	48			16				15	ns
T <sub>phl</sub> <sup>4)</sup>	7	38			7				15	ns



1) D → Q 2) D → Q̄ 3) C → Q 4) C → Q̄ 5) μA 6) 74L75A

inputs		outputs	
D	C	Q	Q̄
L	H	L	H
H	H	H	L
X	L	Q <sub>0</sub>	Q̄ <sub>0</sub>

H = hoog niveau

L = laag niveau

X = onbepaald

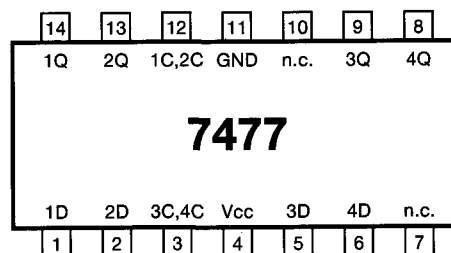
Q<sub>0</sub> = niveau van Q vóór de hoog-naar-laag overgang van C

9e aanvulling

## 3.2 74xx-serie TTL en HC

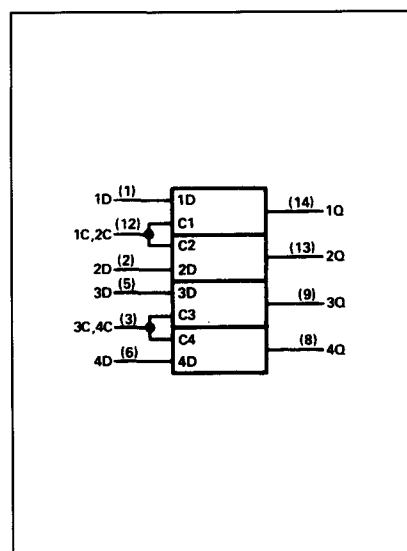
**7477**

## 4-bit bistabiele latch



Figuur 4/3.2-77.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	32				6.3				40 <sup>3)</sup>	mA
I <sub>os</sub>	-18 -57				-20 -100				4	mA
T <sub>plh</sub> <sup>1)</sup>	16				11				12	ns
T <sub>phl</sub> <sup>1)</sup>	14				9				12	ns
T <sub>plh</sub> <sup>2)</sup>	16				10				14	ns
T <sub>phl</sub> <sup>2)</sup>	7				10				14	ns



1) D → Q 2) C → Q 3) μA

inputs		output
D	C	Q
L	H	L
H	H	H
X	L	Q <sub>0</sub>

H = hoog niveau

L = laag niveau

X = onbepaald

Q<sub>0</sub> = niveau van Q vóór de hoog-naar-laag overgang van C

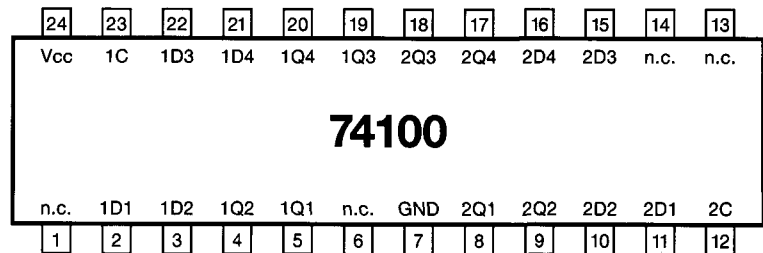


## 3.2 74xx-serie TTL en HC

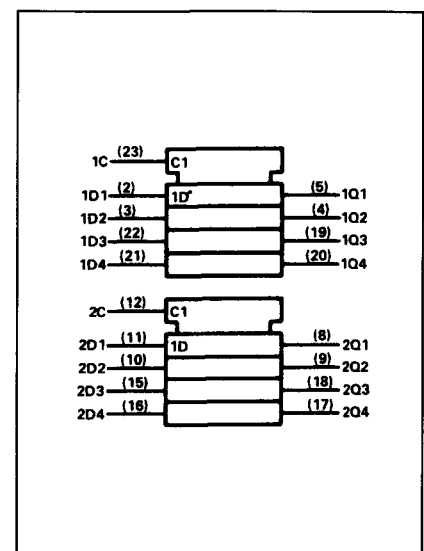
## 74100

## 8-bit bistabiele latch

Figuur 4/3.2-100.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	64									mA
I <sub>os</sub>	-18 -57									mA
T <sub>plh</sub> <sup>1)</sup>	16									ns
T <sub>phl</sub> <sup>1)</sup>	14									ns
T <sub>plh</sub> <sup>2)</sup>	16									ns
T <sub>phl</sub> <sup>2)</sup>	7									ns



1) D → Q 2) C → Q

inputs		outputs	
D	C	Q	$\bar{Q}$
L	H	L	H
H	H	H	L
X	L	Q <sub>0</sub>	$\bar{Q}_0$

H = hoog niveau

L = laag niveau

X = onbepaald

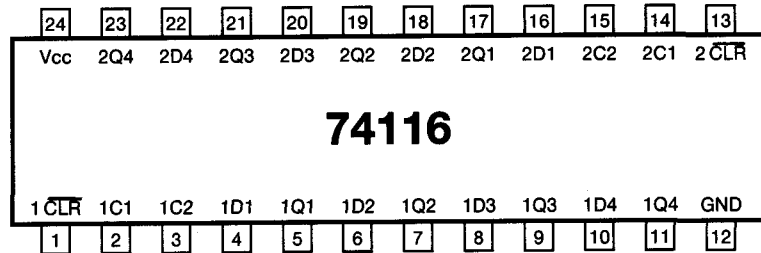
Q<sub>0</sub> = niveau van Q vóór de hoog-naar-laag overgang van C

## 3.2 74xx-serie TTL en HC

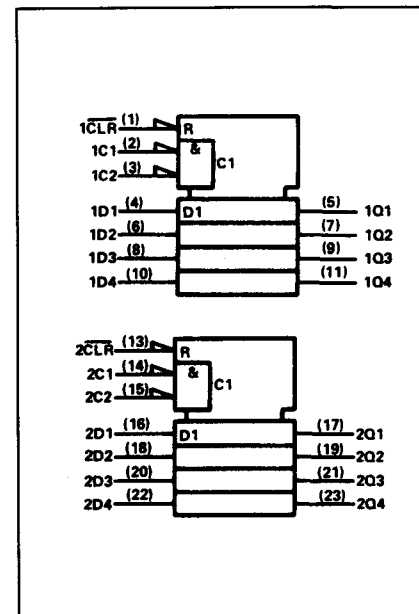
## 74116

## 2 4-bit latches met clear

Figuur 4/3.2-116.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	60 40									mA
I <sub>os</sub>	-18 -57									mA
T <sub>plh</sub> <sup>1)</sup>	19									ns
T <sub>phl</sub> <sup>1)</sup>	15									ns
T <sub>plh</sub> <sup>2)</sup>	10									ns
T <sub>phl</sub> <sup>2)</sup>	12									ns
T <sub>phl</sub> <sup>3)</sup>	15									ns



1) C → Q 2) D → Q 3) clear → Q

inputs			output Q
clear	enable C1 C2	data	
H	L L	L	L
H	L L	H	H
H	X H	X	Q <sub>0</sub>
H	H X	X	Q <sub>0</sub>
L	X X	X	L

H = hoog niveau

L = laag niveau

X = onbepaald

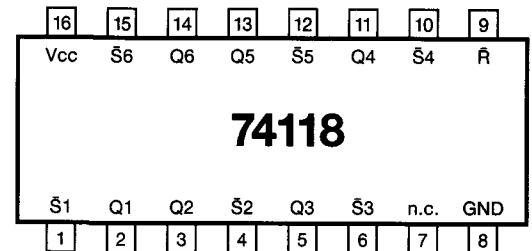
Q<sub>0</sub> = niveau van Q voordat deze ingangscondities tot stand kwamen.

## 3.2 74xx-serie TTL en HC

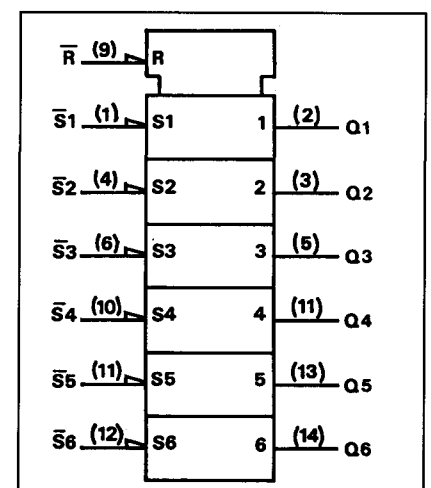
## 74118

6 set-reset latches  
met gemeenschappelijke reset

Figuur 4/3.2-118.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	30									mA
I <sub>os</sub>	-18 -55									mA
T <sub>plh</sub> <sup>1)</sup>	18									ns
T <sub>phl</sub> <sup>1)</sup>	10									ns
T <sub>phl</sub> <sup>2)</sup>	18									ns



1) set → Q 2) reset → Q

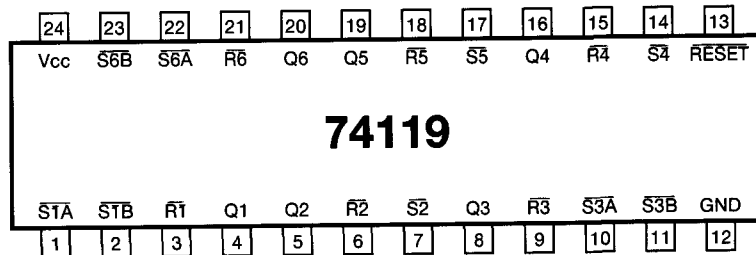
inputs		output
S	R	Q
0	X	Q
1	0	0
1	1	store

## 3.2 74xx-serie TTL en HC

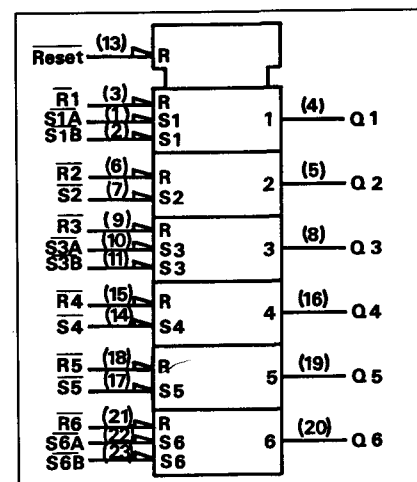
## 74119

6 set-reset latches met individuele set/reset en gemeenschappelijke reset

Figuur 4/3.2-119.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	30									mA
Ios	-18 -55									mA
Tplh <sup>1)</sup>	18									ns
Tphi <sup>1)</sup>	10									ns
Tphi <sup>2)</sup>	18									ns



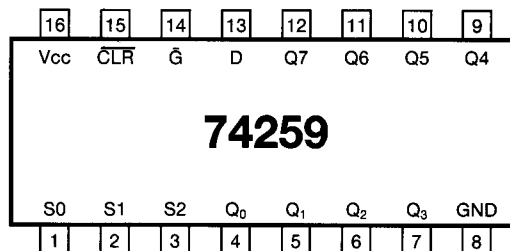
1) set → Q 2) reset → Q

inputs				output
SA	SB	R	RESET	Q
0	X	X	X	1
X	0	X	X	1
1	1	0	X	0
1	1	X	0	0
1	1	1	1	store

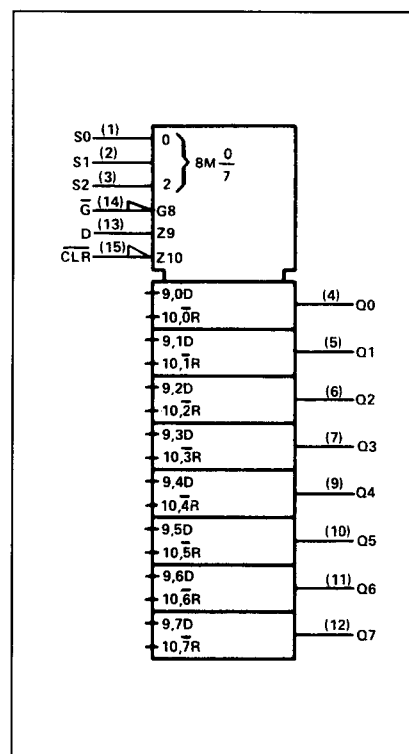
## 74259

## 8-bit adresseerbare latch

Figuur 4/3.2-259.



LOGICA	TTL <sup>5)</sup>	L	F	S	LS <sup>6)</sup>	AS	ALS <sup>8)</sup>	C	HC	
VARIABLE PARAMETERS										Eenheid
$I_{cc}$ $\begin{smallmatrix} H \\ L \end{smallmatrix}$	60		40 75		22				80 <sup>7)</sup>	mA
$I_{os}$	-18 -57		-60 -150		-20 -100				4	mA
$T_{plh}^{1)}$	14		9		19				17	ns
$T_{phl}^{1)}$	11		6.5		13				17	ns
$T_{plh}^{2)}$	15		13		17				21	ns
$T_{phl}^{2)}$	17		9		14				21	ns
$T_{plh}^{3)}$	12		10.5		5				20	ns
$T_{phl}^{3)}$	11		7		9				20	ns
$T_{plh}^{4)}$	16		9		12				18	ns



1)  $D \rightarrow Q$  2) adres  $S \rightarrow Q$  3) enable  $\bar{G} \rightarrow Q$  4)  $\bar{CLR} \rightarrow Q$   
 5) directe vervanging van Fairchild 9334 6) 74LS259B (TIM 9906) 7)  $\mu A$  8) aangekondigd

inputs	output van geadresseerde latch	elke andere output	functie
$\bar{CLR}$ $\bar{G}$			
H L	D	$Q_{i0}$	latch adresseerbaar
H H	$Q_{i0}$	$Q_{i0}$	geheugen
L L	D	L	8-lijns demultiplexer
L H	L	L	clear

select inputs			geadresseerde latch
S2	S1	S0	
L	L	L	0
L	L	H	1
L	H	L	2
L	H	H	3
H	L	L	4
H	L	H	5
H	H	L	6
H	H	H	7

H = hoog niveau  
 L = laag niveau  
 D = niveau op data-ingang

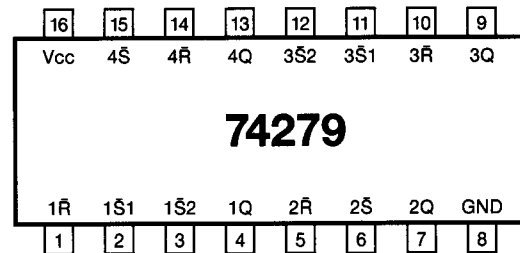
$Q_{i0}$  = niveau van  $Q_i$  ( $i = 0$  t/m 7) vóór laatste toestand

## 3.2 74xx-serie TTL en HC

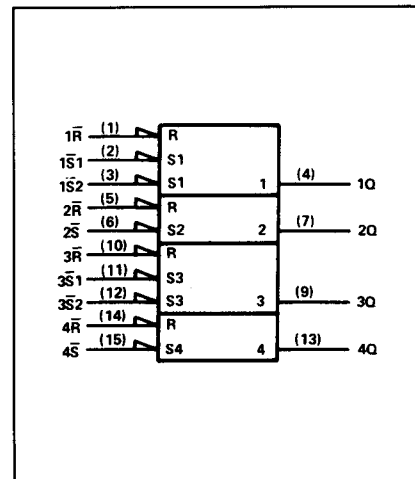
## 74279

## 4 set-reset latches

Figuur 4/3.2-279.



LOGICA	TTL	L	F	S	LS <sup>1)</sup>	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	18				3.8					mA
I <sub>os</sub>	-18 -57				-20 -100					mA
T <sub>plh</sub> <sup>2)</sup>	12				12					ns
T <sub>phl</sub> <sup>2)</sup>	9				13					ns
T <sub>phi</sub> <sup>3)</sup>	15				15					ns



1) 74LS279A 2) set → Q 3) reset → Q

inputs			output
S1	S2	R	Q
H	H	H	Q <sub>0</sub>
L	X	H	H
X	L	H	H
H	H	L	L
L	X	L	H*
X	L	L	H*

H = hoog niveau

L = laag niveau

X = onbepaald

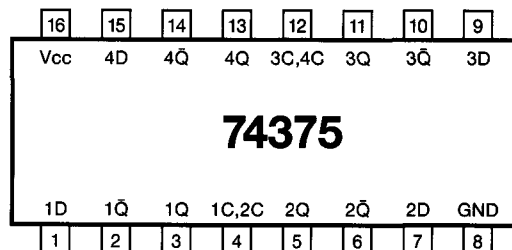
\* = pseudo stabiel

## 3.2 74xx-serie TTL en HC

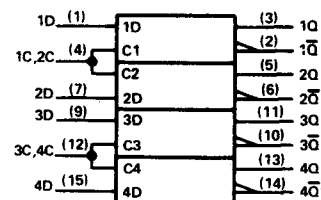
## 74375

## 4-bit bistabiele latch

Figuur 4/3.2-375.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>					6.3				40 <sup>5)</sup>	mA
I <sub>os</sub>					-20 -100				4	mA
T <sub>plh</sub> <sup>1)</sup>					15				14	ns
T <sub>phl</sub> <sup>1)</sup>					9				14	ns
T <sub>plh</sub> <sup>2)</sup>					12				14	ns
T <sub>phl</sub> <sup>2)</sup>					7				14	ns
T <sub>plh</sub> <sup>3)</sup>					15				15	ns
T <sub>phl</sub> <sup>3)</sup>					14				15	ns
T <sub>plh</sub> <sup>4)</sup>					16				15	ns
T <sub>phl</sub> <sup>4)</sup>					7				15	ns



1) D → Q 2) D → Q̄ 3) C → Q 4) C → Q̄ 5) μA

inputs		outputs	
D	C	Q	Q̄
L	H	L	H
H	H	H	L
X	L	Q <sub>0</sub>	Q̄ <sub>0</sub>

H = hoog niveau

L = laag niveau

X = onbepaald

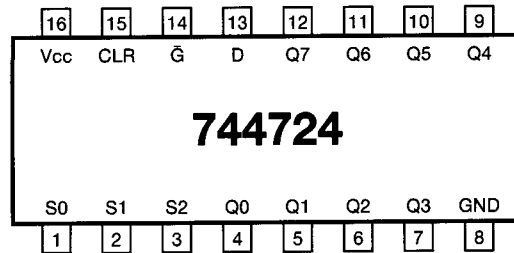
Q<sub>0</sub> = niveau van Q vóór hoog-naar-laag overgang van C

## 3.2 74xx-serie TTL en HC

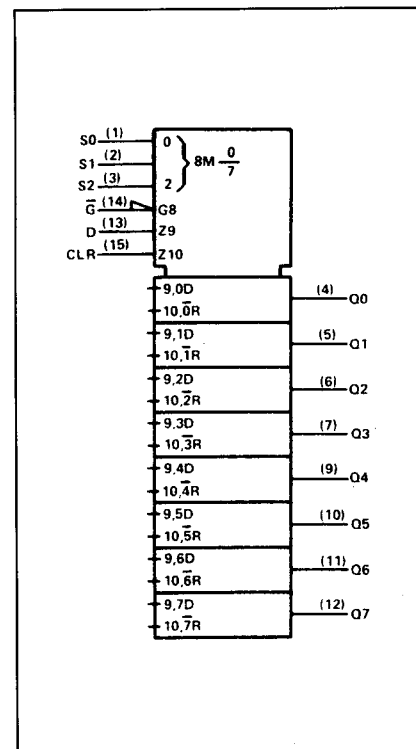
**744724**

## 8-bit adresseerbare latch

Figuur 4/3.2-4724.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>									80 <sup>1)</sup>	mA
I <sub>os</sub>									4	mA
T <sub>plh</sub> <sup>2)</sup>									17	ns
T <sub>phl</sub> <sup>2)</sup>									17	ns
T <sub>phl</sub> <sup>3)</sup>									18	ns
T <sub>plh</sub> <sup>4)</sup>									21	ns
T <sub>phl</sub> <sup>4)</sup>									21	ns
T <sub>plh</sub> <sup>5)</sup>									20	ns
T <sub>phl</sub> <sup>5)</sup>									20	ns



1)  $\mu A$  2)  $D \rightarrow Q$  3)  $CLR \rightarrow Q$  4) adres ( $S_0, S_1, S_2$ )  $\rightarrow Q$  5)  $\bar{G} \rightarrow Q$

INPUTS		OUTPUT OF ADDRESSED LATCH	EACH OTHER OUTPUT	FUNCTION
CLR	$\bar{G}$			
L	L	D	$Q_{iO}$	Addressable Latch
L	H	$Q_{iO}$	$Q_{iO}$	Memory
H	L	D	L	8-Line Demultiplexer
H	H	L	L	Clear

SELECT INPUTS			LATCH ADDRESSED
S2	S1	S0	
L	L	L	0
L	L	H	1
L	H	L	2
L	H	H	3
H	L	L	4
H	L	H	5
H	H	L	6
H	H	H	7



## 4/3.3

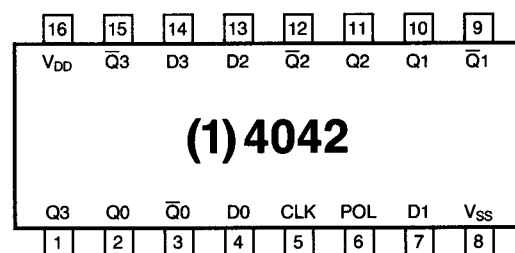
## Latches

## (1)4xxx-serie CMOS

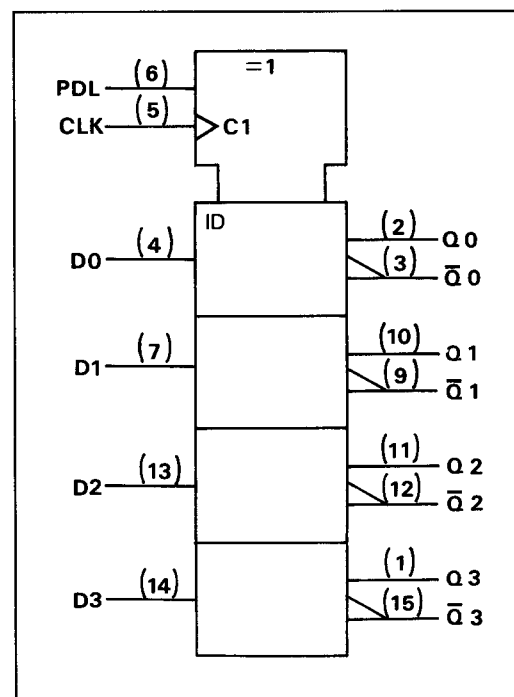
## (1) 4042

4 D-type latches met  
instelbare polariteit  
van het clock-signaal

Figuur 4/3.3-42.



TRUTH TABLE		
CLOCK	POLARITY	Q
0	0	Data
	0	Latch
1	1	Data
	1	Latch

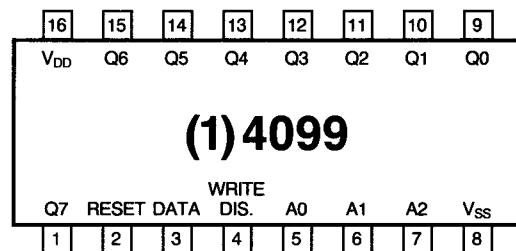


o.a. leverbaar: MC 14042 A/C  
CD 4042 A/B  
HEF 4042 B

## 3.3 (1)4xxx-serie

**(1)4099**

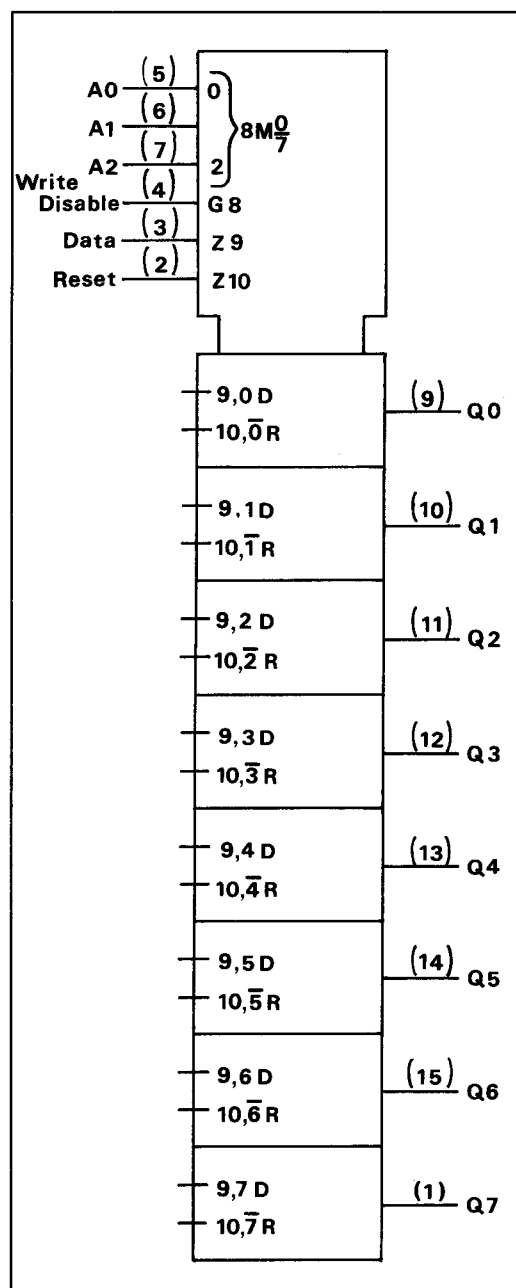
## 8-bit adresseerbare latch



Figuur 4/3.3-99.

MODE SELECTION			
WD	R	ADDRESSED LATCH	UNADDRESSED LATCH
0	0	Follows Data	Holds Previous State
0	1	Follows Data	Reset to "0"
1	0	Holds Previous State	
1	1	Reset to "0"	Reset to "0"

WD = WRITE DISABLE      R = RESET



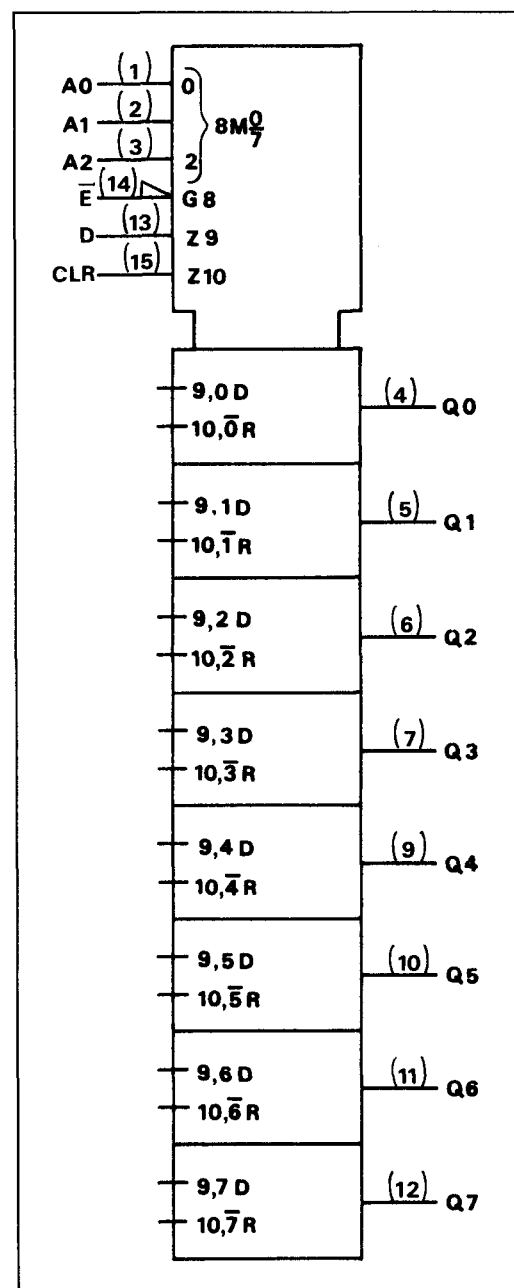
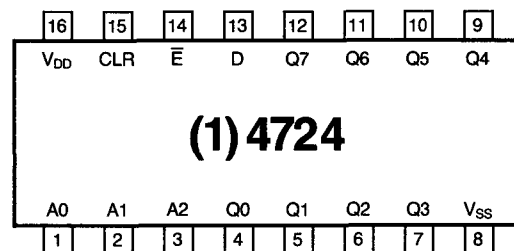
o.a. leverbaar: MC 14099 B  
CD 4099 B  
 $\mu$ PD 4099 B

## 3.3 (1)4xxx-serie

**(1)4724**

## 8-bit adresseerbare latch

Figuur 4/3.3-724.



o.a. leverbaar: CD 4724 B  
HEF 4724 B

## Deel 4: Flip-Flop's, latches, tellers en schuifregisters

## 3.3 (1)4xxx-serie

## MODE SELECTION

E	CL	mode
L	L	addressable latch
H	L	memory
L	H	active HIGH 8-channel demultiplexer
H	H	clear

CLR	E	D	A <sub>0</sub>	A <sub>1</sub>	A <sub>2</sub>	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>	Q <sub>5</sub>	Q <sub>6</sub>	Q <sub>7</sub>	mode
H	H	X	X	X	X	L	L	L	L	L	L	L	L	clear
H	L	D <sub>1</sub>	L	L	L	D <sub>1</sub>	L	L	L	L	L	L	L	demultiplexer; unaddressed latch is cleared
H	L	D <sub>1</sub>	H	L	L	L	D <sub>1</sub>	L	L	L	L	L	L	
H	L	D <sub>1</sub>	L	H	L	L	L	D <sub>1</sub>	L	L	L	L	L	
H	L	D <sub>1</sub>	H	H	L	L	L	L	D <sub>1</sub>	L	L	L	L	
H	L	D <sub>1</sub>	L	L	H	L	L	L	L	D <sub>1</sub>	L	L	L	
H	L	D <sub>1</sub>	H	L	H	L	L	L	L	L	D <sub>1</sub>	L	L	
H	L	D <sub>1</sub>	L	H	H	L	L	L	L	L	L	D <sub>1</sub>	L	
H	L	D <sub>1</sub>	H	H	H	L	L	L	L	L	L	L	D <sub>1</sub>	
L	H	X	X	X	X	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	memory
L	L	D <sub>1</sub>	L	L	L	D <sub>1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	addressable latch; unaddressed latch holds previous state
L	L	D <sub>1</sub>	H	L	L	O <sub>n-1</sub>	D <sub>1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	
L	L	D <sub>1</sub>	L	H	L	O <sub>n-1</sub>	O <sub>n-1</sub>	D <sub>1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	
L	L	D <sub>1</sub>	H	H	L	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	D <sub>1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	
L	L	D <sub>1</sub>	L	L	H	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	D <sub>1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	
L	L	D <sub>1</sub>	H	L	H	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	D <sub>1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	
L	L	D <sub>1</sub>	L	H	H	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	D <sub>1</sub>	O <sub>n-1</sub>	
L	L	D <sub>1</sub>	H	H	H	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	O <sub>n-1</sub>	D <sub>1</sub>	

H = HIGH state (the more positive voltage)

L = LOW state (the less positive voltage)

X = state is immaterial

O<sub>n-1</sub> = state before the positive transition of ED<sub>1</sub> = either HIGH or LOW

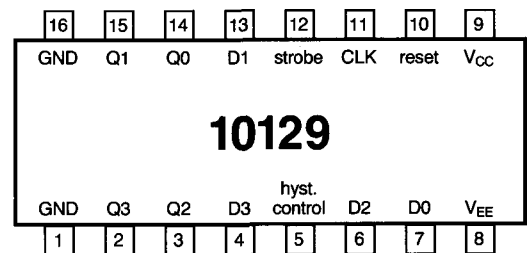
## 4/3.4

## Latches 10k-serie ECL

## 10129

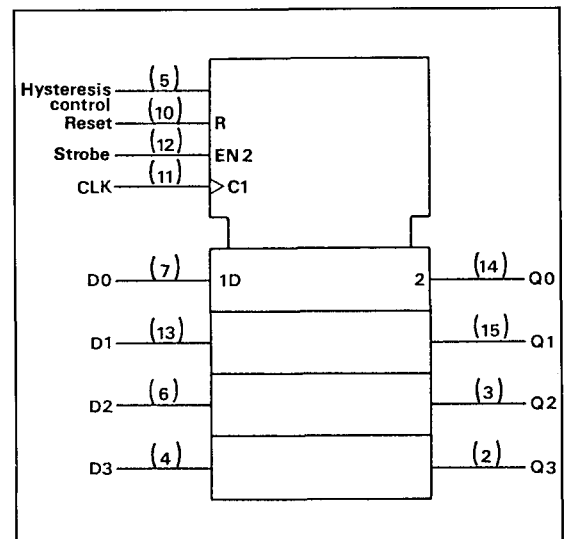
4 TTL/IBM Bus Receivers/Latches  
(ingangen TTL en IBM compatibel,  
uitgangen ECL), open-emitter  
uitgangen

Figuur 4/3.4-129



Parameters bij 25°C

$I_E$	min typ max	152	mA	Stroom uit voeding ( $V_{EE} = -5,2$ V)
$I_{IL}$	min typ max	-1.0	$\mu A$	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	95	$\mu A$	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.825 -1.615	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.890 -0.700	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.595	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.910	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
P	typ	750	mW/ package	Dissipatie
$t_d$	typ typ typ	12.0 4.0	ns ns ns	Vertragingstijd data → out strobe → out
fanout ZIN		1 50		50 Ohm-lijn(en) kOhm pull-down weerstanden (data-ingangen: geen pull-down)



logisch symbool

TRUTH TABLE (\* = Don't Care)

STROBE	RESET	C	D	$Q_{n+1}$
L	*	*	*	L
H	L	H	*	$Q_n$
H	*	L	L	L
H	*	L	H	H
*	H	H	*	L

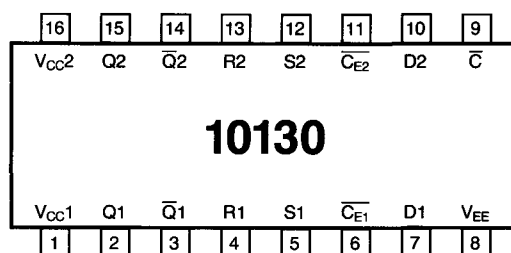
waarheidstabel

## 3.4 10k-serie ECL

## 10130

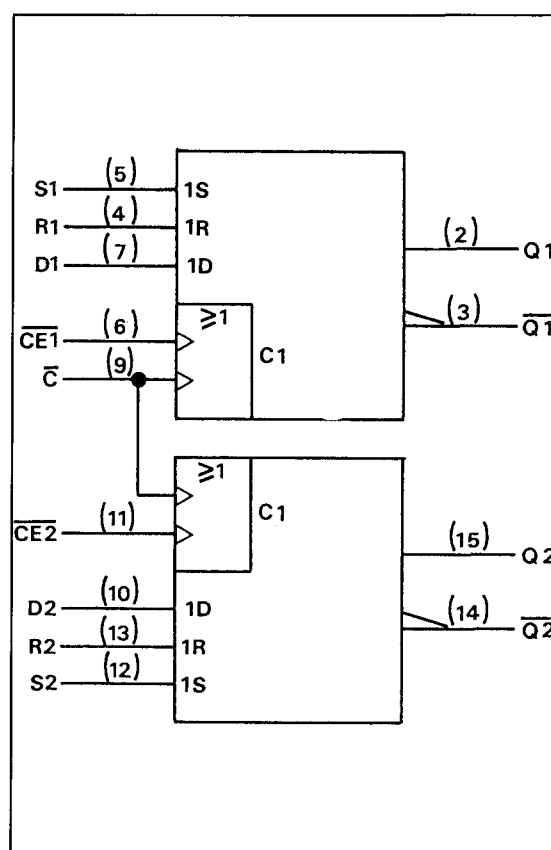
2 D-type latches met synchrone set- en reset ingangen, open-emitter uitgangen

Figuur 4/3.4-130



Parameters bij 25°C

$I_E$	min typ max	28 35	mA	Stroom uit voeding ( $V_{EE} = -5,2$ V)
$I_{IL}$	min typ max	0.5	$\mu A$	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	220	$\mu A$	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.850 -1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.960 -0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
P	typ	140	mW/ package	Dissipatie
td	typ typ typ	2.5 2.8 3.0	ns ns ns	Vertragingstijd set, reset CLK
fanout ZIN		1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



logisch symbool

## TRUTH TABLE

D	C	S	R	$Q_{n+1}$
L	L	$\emptyset$	$\emptyset$	1
A	L	$\emptyset$	$\emptyset$	H
$\emptyset$	H	L	L	$Q_n$
$\emptyset$	H	H	L	H
$\emptyset$	H	L	H	L
$\emptyset$	H	H	H	N.D.

C =  $\overline{CE} + \overline{C}$  $\emptyset$  = Don't care

N.D. = Not defined

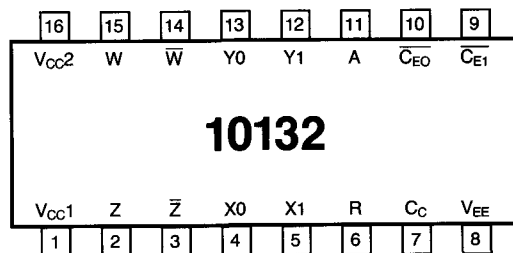
waarheidstabel

## 3.4 10k-serie ECL

## 10132

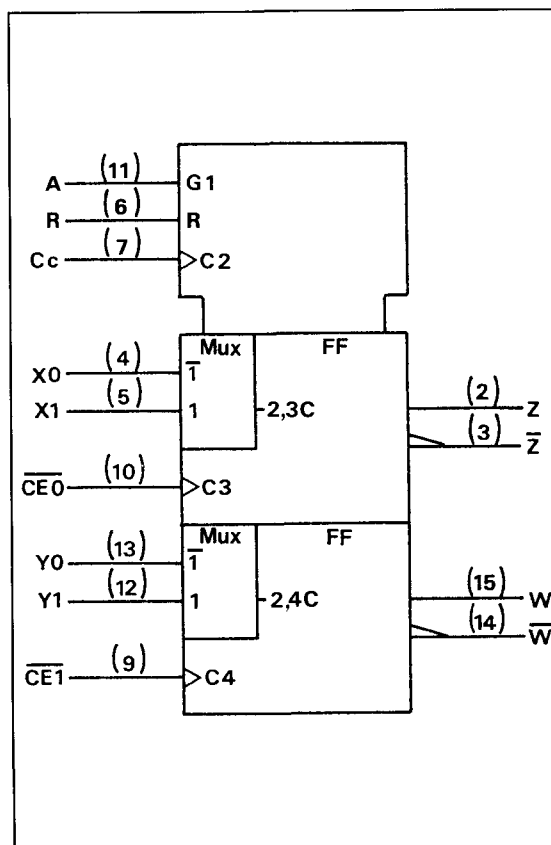
## 2 Multiplexers/Latches met reset, open-emitter uitgangen (gecombineerde multiplexer-register)

Figuur 4/3.4-132



## Parameters bij 25°C

$I_E$	min typ max	55 mA	Stroom uit voeding ( $V_{EE} = -5,2$ V)
$I_{IL}$	min typ max	0.5 $\mu$ A	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	290 $\mu$ A	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.850 -1.650 V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.960 -0.810 V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.630 V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.980 V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
P	typ	200 mW/ package	Dissipatie
td	typ typ typ	2.5 3.7 4.0 ns ns ns	Vertragingstijd (data) (select) (clock)
fanout ZIN	1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



logisch symbool

## TRUTH TABLE

R	$X_{in}$	$C_C$	$\overline{CE}$	$Z_{n+1}$
L	L	L	L	L
L	L	L	H	$Z_n$
L	L	H	L	$Z_n$
L	L	H	H	$Z_n$
L	H	L	L	H
L	H	L	H	$Z_n$
L	H	H	L	$Z_n$
L	H	H	H	$Z_n$
H	$\phi$	H	$\phi$	L

 $\phi$  = Don't care $X_{in} = \overline{A} \cdot X_0 + A \cdot X_1$ 

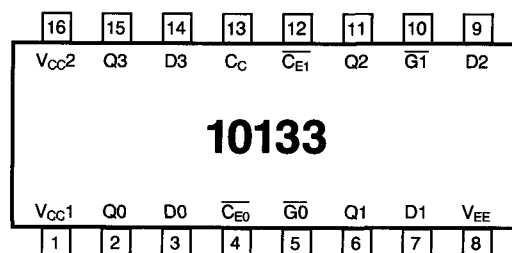
waarheidstabel

## 3.4 10k-serie ECL

## 10133

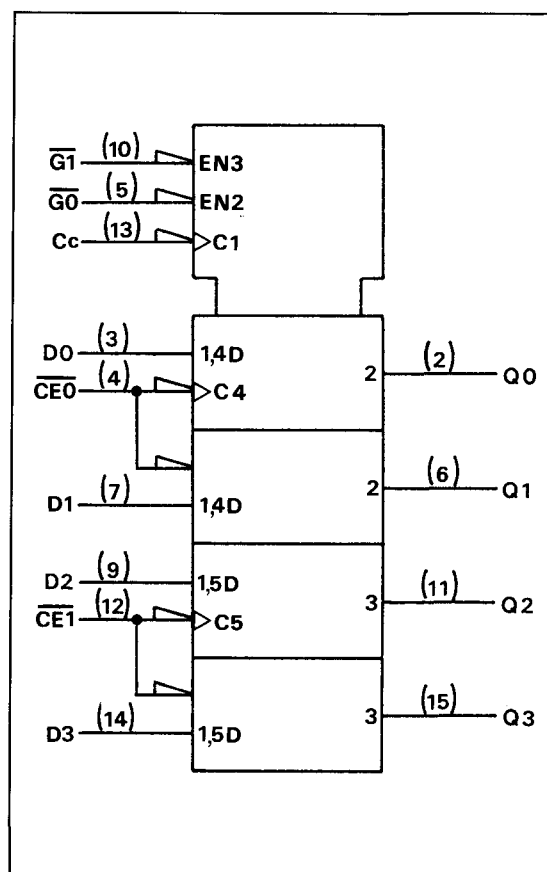
4 D-type Latches met gated outputs  
(grote fan-out)

Figuur 4/3.4-133



Parameters bij 25°C

$I_E$	min typ max	75 mA	Stroom uit voeding ( $V_{EE} = -5,2$ V)
$I_{IL}$	min typ max	0.5 $\mu$ A	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	245 $\mu$ A	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.850 -1.650 V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.960 -0.810 V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.630 V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.980 V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
P	typ	290 mW/ package	Dissipatie
$t_d$	typ	4.0 ns	Vertragingstijd (clock/data → output)
	typ	2.0 ns	(enable → out)
	typ	0.7 ns	(set-up en hold)
fanout ZIN	4 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



logisch symbool

## TRUTH TABLE

$\bar{G}$	C	D	Qntl
H	$\phi$	$\phi$	L
L	L	$\phi$	Qn
L	H	L	L
L	H	H	H

C -  $\bar{C}_C$  +  $C_E$   
 $\phi$  - Don't Care

waarheidstabel

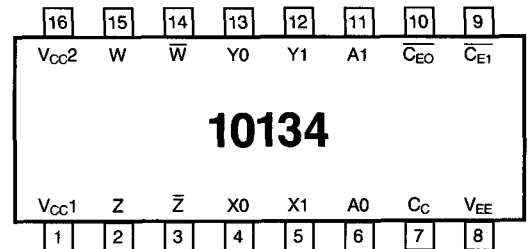


## 3.4 10k-serie ECL

## 10134

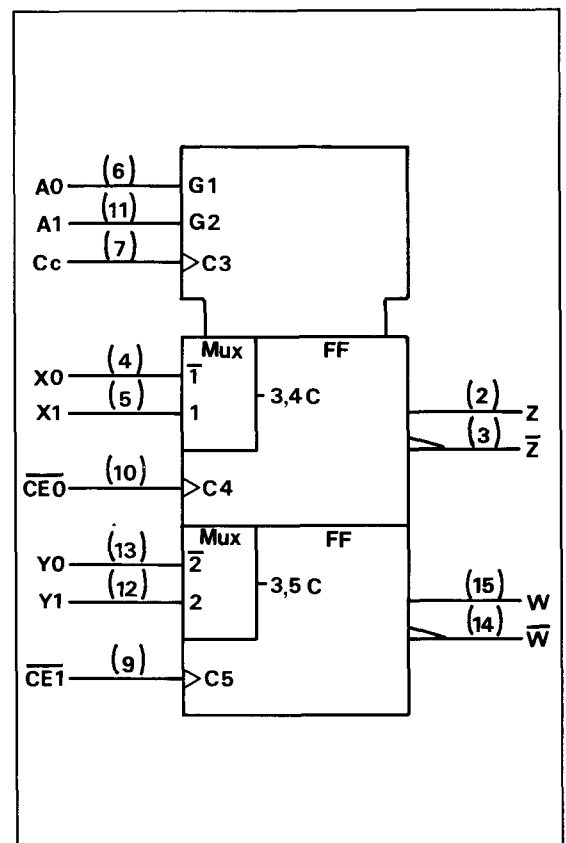
## 2 Multiplexers/Latches met onafhankelijke select-ingangen en open-emitter uitgangen

Figuur 4/3.4-134



## Parameters bij 25°C

$I_E$	min typ max	55 mA	Stroom uit voeding ( $V_{EE} = -5,2$ V)
$I_{IL}$	min typ max	0.5 $\mu$ A	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	290 $\mu$ A	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.850 -1.650 V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.960 -0.810 V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.630 V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.980 V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
P	typ	225 mW/ package	Dissipatie
$t_d$	typ typ typ	2.5 3.5 4.0 ns ns ns	Vertragingstijd (data) (select) (clock)
fanout ZIN	1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



logisch symbool

## TRUTH TABLE

C	A0	X0	X1	$Z_{n+1}$
L	L	L	$\phi$	L
L	L	H	$\phi$	H
L	H	$\phi$	L	L
L	H	$\phi$	H	H
H	$\phi$	$\phi$	$\phi$	$Z_n$

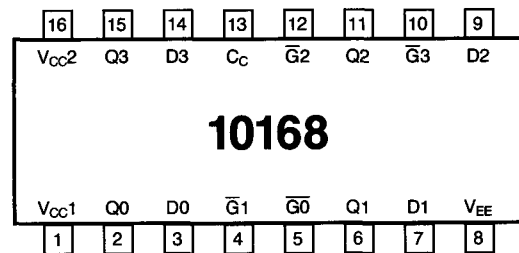
 $\phi$  = don't care $C = \overline{CE} + C_c$  $X_{in} = A0 \cdot X0 + A0 \cdot X1$ 

waarheidstabel

## 3.4 10k-serie ECL

## 10168

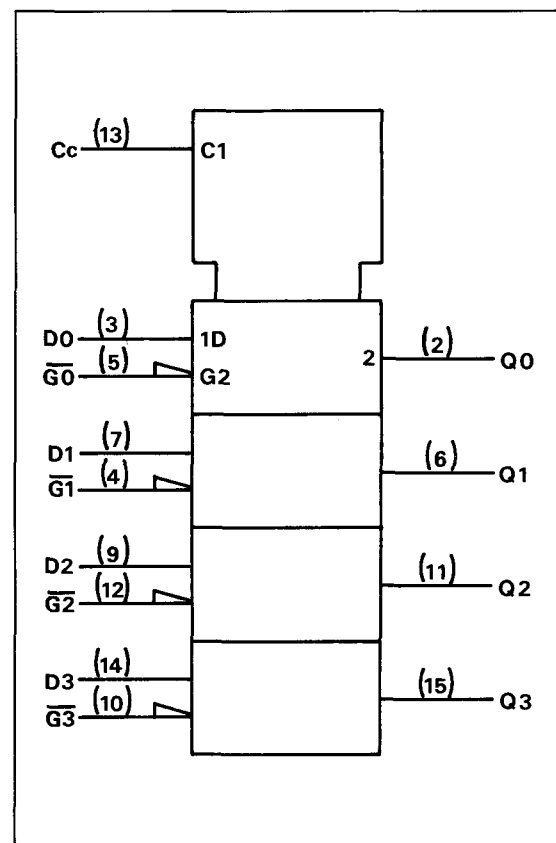
## 4 Latches met aparte output-enable



Figuur 4/3.4-168

Parameters bij 25°C

$I_E$	min typ max	80	mA	Stroom uit voeding ( $V_{EE} = -5,2$ V)
$I_{IL}$	min typ max	0.5	$\mu$ A	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	295	$\mu$ A	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.850 -1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.960 -0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
P	typ	310	mW/ package	Dissipatie
td	typ typ typ	2.0 3.0 4.0	ns ns ns	Vertragingstijd ( $\bar{G} \rightarrow Q$ ) ( $D \rightarrow Q$ ) ( $C \rightarrow Q$ )
fanout ZIN		1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



logisch symbool

$\bar{G}$	C	D	$Q_n + 1$
H	$\emptyset$	$\emptyset$	L
L	L	$\emptyset$	$Q_n$
L	H	L	L
L	H	H	H

 $\emptyset$  = don't care

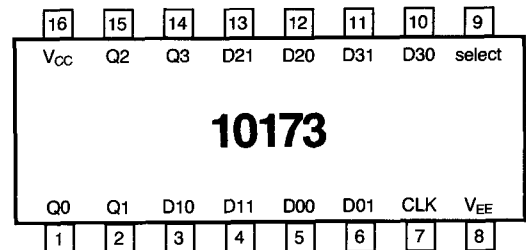
waarheidstabel

## 3.4 10k-serie ECL

## 10173

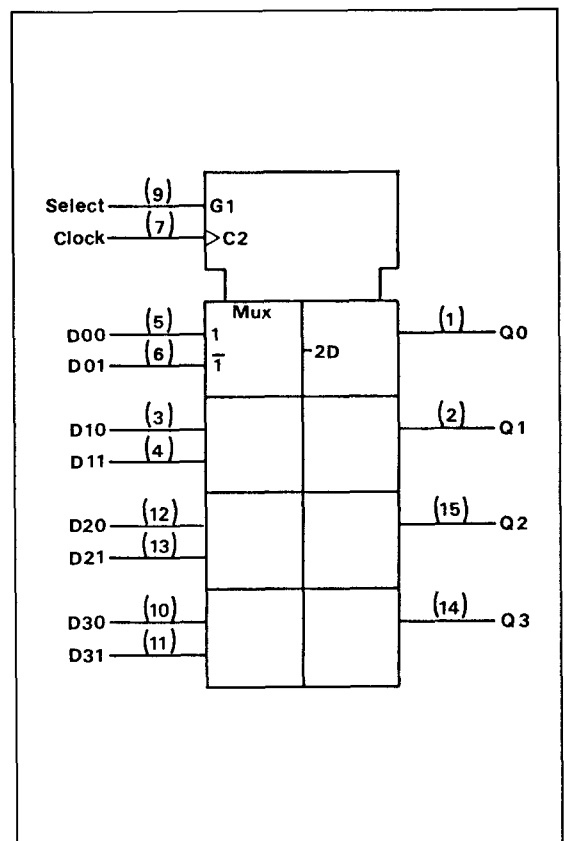
## 4 2-naar-1 multiplexers/latches met open-emitter uitgangen

Figuur 4/3.4-173



## Parameters bij 25°C

$I_E$	min typ max	66	mA	Stroom uit voeding ( $V_{EE} = -5,2$ V)
$I_{IL}$	min typ max	0.5	$\mu$ A	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	295	$\mu$ A	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.850 -1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.960 -0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmx}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmx}$ of $V_{IHmin}$
P	typ	325	mW/ package	Dissipatie
$t_d$	typ typ typ	2.5 3.7 4.3	ns ns ns	Vertragingstijd (data) (select) (clock)
fanout ZIN	1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden		



logisch symbool

## TRUTH TABLE

$D_n$	C	$Q_n (N+1)$
L	L	L
H	L	H
$\emptyset$	H	$Q_n (N)$

$$D_n = \bar{S} \cdot D_{n0} + S \cdot D_{n1} \quad \emptyset = \text{don't care}$$

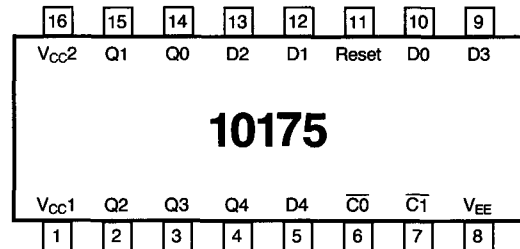
waarheidstabel

## 3.4 10k-serie ECL

## 10175

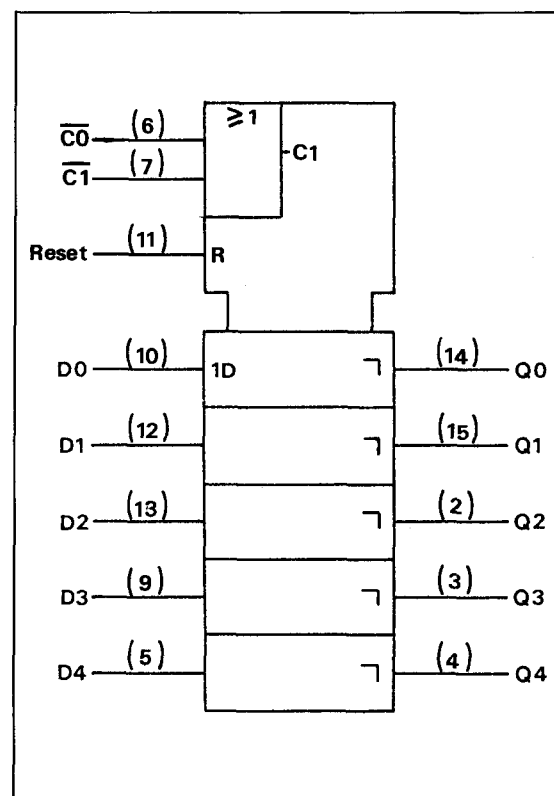
5 Latches met 2 clock-ingangen,  
reset en open-emitter uitgangen

Figuur 4/3.4-175



Parameters bij 25°C

$I_E$	min typ max	97	mA	Stroom uit voeding ( $V_{EE} = -5,2$ V)
$I_{IL}$	min typ max	0.5	$\mu$ A	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	290	$\mu$ A	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.850 -1.650	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.960 -0.810	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.630	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.980	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
P	typ	400	mW/ package	Dissipatie
td	typ	2.5	ns	Vertragingstijd
fanout ZIN		1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



logisch symbool

## TRUTH TABLE

D	C0	C1	RESET	$Q_{n+1}$
L	L	L	L	L
H	L	L	L	H
X	H	X	L	$Q_n$
X	X	H	L	$Q_n$
X	H	X	H	L
X	X	H	H	L

waarheidstabel

## 4/3.5

## Power Logic latches

**TPIC 6259****8 bit adresseerbare latch**

De TPIC 6259 is een 8 bit adresseerbare latch met actief-lage open-drain DMOS-transistoren aan de uitgang (power logic). Deze schakeling heeft één data-ingang, acht latches en een 3-naar-8 decoder. De TPIC 6259 is bedoeld voor algemeen gebruik in digitale systemen, zoals werkregisters, seriële houdregisters en decoders of demultiplexers. Met de signalen clear (CLR) en enable ( $\bar{G}$ ) kunnen vier verschillende bedrijfsmodi worden ingesteld, zoals te zien is in de waarheidstabel van figuur 4/3.5-2.

In de adresseerbare latch-mode wordt data op de data-ingangspen (D) geschreven naar de geadresseerde latch. De geadresseerde DMOS-transistor inverteert de aangeboden data, terwijl alle niet-geadresseerde DMOS-uitgangen in hun vroegere toestand blijven staan.

In de geheugenmode (memory mode) wordt geen enkele DMOS-uitgang door de data- of adres-signalen beïnvloed en blijft hun vorige toestand behouden. Om te voorkomen dat foutieve data in de latch wordt opgenomen, moet  $\bar{G}$  tijdens adresveranderingen HOOG worden gehouden.

In de 3-naar-8 decoding of demultiplexing mode wordt de data op de geadresseerde uitgang geïnverteerd, terwijl de andere uitgangen HOOG zijn.

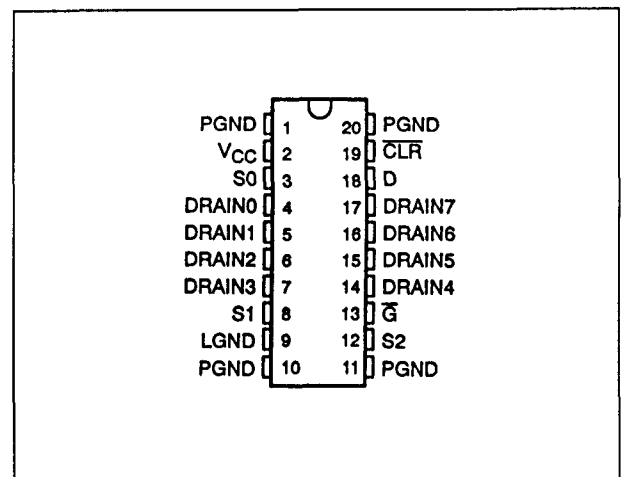
In de clear mode worden alle uitgangen HOOG, onafhankelijk van de adres- en data-signalen. Bij de TPIC 6259 zijn de aardpenen voor logica en vermogen van elkaar gescheiden om het systeem zo flexibel mo-

gelijk te maken. De pennen 1, 10, 11 en 20 zijn intern verbonden, maar moeten extern met de vermogensaarde worden verbonden om de paracitaire zelfinductie te verminderen.

Extern moet de logische aarde (LGND, pen 9) op één punt aan de vermogensaarde (PGND) worden gelegd om overspraak tussen de logica en de belasting te beperken.

**Technische gegevens**

- 8 power DMOS-transistor uitgangen
- lage  $R_{DS(on)}$ : 1,3  $\Omega$  typ.
- uitgangsstroom: 250 mA continu, 1,5 A gepulst
- uitgangs clamp-spanning: 45 V
- avalanche energie: 75 mJ
- behuizing: 20-pens N (DIL) of DW (SOIC) (zie figuur 4/3.5-1)
- fabrikant: Texas Instruments



**Figuur 4/3.5-1:** Aansluitingen van de TPIC 6259 (DIL en SOIC).

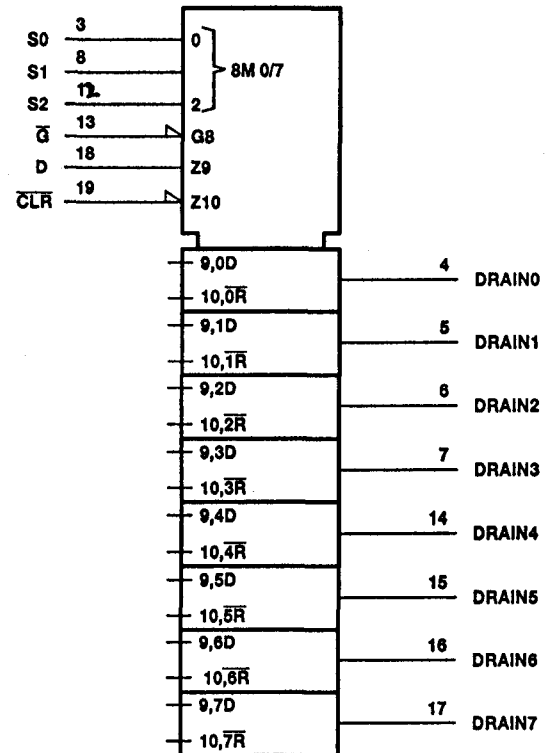
## 3.5 Power Logic latches

INPUTS			OUTPUT OF ADDRESSED DRAIN	EACH OTHER DRAIN	FUNCTION
CLR	$\bar{G}$	D			
H	L	H	L	$Q_{10}$	Addressable Latch
H	L	L	H	$Q_{10}$	
H	H	X	$Q_{10}$	$Q_{10}$	Memory
L	L	H	L	H	8-Line Demultiplexer
L	L	L	H	H	
L	H	X	H	H	Clear

Figuur 4/3.5-2: Waarheidstabel van de TPIC 6259 en TPIC 6B259.

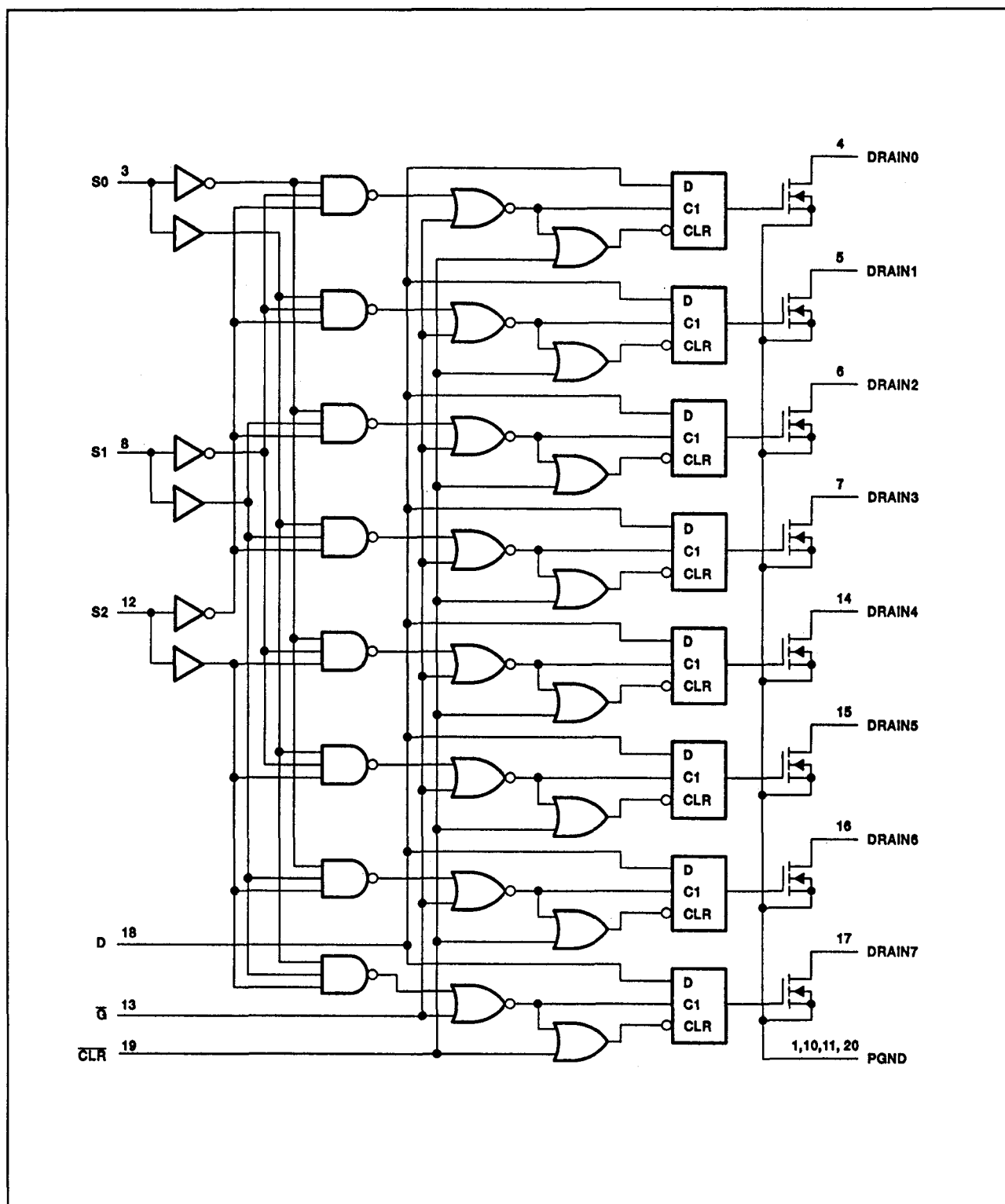
LATCH SELECTION TABLE				
SELECT INPUTS			DRAIN ADDRESSED	
S2	S1	S0		
L	L	L	0	
L	L	H	1	
L	H	L	2	
L	H	H	3	
H	L	L	4	
H	L	H	5	
H	H	L	6	
H	H	H	7	

Figuur 4/3.5-3: Latch selectietabel van de TPIC 6259 en TPIC 6B259.



Figuur 4/3.5-4: Logisch symbool van de TPIC 6259 en TPIC 6B259.

## 3.5 Power Logic latches



Figuur 4/3.5-5: Functioneel schema van de TPIC 6259 (positieve logika).

## 3.5 Power Logic latches

Logic supply voltage, $V_{CC}$ (see Note 1)	7 V
Logic input voltage range, $V_I$	-0.3 V to 7 V
Power DMOS drain-to-source voltage, $V_{DS}$ (see Note 2)	45 V
Continuous source-drain diode anode current	1 A
Pulsed source-drain diode anode current	2 A
Pulsed drain current, each output, all outputs on, $I_{DN}$ , $T_A = 25^\circ\text{C}$ (see Note 3)	750 mA
Continuous drain current, each output, all outputs on, $I_{DN}$ , $T_A = 25^\circ\text{C}$	250 mA
Peak drain current single output, $I_{DM}$ , $T_A = 25^\circ\text{C}$ (see Note 3)	2 A
Single-pulse avalanche energy, $E_{AS}$ (see Note 4)	75 mJ
Avalanche current, $I_{AS}$ (see Note 4)	1 A
Continuous total dissipation	See Dissipating Rating Table
Operating virtual junction temperature range, $T_J$	$-40^\circ\text{C}$ to $150^\circ\text{C}$
Storage temperature range	$-65^\circ\text{C}$ to $150^\circ\text{C}$
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds	$260^\circ\text{C}$

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 125^\circ\text{C}$ POWER RATING
DW	1125 mW	9.0 mW/ $^\circ\text{C}$	225 mW
N	1150 mW	9.2 mW/ $^\circ\text{C}$	230 mW

Figuur 4/3.5-6: Maximaal toelaatbare waarden en vermogensdissipatie van de TPIC 6259.



## 3.5 Power Logic latches

recommended operating conditions over recommended operating temperature range (unless otherwise noted)

	MIN	MAX	UNIT
Logic supply voltage, $V_{CC}$	4.5	5.5	V
High-level input voltage, $V_{IH}$	0.85 $V_{CC}$		V
Low-level input voltage, $V_{IL}$		0.15 $V_{CC}$	V
Pulsed drain output current, $T_C = 25^\circ\text{C}$ , $V_{CC} = 5\text{ V}$ (see Notes 3 and 5)	-1.8	1.5	A
Setup time, D high before $\bar{G}\uparrow$ , $t_{su}$ (see Figure 2)	10		ns
Hold time, D high after $\bar{G}\uparrow$ , $t_h$ (see Figure 2)	5		ns
Pulse duration, $t_w$ (see Figure 2)	15		ns
Operating case temperature, $T_C$	-40	125	$^\circ\text{C}$

electrical characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$  (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{(BR)DSX}$ Drain-source breakdown voltage	$I_D = 1\text{ mA}$	45			V
$V_{SD}$ Source-drain diode forward voltage	$I_F = 250\text{ mA}$ , See Note 3		0.85	1	V
$I_{IH}$ High-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = V_{CC}$			1	$\mu\text{A}$
$I_{IL}$ Low-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = 0$			-1	$\mu\text{A}$
$I_{CC}$ Logic supply current	$I_O = 0$ , All inputs low		15	100	$\mu\text{A}$
$I_N$ Nominal current	$V_{DS(on)} = 0.5\text{ V}$ , $I_N = I_D$ , $T_C = 85^\circ\text{C}$ , See Notes 5, 6, and 7		250		mA
$I_{DSX}$ Off-state drain current	$V_{DS} = 40\text{ V}$		0.05	1	$\mu\text{A}$
	$V_{DS} = 40\text{ V}$ , $T_C = 125^\circ\text{C}$		0.15	5	
$r_{DS(on)}$ Static drain-source on-state resistance	$I_D = 250\text{ mA}$ , $V_{CC} = 4.5\text{ V}$		1.3	2	$\Omega$
	$I_D = 250\text{ mA}$ , $T_C = 125^\circ\text{C}$ , $V_{CC} = 4.5\text{ V}$		2	3.2	
	$I_D = 500\text{ mA}$ , $V_{CC} = 4.5\text{ V}$		1.3	2	

switching characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$

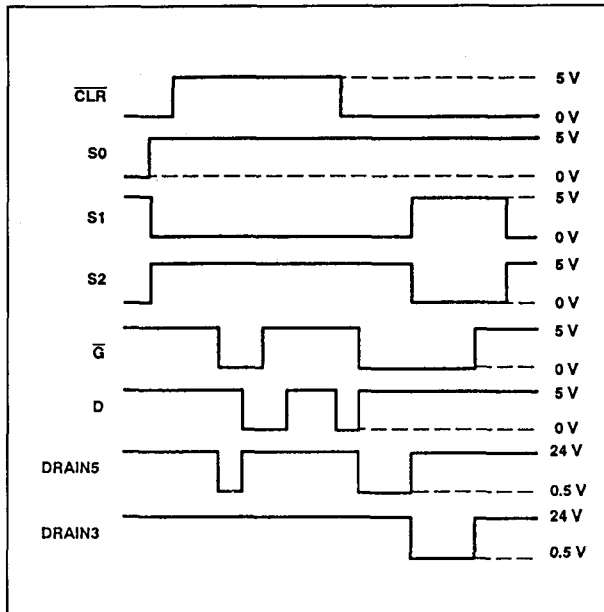
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}$ Propagation delay time, low-to-high-level output from D	$C_L = 30\text{ pF}$ , $I_D = 250\text{ mA}$ , See Figures 1, 2, and 10		625		ns
$t_{PHL}$ Propagation delay time, high-to-low-level output from D			140		ns
$t_r$ Rise time, drain output			650		ns
$t_f$ Fall time, drain output			400		ns
$t_a$ Reverse-recovery-current rise time	$I_F = 250\text{ mA}$ , $di/dt = 20\text{ A}/\mu\text{s}$ , See Notes 5 and 6 and Figure 3		100		ns
$t_{rr}$ Reverse-recovery time			300		

thermal resistance

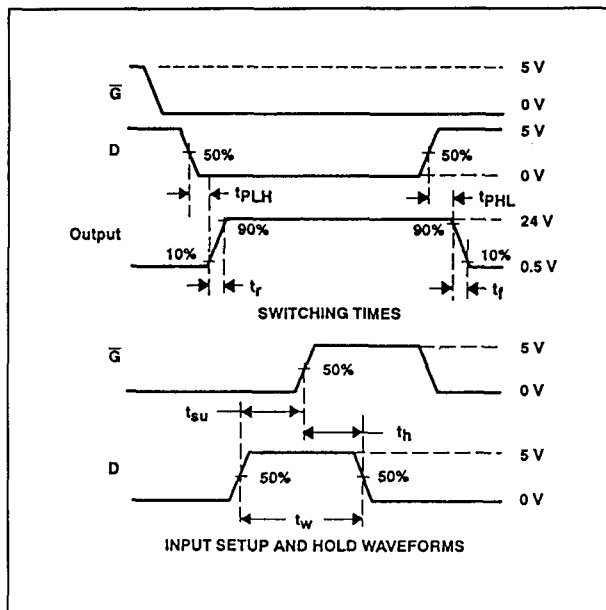
PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$R_{\theta JA}$ Thermal resistance junction-to-ambient	DW package		111	$^\circ\text{C}/\text{W}$
	N package		108	

Figuur 4/3.5-7: Aanbevolen bedrijfscondities, gelijkspanningskenmerken, schakeltijden en thermische weerstand van de TPIC 6259.

## 3.5 Power Logic latches



Figuur 4/3.5-8: Werking (tijddiagram) van de TPIC 6259.



Figuur 4/3.5-9: Golfvormen en timing van de TPIC 6259 (zie schakeltijden, figuur 4/3.5-7).

## TPIC 6A259

## 8 bit adresseerbare latch met stroombegrenzing

De TPIC 6A259 is een van de TPIC 6259 afgeleide latch. De TPIC 6A259 is ook een 8 bit monolithische, adresseerbare latch voor relatief zware belastingen. Deze schakeling heeft één data-ingang, acht latches en een 3-naar-8 decoder. De TPIC 6A259 is bestemd voor algemeen gebruik in digitale systemen, zoals werkregisters, seriële houdregisters en decoders of demultiplexers.

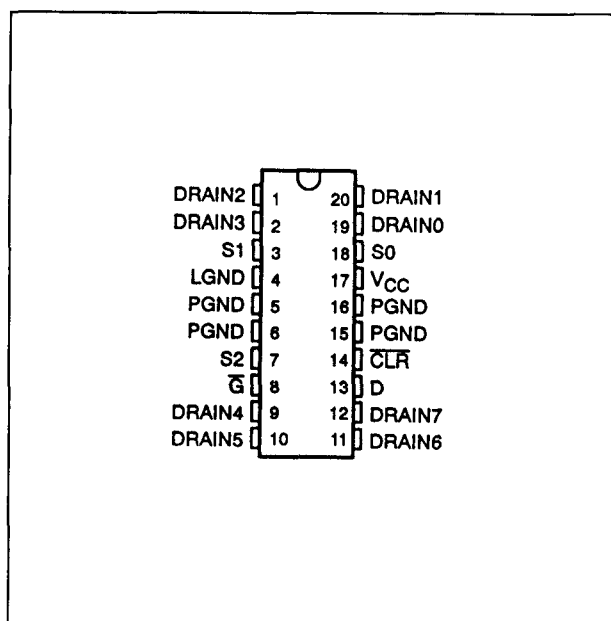
De werking van de signalen clear ( $\overline{\text{CLR}}$ ) en enable ( $\overline{\text{G}}$ ) van deze schakeling komt overeen met die van de TPIC 6259 (figuren 4/3.5-2 en -3). De uitgangen zijn low-side, open-drain DMOS-transistoren die geschikt zijn voor 50 V en een continue sinkstroom van 350 mA. Bovendien is elke uitgang voorzien van een aparte (choppende) stroombegrenzing om schade door kortsluiting te voorkomen.

De TPIC 6A259 heeft gescheiden aardpenen voor logica (LGND) en vermogen (PGND), om het systeem zo flexibel mogelijk te maken. Alle PGND-pennen zijn intern verbonden, maar elke PGND-pen moet extern aan de systeem-vermogensaarde worden gelegd om de paracitaire zelfinductie te verkleinen. Bovendien moet de logische aarde extern op één punt met de vermogensaarde worden verbonden om overspraak tussen de logika en de belasting te beperken.

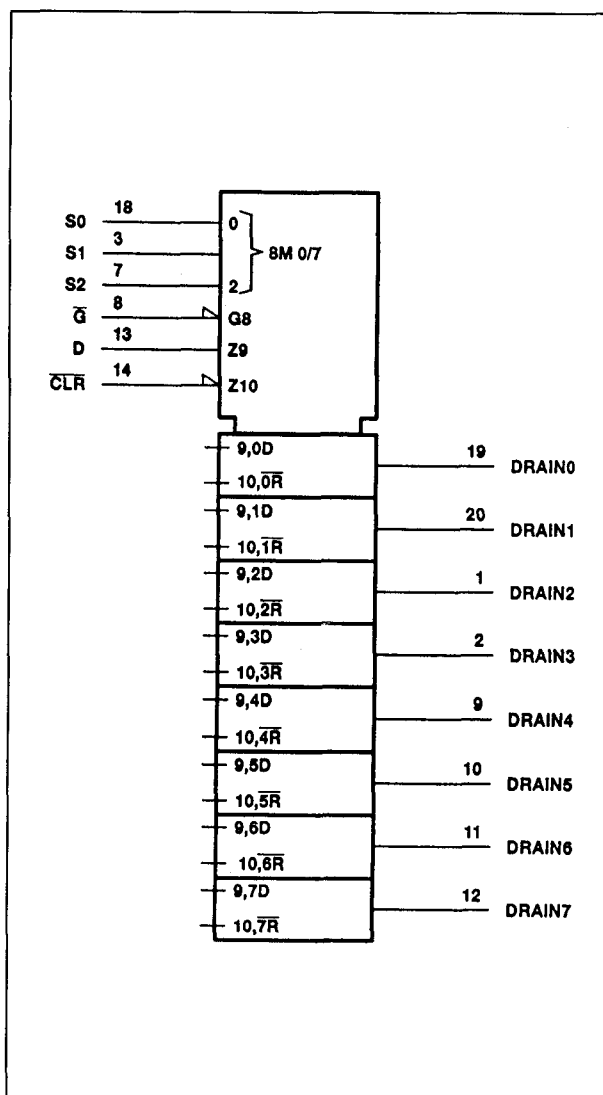
## Technische gegevens

- 8 power DMOS-transistor uitgangen
- lage  $R_{DS(on)}$ : 1  $\Omega$  typ.
- uitgangsstroom: 350 mA continu, 600 mA gepulst
- kortsluitvaste uitgangen
- uitgangs clamp-spanning: 50 V
- avalanche energie: 75 mJ
- behuizing: 20-pens NE (DIL) (zie figuur 4/3.5-10)
- fabrikant: Texas Instruments

## 3.5 Power Logic latches

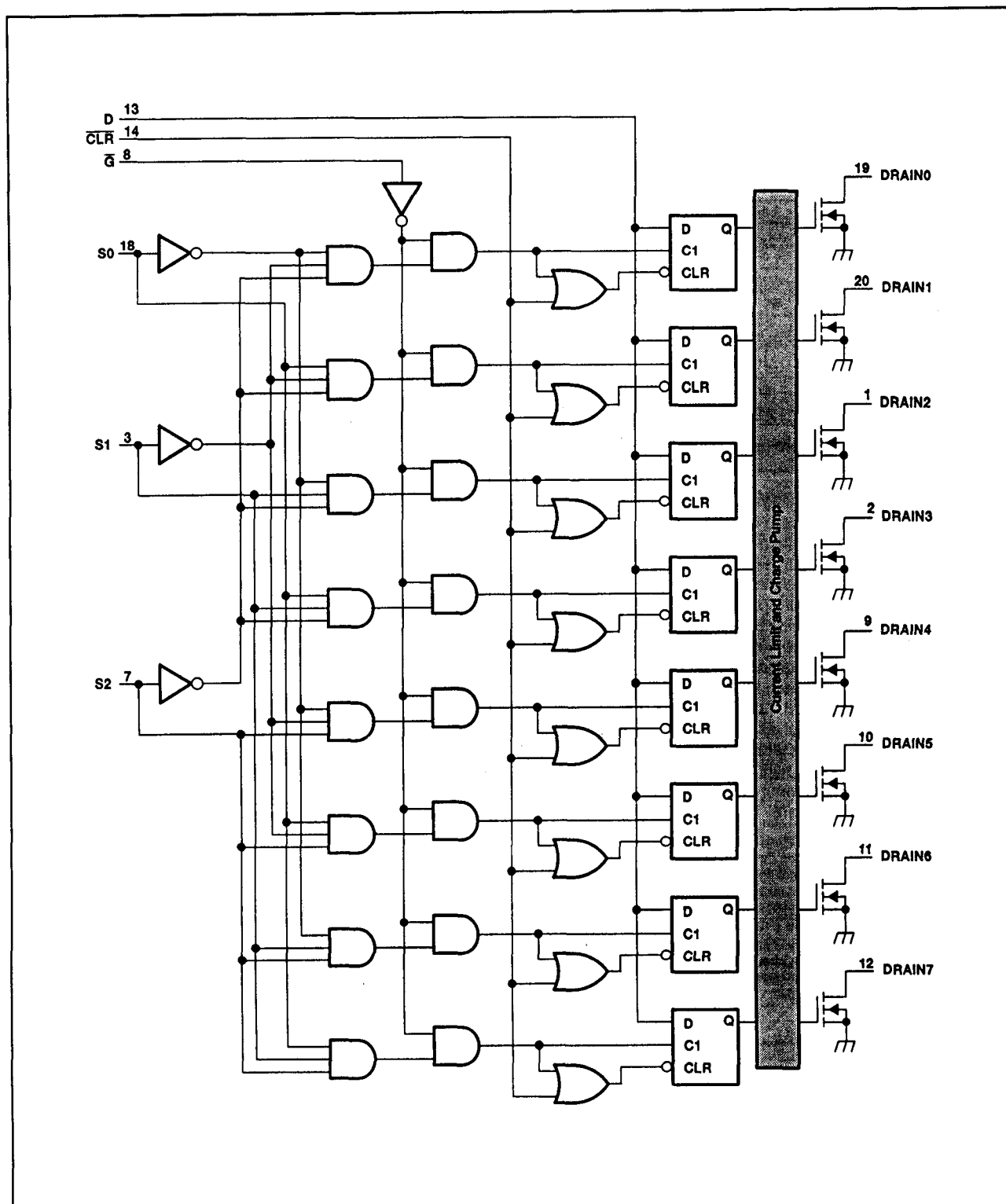


**Figuur 4/3.5-10:** Aansluitingen van de TPIC 6A259.



**Figuur 4/3.5-11:** Logisch symbool van de TPIC 6A259.

## 3.5 Power Logic latches



Figuur 4/3.5-12: Functioneel schema van de TPIC 6A259 (positieve logika).

## 3.5 Power Logic latches

Logic supply voltage, $V_{CC}$ (see Note 1)	7 V
Logic input voltage range, $V_I$	-0.3 V to 7 V
Power DMOS drain-to-source voltage, $V_{DS}$ (see Note 2)	50 V
Continuous source-drain diode anode current	1 A
Pulsed source-drain diode anode current (see Note 3)	2 A
Pulsed drain current, each output, all outputs on, $I_{DN}$ , $T_A = 25^\circ\text{C}$ (see Note 3)	1.1 A
Continuous drain current, each output, all outputs on, $I_{DN}$ , $T_A = 25^\circ\text{C}$	350 mA
Peak drain current single output, $I_{DM}$ , $T_A = 25^\circ\text{C}$ (see Note 3)	1.1 A
Single-pulse avalanche energy, $E_{AS}$ (see Figure 6)	75 mJ
Avalanche current, $I_{AS}$ (see Note 4)	600 mA
Continuous total dissipation at (or below) $T_A = 25^\circ\text{C}$ (see Note 5)	2.5 W
Continuous total dissipation at (or below) $T_C = 100^\circ\text{C}$ (see Note 5)	6 W
Operating case temperature range, $T_C$	$-40^\circ\text{C}$ to $125^\circ\text{C}$
Operating virtual-junction temperature range, $T_J$	$-40^\circ\text{C}$ to $150^\circ\text{C}$
Storage temperature range	$-65^\circ\text{C}$ to $150^\circ\text{C}$
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds	$260^\circ\text{C}$

Figuur 4/3.5-13: Maximaal toelaatbare waarden van de TPIC 6A259.

## 3.5 Power Logic latches

recommended operating conditions over recommended operating temperature range (unless otherwise noted)

	MIN	MAX	UNIT
Logic supply voltage, $V_{CC}$	4.5	5.5	V
High-level input voltage, $V_{IH}$	$0.85 V_{CC}$	$V_{CC}$	V
Low-level input voltage, $V_{IL}$	0	$0.15 V_{CC}$	V
Pulsed drain output current, $T_C = 25^\circ\text{C}$ (see Notes 3 and 6)	-1.8	0.6	A
Setup time, D high before $\bar{G}\uparrow$ , $t_{SU}$ (see Figure 2)	10		ns
Hold time, D high before $\bar{G}\uparrow$ , $t_H$ (see Figure 2)	5		ns
Pulse duration, $t_W$ (see Figure 2)	15		ns
Operating case temperature, $T_C$	-40	125	$^\circ\text{C}$

electrical characteristics over recommended ranges of supply voltage and operating temperature (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
$V_{(BR)DSX}$ Drain-source breakdown voltage	$I_D = 1 \text{ mA}$	50			V
$V_{SD}$ Source-drain diode forward voltage	$I_F = 350 \text{ mA}$ , See Note 3	0.8	1.1		V
$I_{IH}$ High-level input current	$V_I = V_{CC}$			1	$\mu\text{A}$
$I_{IL}$ Low-level input current	$V_I = 0$			-1	$\mu\text{A}$
$I_{CC}$ Logic supply current	$I_O = 0$ , $V_I = V_{CC}$ or 0		0.5	5	mA
$I_{OK}$ Output current at which chopping starts	$T_C = 25^\circ\text{C}$ , See Note 6 and Figures 3 and 4	0.6	0.8	1.1	A
$I_N$ Nominal current	$V_{DS(on)} = 0.5 \text{ V}$ , $I_N = I_D$ , $T_C = 85^\circ\text{C}$ , $V_{CC} = 5 \text{ V}$ , See Notes 6, 7, and 8		350		mA
$I_{DSX}$ Off-state drain current	$V_{DS} = 40 \text{ V}$ , $T_C = 25^\circ\text{C}$		0.1	1	$\mu\text{A}$
	$V_{DS} = 40 \text{ V}$ , $T_C = 125^\circ\text{C}$		0.2	5	
$r_{DS(on)}$ Static drain-source on-state resistance	$I_D = 350 \text{ mA}$ , $T_C = 25^\circ\text{C}$	See Notes 6 and 7 and Figures 9 and 10		1	$\Omega$
	$I_D = 350 \text{ mA}$ , $T_C = 125^\circ\text{C}$			1.7	

† All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_C = 25^\circ\text{C}$ .

switching characteristics,  $V_{CC} = 5 \text{ V}$ ,  $T_C = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PHL}$ Propagation delay time, high-to-low-level output from D	$C_L = 30 \text{ pF}$ , $I_D = 350 \text{ mA}$ , See Figures 1, 2, and 11		30		ns
$t_{PLH}$ Propagation delay time, low-to-high-level output from D			125		ns
$t_r$ Rise time, drain output			60		ns
$t_f$ Fall time, drain output			30		ns
$t_a$ Reverse-recovery-current rise time	$I_F = 350 \text{ mA}$ , $di/dt = 20 \text{ A}/\mu\text{s}$ , See Notes 6 and 7 and Figure 5		100		ns
$t_{rr}$ Reverse-recovery time			300		

NOTES: 3. Pulse duration  $\leq 100 \mu\text{s}$ , duty cycle  $\leq 2\%$

6. Technique should limit  $T_J - T_C$  to  $10^\circ\text{C}$  maximum.

7. These parameters are measured with voltage-sensing contacts separate from the current-carrying contacts.

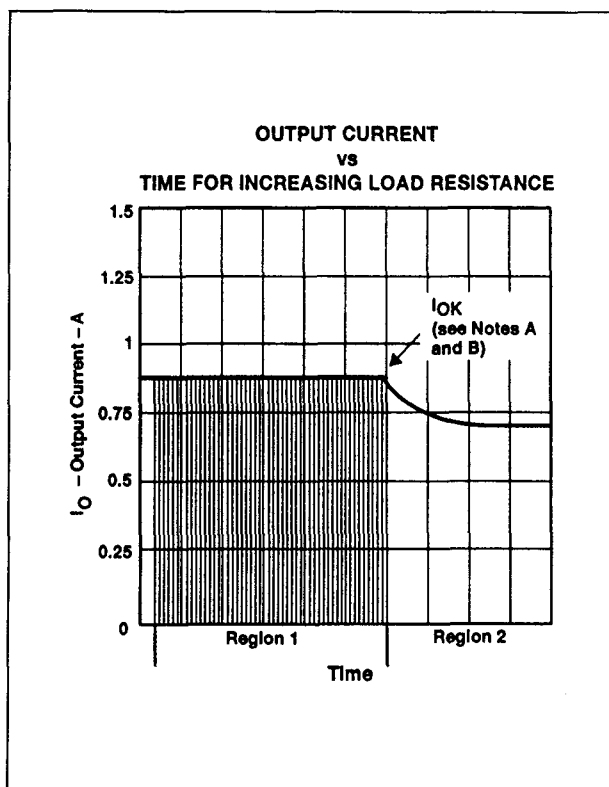
8. Nominal current is defined for a consistent comparison between devices from different sources. It is the current that produces a voltage drop of  $0.5 \text{ V}$  at  $T_C = 85^\circ\text{C}$ .

thermal resistance

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$R_{\theta JC}$ Thermal resistance, junction-to-case	All eight outputs with equal power		8.3	$^\circ\text{C}/\text{W}$
$R_{\theta JA}$ Thermal resistance, junction-to-ambient	All eight outputs with equal power		50	$^\circ\text{C}/\text{W}$

Figuur 4/3.5-14: Aanbevolen bedrijfscondities, gelijkspanningskenmerken, schakeltijden en thermische weerstand van de TPIC 6A259.

### 3.5 Power Logic latches



**Figuur 4/3.5-15:** Karakteristieke uitgangsstroom die optreedt wanneer de belastingsweerstand eerst laag is en daarna hoger wordt (bijvoorbeeld een gloeilamp). In gebied 1 treedt chopping op en wordt de maximale stroomsterkte begrensd tot  $I_{OK}$ . In gebied 2 is de stroom continu. Hetzelfde gebeurt in omgekeerde richting als de belastingsweerstand eerst hoog is en later laag. De duty-cycle (aan/uit-verhouding) in gebied 1 is ongeveer 2 %.

## TPIC 6B259

### 8 bit adresseerbare latch

De TPIC 6B259 is een aanmerkelijk snellere versie van de TPIC 6259. Ook dit is een 8 bit adresseerbare latch met actief-lage open-drain DMOS-transistoren aan de uitgang. Ook deze schakeling heeft één data-

ingang, acht latches en een 3-naar-8 decoder.

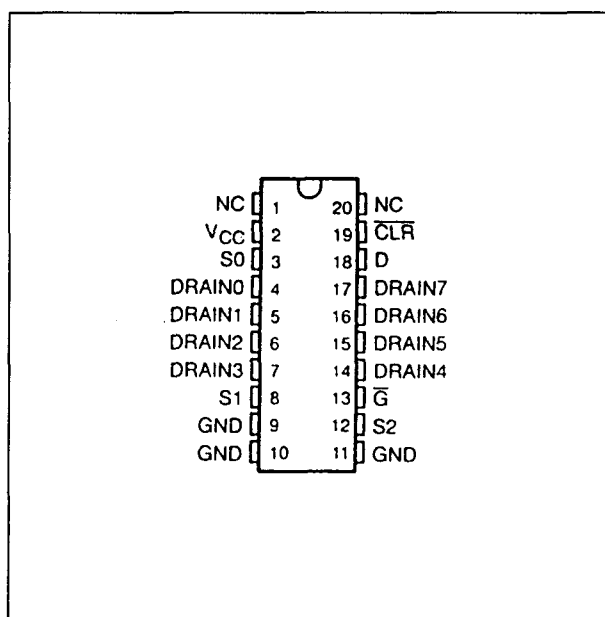
Voor de werking wordt verwezen naar de TPIC 6259, evenals de waarheidstabel, de latch-selectietabel en het logisch symbool (figuren 4/3.5-2, -3 en -4).

De uitgangen zijn open-drain DMOS-transistoren, die geschikt zijn voor 50 V en een continue sink-stroom van 150 mA.

Bij de TPIC 6B259 wordt geen onderscheid gemaakt tussen aardpennen voor logica en aardpennen voor vermogen. Daarom heeft de TPIC 6B259 andere aansluitingen.

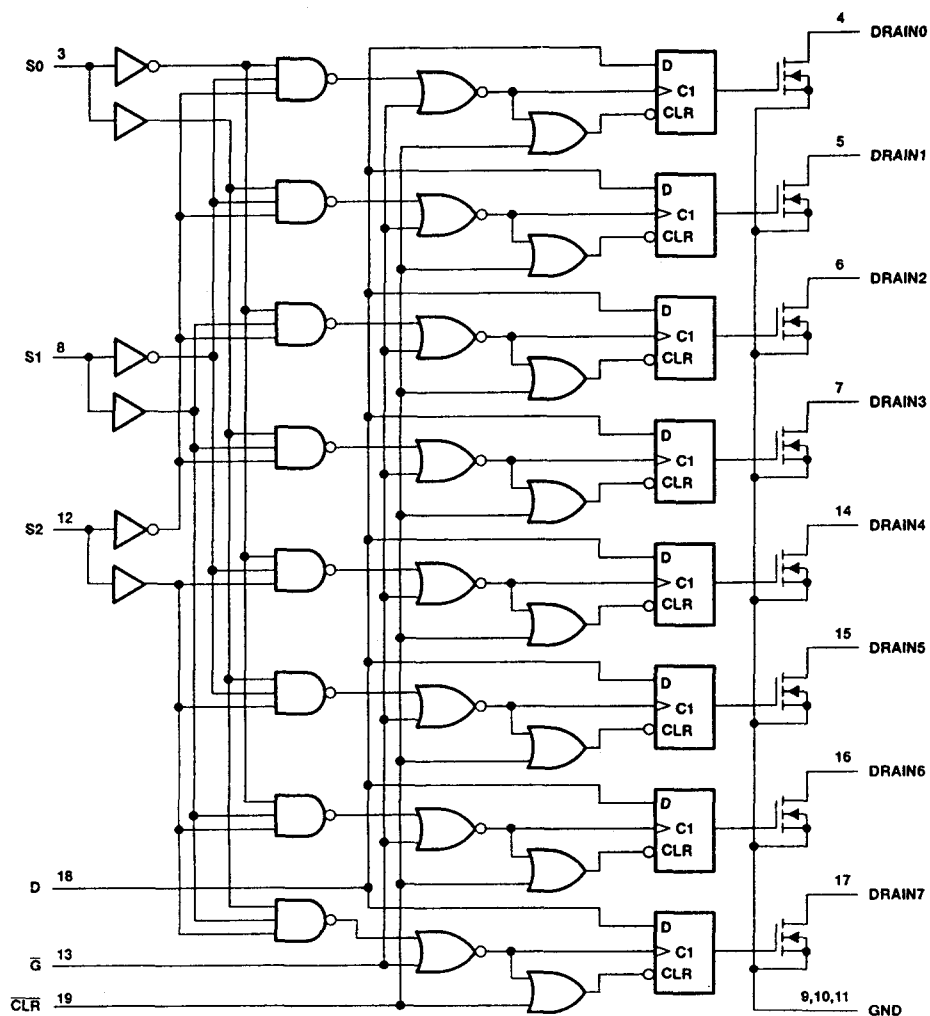
### Technische gegevens

- 8 power DMOS-transistor uitgangen
- Lage  $R_{DS(on)}$ : 5  $\Omega$  typ.
- uitgangsstroom:  
150 mA continu, 500 mA gepulst
- uitgangs clamp-spanning: 50 V
- avalanche energie: 30 mJ
- behuizing: 20-pens N (DIL) of DW (SOIC) (zie figuur 4/3.5-16)
- fabrikant: Texas Instruments



**Figuur 4/3.5-16:** Aansluitingen van de TPIC 6B259 (DIL en SOIC).

## 3.5 Power Logic latches



Figuur 4/3.5-17: Functioneel schema van de TPIC 6B259 (positieve logika).



## 3.5 Power Logic latches

Logic supply voltage, $V_{CC}$ (see Note 1)	7 V
Logic input voltage range, $V_I$	-0.3 V to 7 V
Power DMOS drain-to-source voltage, $V_{DS}$ (see Note 2)	50 V
Continuous source-to-drain diode anode current	500 mA
Pulsed source-to-drain diode anode current (see Note 3)	1 A
Pulsed drain current, each output, all outputs on, $I_D$ , $T_C = 25^\circ\text{C}$ (see Note 3)	500 mA
Continuous drain current, each output, all outputs on, $I_D$ , $T_C = 25^\circ\text{C}$	150 mA
Peak drain current single output, $I_{DM}$ , $T_C = 25^\circ\text{C}$ (see Note 3)	500 mA
Single-pulse avalanche energy, $E_{AS}$ (see Figure 4)	30 mJ
Avalanche current, $I_{AS}$ (see Note 4)	500 mA
Continuous total dissipation	See Dissipating Rating Table
Operating virtual junction temperature range, $T_J$	-40°C to 150°C
Operating case temperature range, $T_C$	-40°C to 125°C
Storage temperature range	-65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

DISSIPATION RATING TABLE

PACKAGE	$T_C \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_C = 25^\circ\text{C}$	$T_C = 125^\circ\text{C}$ POWER RATING
DW	1389 mW	11.1 mW/°C	278 mW
N	1050 mW	10.5 mW/°C	263 mW

Figuur 4/3.5-18: Maximaal toelaatbare waarden en vermogensdissipatie van de TPIC 6B259.

## 3.5 Power Logic latches

## recommended operating conditions

	MIN	MAX	UNIT
Logic supply voltage, $V_{CC}$	4.5	5.5	V
High-level input voltage, $V_{IH}$	0.85 $V_{CC}$		V
Low-level input voltage, $V_{IL}$		0.15 $V_{CC}$	V
Pulsed drain output current, $T_C = 25^\circ\text{C}$ , $V_{CC} = 5\text{ V}$ (see Notes 3 and 5)	-500	500	mA
Setup time, D high before $\overline{GT}$ , $t_{SU}$ (see Figure 2)	20		ns
Hold time, D high after $\overline{GT}$ , $t_H$ (see Figure 2)	20		ns
Pulse duration, $t_W$ (see Figure 2)	40		ns
Operating case temperature, $T_C$	-40	125	$^\circ\text{C}$

electrical characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$  (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{(BR)DSX}$ Drain-to-source breakdown voltage	$I_D = 1\text{ mA}$	50			V
$V_{SD}$ Source-to-drain diode forward voltage	$I_F = 100\text{ mA}$	0.85	1		V
$I_{IH}$ High-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = V_{CC}$			1	$\mu\text{A}$
$I_{IL}$ Low-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = 0$			-1	$\mu\text{A}$
$I_{CC}$ Logic supply current	$V_{CC} = 5.5\text{ V}$	All outputs off		20	100
		All outputs on		150	300
$I_N$ Nominal current	$V_{DS(on)} = 0.5\text{ V}$ , $I_N = I_D$ , $T_C = 85^\circ\text{C}$ , See Notes 5, 6, and 7		90		mA
$I_{DSX}$ Off-state drain current	$V_{DS} = 40\text{ V}$ , $V_{CC} = 5.5\text{ V}$		0.1	5	$\mu\text{A}$
	$V_{DS} = 40\text{ V}$ , $V_{CC} = 5.5\text{ V}$ , $T_C = 125^\circ\text{C}$		0.15	8	
$r_{DS(on)}$ Static drain-to-source on-state resistance	$I_D = 100\text{ mA}$ , $V_{CC} = 4.5\text{ V}$		4.2	5.7	$\Omega$
	$I_D = 100\text{ mA}$ , $V_{CC} = 4.5\text{ V}$ , $T_C = 125^\circ\text{C}$	See Notes 5 and 6 and Figures 6 and 7		6.8	9.5
	$I_D = 350\text{ mA}$ , $V_{CC} = 4.5\text{ V}$			5.5	8

switching characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$ 

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}$ Propagation delay time, low-to-high-level output from D	$C_L = 30\text{ pF}$ , $I_D = 100\text{ mA}$ , See Figures 1, 2, and 8		150		ns
$t_{PHL}$ Propagation delay time, high-to-low-level output from D			90		ns
$t_r$ Rise time, drain output			200		ns
$t_f$ Fall time, drain output			200		ns
$t_a$ Reverse-recovery-current rise time	$I_F = 100\text{ mA}$ , $di/dt = 20\text{ A}/\mu\text{s}$ , See Notes 5 and 6 and Figure 3		100		ns
$t_{rr}$ Reverse-recovery time			300		

## thermal resistance

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$R_{\theta JA}$ Thermal resistance junction-to-ambient	DW package		90	$^\circ\text{C}/\text{W}$
	N package		95	

Figuur 4/3.5-19: Aanbevolen bedrijfscondities, gelijkspanningskenmerken, schakeltijden en thermische weerstand van de TPIC 6B259 (zie ook figuur 4/3.5-9).

## TPIC 6273

## 8 bit D-type latch

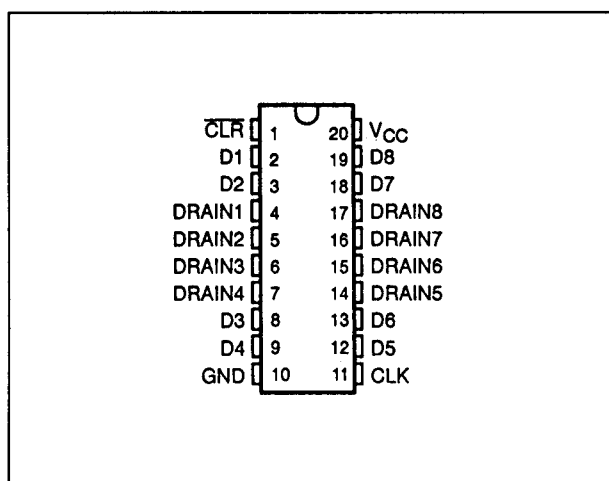
De TPIC 6273 is een monolithische 8 bit D-type power logic latch met DMOS-transistoren aan de uitgang. De uitgangen zijn voorzien van een spanningsclomp om ze te beveiligen tegen hoge inductiespanningen. De TPIC 6273 is bestemd voor zware belastingen, zoals bijvoorbeeld relais en spoelen. De TPIC 6273 bevat acht positive-edge triggered D-type flip-flop's met een directe (asyn-

chrone) clear-ingang. Elke flip-flop heeft een open-drain DMOS-transistor uitgang. Wanneer clear ( $\overline{CLR}$ ) HOOG is, wordt de informatie op de D-ingangen op de stijgende flank van de clockpuls overgebracht naar de DRAIN-uitgangen. De clock-triggering vindt plaats op een bepaald spanningsniveau en heeft geen direct verband met de overgangstijd van de positief gaande puls. Wanneer het clock-sigitaal (CLK) HOOG of LAAG is, heeft het D-sigitaal geen invloed op de uitgang.

## 3.5 Power Logic latches

## Technische gegevens

- 8 power DMOS-transistor uitgangen
- lage  $R_{DS(on)}$ : 1,3  $\Omega$  typ.
- uitgangsstroom: 250 mA continu, 1,5 A gepulst
- uitgangs clamp-spanning: 45 V
- avalanche energie: 75 mJ
- behuizing: 20-pens N (DIL) of DW (SOIC) (zie figuur 4/3.5-20)
- fabrikant: Texas Instruments

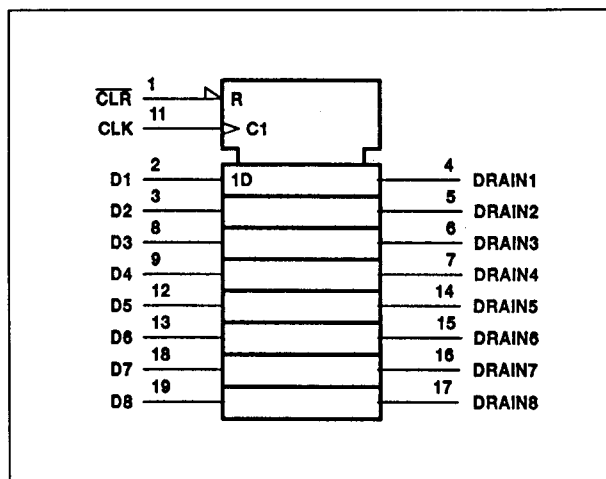


Figuur 4/3.5-20: Aansluitingen van de TPIC 6273 en TPIC 6B273 (DIL en SOIC).

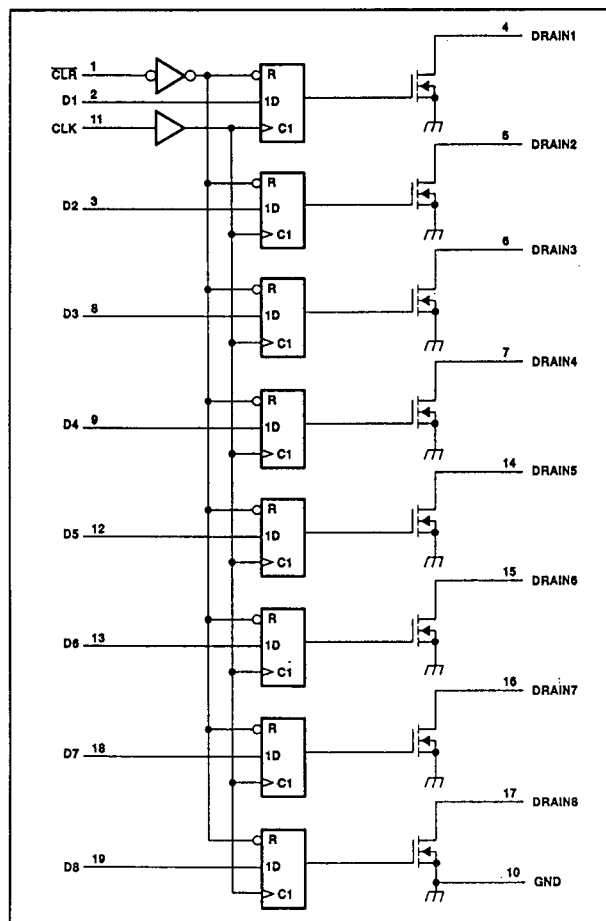
FUNCTION TABLE (each channel)			
INPUTS			OUTPUT DRAIN
CLR	CLK	D	
L	X	X	H
H	$\uparrow$	H	L
H	$\uparrow$	L	H
H	L	X	Latched

H = high level, L = low level, X = irrelevant

Figuur 4/3.5-21: Waarheidstabel van de TPIC 6273 en TPIC 6B273.



Figuur 4/3.5-22: Logisch symbool van de TPIC 6273 en TPIC 6B273.



Figuur 4/3.5-23: Functioneel schema van de TPIC 6273 en TPIC 6B273 (positieve logika).

## 3.5 Power Logic latches

Logic supply voltage, $V_{CC}$ (see Note 1)	7 V
Logic input voltage range, $V_I$	-0.3 V to 7 V
Power DMOS drain-to-source voltage, $V_{DS}$ (see Note 2)	45 V
Continuous source-drain diode anode current	1 A
Pulsed source-drain diode anode current	2 A
Pulsed drain current, each output, all outputs on, $I_{DN}$ , $T_A = 25^\circ\text{C}$ (see Note 3)	750 mA
Continuous drain current, each output, all outputs on, $I_{DN}$ , $T_A = 25^\circ\text{C}$	250 mA
Peak drain current single output, $I_{DM}$ , $T_A = 25^\circ\text{C}$ (see Note 3)	2 A
Single-pulse avalanche energy, $E_{AS}$ (see Figure 4)	75 mJ
Avalanche current, $I_{AS}$ (see Note 4)	1 A
Continuous total dissipation	See Dissipation Rating Table
Operating virtual junction temperature range, $T_J$	$-40^\circ\text{C}$ to $150^\circ\text{C}$
Storage temperature range	$-65^\circ\text{C}$ to $150^\circ\text{C}$
Lead temperature 1.6 mm (1/16 Inch) from case for 10 seconds	$260^\circ\text{C}$

PACKAGE	$T_A = 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 125^\circ\text{C}$ POWER RATING
DW	1125 mW	9.0 mW/ $^\circ\text{C}$	225 mW
N	1150 mW	9.2 mW/ $^\circ\text{C}$	230 mW

Figuur 4/3.5-24: Maximaal toelaatbare waarden en vermogensdissipatie van de TPIC 6273.

(wordt vervolgd)

## 3.5 Power Logic latches

recommended operating conditions over recommended operating temperature range (unless otherwise noted)

	MIN	MAX	UNIT
Logic supply voltage, $V_{CC}$	4.5	5.5	V
High-level input voltage, $V_{IH}$	0.85 $V_{CC}$		V
Low-level input voltage, $V_{IL}$		0.15 $V_{CC}$	V
Pulsed drain output current, $T_C = 25^\circ\text{C}$ , $V_{CC} = 5\text{ V}$ (see Notes 3 and 5)	-1.8	1.5	A
Setup time, $t_{SU}$ , D high before CLK $\uparrow$ (see Figure 2)	10		ns
Hold time, $t_H$ , D high after CLK $\uparrow$ (see Figure 2)	15		ns
Pulse duration, $t_W$ (see Figure 2)	25		ns
Operating case temperature, $T_C$	-40	125	$^\circ\text{C}$

electrical characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$  (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{(BR)DSX}$ Drain-source breakdown voltage	$I_D = 1\text{ mA}$	45			V
$V_{SD}$ Source-drain diode forward voltage	$I_F = 250\text{ mA}$ , See Note 3		0.85	1	V
$I_{IH}$ High-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = V_{CC}$			1	$\mu\text{A}$
$I_{IL}$ Low-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = 0$			-1	$\mu\text{A}$
$I_{CC}$ Logic supply current	$I_O = 0$ , All inputs low		15	100	$\mu\text{A}$
$I_N$ Nominal current	$V_{DS(on)} = 0.5\text{ V}$ , $I_N = I_D$ , $T_C = 85^\circ\text{C}$ See Notes 5, 6, and 7		250		mA
$I_{DSX}$ Off-state drain current	$V_{DS} = 40\text{ V}$		0.05	1	$\mu\text{A}$
	$V_{DS} = 40\text{ V}$ , $T_C = 125^\circ\text{C}$		0.15	5	
$r_{DS(on)}$ Static drain-source on-state resistance	$I_D = 250\text{ mA}$ , $V_{CC} = 4.5\text{ V}$		1.3	2	$\Omega$
	$I_D = 250\text{ mA}$ , $T_C = 125^\circ\text{C}$ , $V_{CC} = 4.5\text{ V}$ See Notes 5 and 6 and Figures 8 and 9		2	3.2	
	$I_D = 500\text{ mA}$ , $V_{CC} = 4.5\text{ V}$		1.3	2	

switching characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$

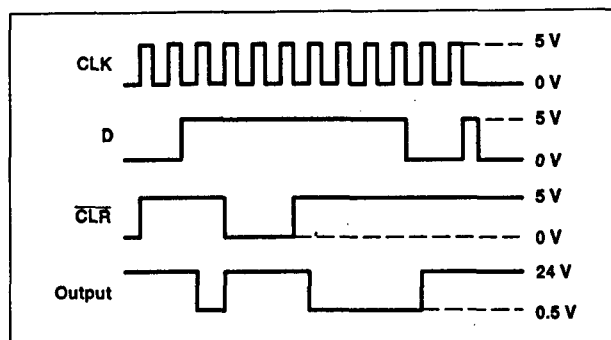
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}$ Propagation delay time, low-to-high-level output from CLK	$C_L = 30\text{ pF}$ , $I_D = 250\text{ mA}$ , See Figures 1, 2, and 10		625		ns
$t_{PHL}$ Propagation delay time, high-to-low-level output from CLK			150		ns
$t_r$ Rise time, drain output			675		ns
$t_f$ Fall time, drain output			400		ns
$t_a$ Reverse-recovery-current rise time	$I_F = 250\text{ mA}$ , $di/dt = 20\text{ A}/\mu\text{s}$ ,		100		ns
$t_{rr}$ Reverse-recovery time	See Notes 5 and 6 and Figure 3		300		

thermal resistance

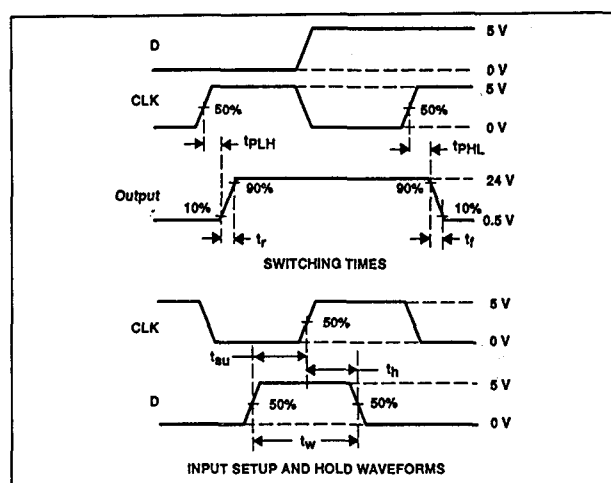
PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$R_{\theta JA}$ Thermal resistance, junction-to-ambient	DW package		111	$^\circ\text{C}/\text{W}$
	N package		108	

Figuur 4/3.5-25: Aanbevolen bedrijfscondities, gelijkspanningskenmerken, schakeltijden en thermische weerstand van de TPIC 6273.

## 3.5 Power Logic latches



Figuur 4/3.5-26: Tijddiagram en werking van de TPIC 6273 en TPIC 6B273.



Figuur 4/3.5-27: Golfvormen en timing van de TPIC 6273 en TPIC 6B273 (zie figuur 4/3.5-25, schakeltijden).

## TPIC 6B273

## 8 bit D-type latch

De TPIC 6B273 is de snellere versie van de TPIC 6273, die echter minder stroom kan sinken. Ook dit is een 8 bit D-type latch met actief-lage open-drain DMOS-transistoren aan de uitgang die geschikt zijn voor 50 V en een continue sink-stroom van 150 mA. Voor de werking van deze schakeling wordt verwezen naar de TPIC 6273, die dezelfde aansluitingen, waarheidstabel, logisch symbool en functioneel schema heeft (figuren 4/3.5-20, -21, -22 en -23).

## Technische gegevens

- 8 power DMOS transistor-uitgangen
- lage  $R_{DS(on)}$ : 5  $\Omega$  typ.
- uitgangsstroom: 150 mA continu, 500 mA gepulst
- uitgangs clamp-spanning: 50 V
- avalanche energie: 30 mJ
- behuizing: 20-pens N (DIL) of DW (SOIC) (zie figuur 4/3.5-20)
- fabrikant: Texas Instruments

Logic supply voltage, $V_{CC}$ (see Note 1)	7 V
Logic input voltage range, $V_I$	-0.3 V to 7 V
Power DMOS drain-to-source voltage, $V_{DS}$ (see Note 2)	50 V
Continuous source-to-drain diode anode current	500 mA
Pulsed source-to-drain diode anode current (see Note 3)	1 A
Pulsed drain current, each output, all outputs on, $I_D$ , $T_C = 25^\circ\text{C}$ (see Note 3)	500 mA
Continuous drain current, each output, all outputs on, $I_D$ , $T_C = 25^\circ\text{C}$	150 mA
Peak drain current single output, $I_{DM}$ , $T_C = 25^\circ\text{C}$ (see Note 3)	500 mA
Single-pulse avalanche energy, $E_{AS}$ (see Figure 4)	30 mJ
Avalanche current, $I_{AS}$ (see Note 4)	500 mA
Continuous total dissipation	See Dissipation Rating Table
Operating virtual junction temperature range, $T_J$	-40°C to 150°C
Operating case temperature range, $T_C$	-40°C to 125°C
Storage temperature range	-65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

DISSIPATION RATING TABLE

PACKAGE	$T_C \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_C = 25^\circ\text{C}$	$T_C = 125^\circ\text{C}$ POWER RATING
DW	1389 mW	11.1 mW/°C	278 mW
N	1050 mW	10.5 mW/°C	263 mW

Figuur 4/3.5-28: Maximaal toelaatbare waarden en vermogensdissipatie van de TPIC 6B273.

## 3.5 Power Logic latches

## recommended operating conditions

	MIN	MAX	UNIT
Logic supply voltage, $V_{CC}$	4.5	5.5	V
High-level input voltage, $V_{IH}$	0.85 $V_{CC}$		V
Low-level input voltage, $V_{IL}$		0.15 $V_{CC}$	V
Pulsed drain output current, $T_C = 25^\circ\text{C}$ , $V_{CC} = 5\text{ V}$ (see Notes 3 and 5)	-500	500	mA
Setup time, D high before $\text{CLK}\uparrow$ , $t_{SU}$ (see Figure 2)	20		ns
Hold time, D high after $\text{CLK}\uparrow$ , $t_H$ (see Figure 2)	20		ns
Pulse duration, $t_W$ (see Figure 2)	40		ns
Operating case temperature, $T_C$	-40	125	$^\circ\text{C}$

electrical characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$  (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{(BR)DSX}$ Drain-to-source breakdown voltage	$I_D = 1\text{ mA}$	50			V
$V_{SD}$ Source-to-drain diode forward voltage	$I_F = 100\text{ mA}$		0.85	1	V
$I_{IH}$ High-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = V_{CC}$			1	$\mu\text{A}$
$I_{IL}$ Low-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = 0$			-1	$\mu\text{A}$
$I_{CC}$ Logic supply current	$V_{CC} = 5.5\text{ V}$ All outputs off		20	100	$\mu\text{A}$
	$V_{CC} = 5.5\text{ V}$ All outputs on		150	300	
$I_N$ Nominal current	$V_{DS(on)} = 0.5\text{ V}$ , $I_N = I_D$ , $T_C = 85^\circ\text{C}$ , See Notes 5, 6, and 7		90		mA
$I_{DSX}$ Off-state drain current	$V_{DS} = 40\text{ V}$ , $V_{CC} = 5.5\text{ V}$		0.1	5	$\mu\text{A}$
	$V_{DS} = 40\text{ V}$ , $V_{CC} = 5.5\text{ V}$ , $T_C = 125^\circ\text{C}$		0.15	8	
$r_{DS(on)}$ Static drain-to-source on-state resistance	$I_D = 100\text{ mA}$ , $V_{CC} = 4.5\text{ V}$		4.2	5.7	$\Omega$
	$I_D = 100\text{ mA}$ , $V_{CC} = 4.5\text{ V}$ , $T_C = 125^\circ\text{C}$		6.8	9.5	
	$I_D = 350\text{ mA}$ , $V_{CC} = 4.5\text{ V}$		5.5	8	

switching characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$ 

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}$ Propagation delay time, low-to-high-level output from CLK	$C_L = 30\text{ pF}$ , $I_D = 100\text{ mA}$ , See Figures 1, 2, and 8		150		ns
$t_{PHL}$ Propagation delay time, high-to-low-level output from CLK			90		ns
$t_r$ Rise time, drain output			200		ns
$t_f$ Fall time, drain output			200		ns
$t_a$ Reverse-recovery-current rise time	$I_F = 100\text{ mA}$ , $di/dt = 20\text{ A}/\mu\text{s}$ , See Notes 5 and 6 and Figure 3		100		ns
$t_{rr}$ Reverse-recovery time			300		

## thermal resistance

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$R_{\theta JA}$ Thermal resistance, junction-to-ambient	DW package		90	$^\circ\text{C}/\text{W}$
	N package		95	

**Figuur 4/3.5-29:** Aanbevolen bedrijfscondities, gelijkspanningskenmerken, schakeltijden en thermische weerstand van de TPIC 6B273.

### 3.5 Power Logic latches



## 4/4

## Latches met tri-state uitgangen

## Inhoud

- 4/4.2 Latches met tri-state uitgangen 74xx-serie TTL en HC**  
(aanvulling 9 + 52)
- |       |   |
|-------|---|
| 74173 | 4-bit D-type register, 3-state uitgangen                              |
| 74373 | 8 x D-type latches, 3-state uitgangen                                 |
| 74533 | 8 x D-type latches, inverterende 3-state uitgangen                    |
| 74564 | 8 x D-type edge-triggered flip-flop's met 3-state uitgangen           |
| 74573 | 8 x D-type latches, 3-state uitgangen                                 |
| 74580 | 8 x D-type latches, inverterende 3-state uitgangen                    |
| 74841 | 10-bit bus interface D-type latch met 3-state uitgangen               |
| 74842 | 10-bit bus interface D-type latch, inverterend, met 3-state uitgangen |
| 74843 | 9-bit bus interface D-type latch met 3-state uitgangen                |
| 74844 | 9-bit bus interface D-type latch, inverterend, met 3-state uitgangen  |
| 74845 | 8-bit bus interface D-type latch met 3-state uitgangen                |
| 74846 | 8-bit bus interface D-type latch, inverterend, met 3-state uitgangen  |
| 74873 | 2 x 4-bit D-type latches, met 3-state uitgangen                       |
| 74880 | 2 x 4-bit D-type latches, met inverterende 3-state uitgangen          |
| 74563 | 8 x D-type latches, 3-state uitgangen                                 |
- 4/4.3 Latches met tri-state uitgangen (1)4xxx-serie CMOS**  
(aanvulling 15)
- |          |                             |
|----------|-----------------------------|
| (1)4043  | 4 x R/S-latches, 3-state    |
| (1)4044  | 4 x R/S-latches, 3-state    |
| (1)4508  | 2 x 4-bit latches, 3-state  |
| (1)40373 | 8 x D-type latches, 3-state |
- 4/4.5 Latches met tri-state uitgangen 74AC(T)11xx-serie**  
(aanvulling 56)
- |              |                             |
|--------------|-----------------------------|
| 74AC(T)11373 | 8 x D-type latches, 3-state |
| 74AC(T)11533 | 8 x D-type latches, 3-state |

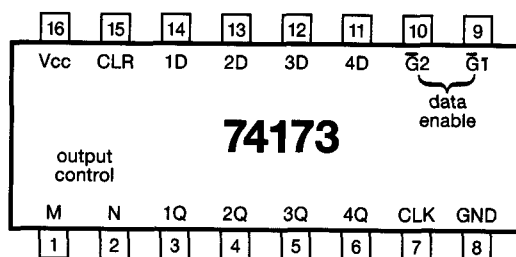


## 4/4.2

Latches met tri-state uitgangen  
74xx-serie TTL en HC

## 74173

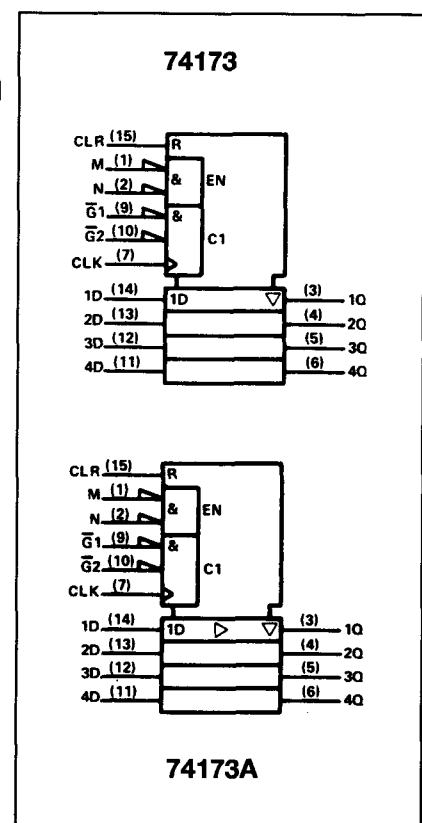
4-bit D-type register met 3-state uitgangen



Figuur 4/4.2-173.

LOGICA	TTL	L	F	S	LS <sup>5)</sup>	AS	ALS	C	HC	
	VARIABLE PARAMETERS									Eenheid
I <sub>cc</sub>	50				19			0.05 <sup>6)</sup>	80 <sup>6)</sup>	mA
I <sub>os</sub>	-30 -70				-30 -130			1.75	6	mA
T <sub>plh</sub> <sup>1)</sup>	28				17			220	21	ns
T <sub>phl</sub> <sup>1)</sup>	19				22			220	21	ns
T <sub>phl</sub> <sup>2)</sup>	18				26			240	21	ns
T <sub>pzh</sub> <sup>3)</sup>	16				15			170	20	ns
T <sub>pzl</sub> <sup>3)</sup>	21				18			170	20	ns
T <sub>phz</sub> <sup>4)</sup>	5				11			170	18	ns
T <sub>plz</sub> <sup>4)</sup>	11				11			170	18	ns
f <sub>max</sub>	35				50			4	46	MHz

1) CLK → Q 2) CLR → Q 3) output enable 4) output disable 5) 74LS173A 6) μA



inputs					output
CLR	CLK	data G1	enable G2	data D	
H	X	X	X	X	L
L	L	X	X	X	Q <sub>0</sub>
L	↑	H	X	X	Q <sub>0</sub>
L	↑	X	H	X	Q <sub>0</sub>
L	↑	L	L	L	L
L	↑	L	L	H	H

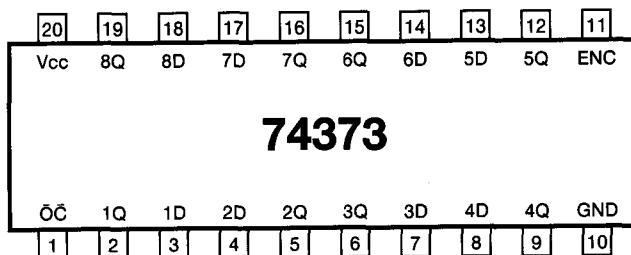
Wanneer M en/of N = hoog dan is Q = hoog-impedant terwijl de werking van de flip-flops niet wordt beïnvloed.

## 4.2 74xx-serie TTL en HC

## 74373

8 D-type transparante  
latches met 3-state  
uitgangen

Figuur 4/4.2-373.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC		
	VARIABLE PARAMETERS									Eenheid	
I <sub>cc</sub>	H L D			38	105	24	55 55 65	9 16 17	0.05 <sup>4)</sup>	80 <sup>4)</sup>	mA
I <sub>os</sub>			-60 -150	-40 -100	-30 -130	-30 -112	-30 -112	-24 12	4		mA
T <sub>plh</sub> <sup>1)</sup>			5.3	7	12	3.5 6	2 12	155	15		ns
T <sub>phl</sub> <sup>1)</sup>			3.7	7	12	3.5 6	4 16	155	15		ns
T <sub>plh</sub> <sup>2)</sup>			9	7	20	6.5 11.5	6 22	165	18		ns
T <sub>phl</sub> <sup>2)</sup>			5.2	12	18	5 7.5	7 23	165	18		ns
T <sub>pzh</sub> <sup>3)</sup>			5	8	15	2 6.5	5 20	105	17		ns
T <sub>pzl</sub> <sup>3)</sup>			5.6	11	25	4.5 9.5	6 18	105	17		ns
T <sub>phz</sub> <sup>3)</sup>			4.5	6	15	3 6.5	2 12	105	15		ns
T <sub>plz</sub> <sup>3)</sup>			3.8	8	12	3 7	2 10	105	15		ns

1) D → Q 2) enable C → Q 3) output control → Q 4) μA

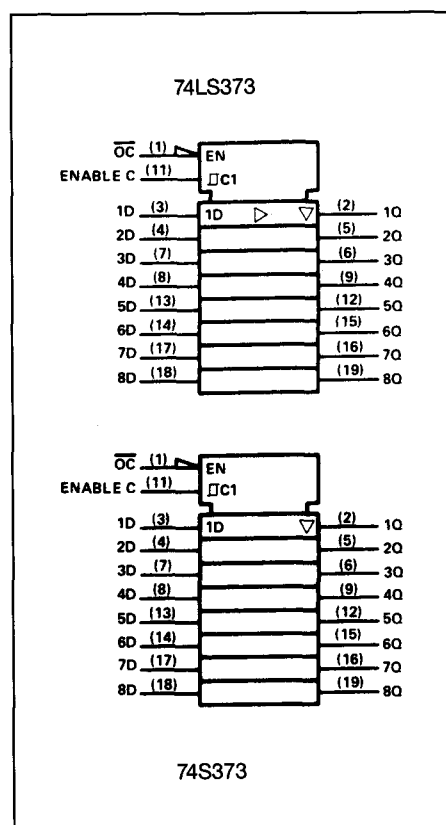
output control	enable C	D	output
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

L = laag niveau

H = hoog niveau

X = onbepaald

Z = hoog impedant

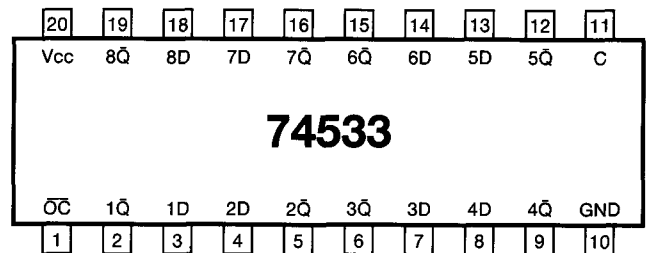
Q<sub>0</sub> = niveau van Q vóór laatste toestand

## 4.2 74xx-serie TTL en HC

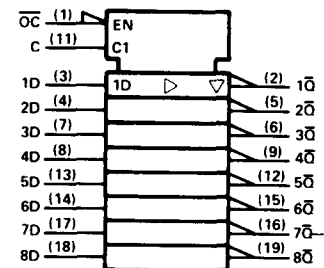
## 74533

8 D-type transparante  
latches met 3-state  
uitgangen (inverterende  
74373)

Figuur 4/4.2-533.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	H L D		41			62 64 71	10 17 18.5		80 <sup>4)</sup>	mA
I <sub>os</sub>			-60 -150			-30 -112	-30 -112		4	mA
T <sub>plh</sub> <sup>1)</sup>			6.9			4 7.5	4 19		26	ns
T <sub>phl</sub> <sup>1)</sup>			5.2			4 7	4 13		26	ns
T <sub>plh</sub> <sup>2)</sup>			8.5			5 9	5 23		27	ns
T <sub>phl</sub> <sup>2)</sup>			5.6			4.5 8	4 18		27	ns
T <sub>pzh</sub> <sup>3)</sup>			7.7			2 6.5	4 17		24	ns
T <sub>pzl</sub> <sup>3)</sup>			5.1			4.5 9.5	4 18		24	ns
T <sub>phz</sub> <sup>3)</sup>			4.7			3 6.5	2 10		23	ns
T <sub>plz</sub> <sup>3)</sup>			4.1			3 7	3 16		23	ns



1) D → Q 2) C → Q 3)  $\overline{OC}$  → Q 4)  $\mu A$

inputs			output Q
$\overline{OC}$	enable	C	
L	H	H	L
L	H	L	H
L	L	X	Q <sub>0</sub>
H	X	X	Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

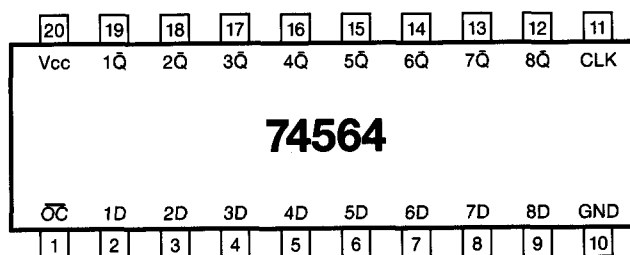
Q<sub>0</sub> = niveau van Q vóór hoog-naar-laag overgang van C

## 4.2 74xx-serie TTL en HC

## 74564

8 D-type edge-triggered  
flip-flops met 3-state  
uitgangen

Figuur 4/4.2-564.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	H L D		55				10 15 16		80 <sup>3)</sup>	mA
$I_{OS}$			-60 -150				-15 -70		4	mA
$T_{plh}^{1)}$			7.5				4 14		18	ns
$T_{phl}^{1)}$			9.5				4 14		18	ns
$T_{pzh}^{2)}$			11.5				4 18		15	ns
$T_{pzl}^{2)}$			7.5				4 18		15	ns
$T_{phz}^{2)}$			7				2 8		15	ns
$T_{plz}^{2)}$			5.5				3 13		15	ns
$f_{max}$			100				35		36	MHz

1) CLK → Q̄ 2) Q̄ → Q 3) μA

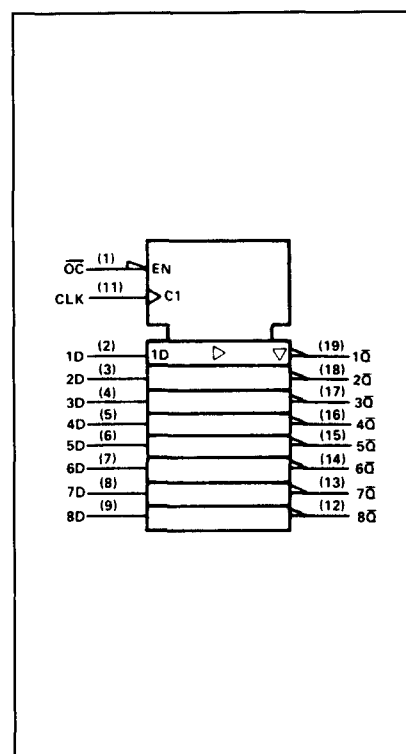
INPUTS			OUTPUT
Q̄	CLK	D	Q̄
L	↑	H	L
L	↑	L	H
L	L	X	Q̄ <sub>0</sub>
H	X	X	Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

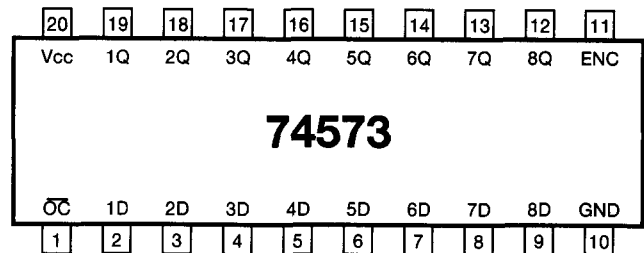
Q̄<sub>0</sub> = niveau van Q̄ vóór hoog-naar-laag overgang van C

## 4.2 74xx-serie TTL en HC

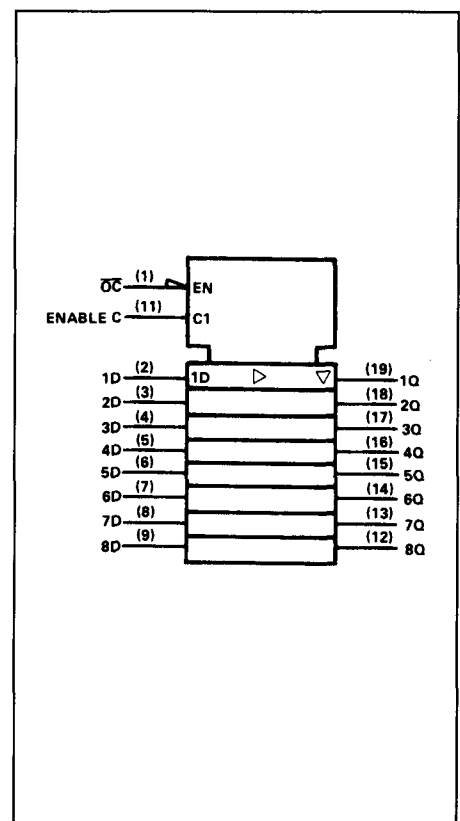
## 74573

8 D-type transparante  
latches met 3-state  
uitgangen

Figuur 4/4.2-573.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	H L D		35			56 55 65	10 15 16		80 <sup>4)</sup>	mA
I <sub>os</sub>			-60 -150			-30 -112	-30 -112		4	mA
T <sub>plh</sub> <sup>1)</sup>			5.3			3 6	7		26	ns
T <sub>phl</sub> <sup>1)</sup>			3.7			3 6	7		26	ns
T <sub>plh</sub> <sup>2)</sup>			9			6 11.5	12		27	ns
T <sub>phl</sub> <sup>2)</sup>			5.2			4 7.5	12		27	ns
T <sub>pzh</sub> <sup>3)</sup>			5			2 6.5	9		24	ns
T <sub>pzl</sub> <sup>3)</sup>			5.6			4 9.5	11		24	ns
T <sub>phz</sub> <sup>3)</sup>			4.5			2 6.5	5		23	ns
T <sub>plz</sub> <sup>3)</sup>			3.8			2 7	5		23	ns



1) D → Q 2) C → Q 3)  $\overline{OC}$  → Q 4)  $\mu A$

inputs			output
$\overline{OC}$	C	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

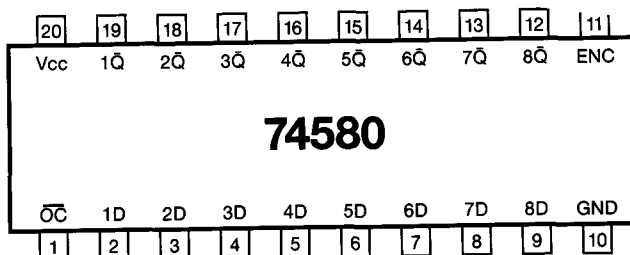
Q<sub>0</sub> = niveau van Q vóór hoog-naar-laag overgang van C

## 4.2 74xx-serie TTL en HC

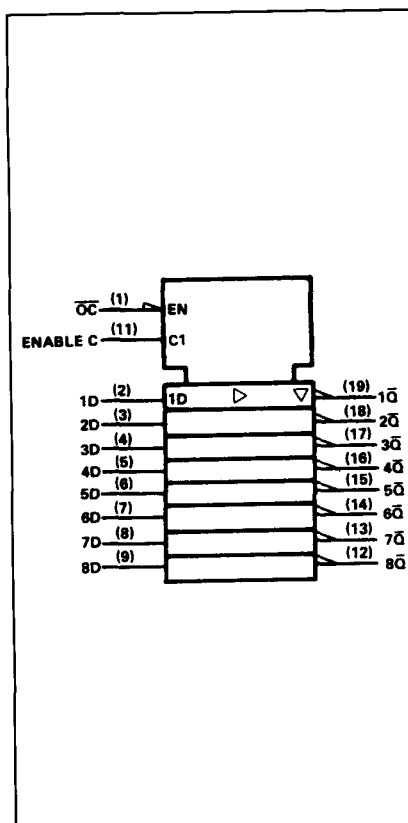
## 74580

8 D-type transparante  
latches met inverterende  
3-state uitgangen

Figuur 4/4.2-580.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	H L D					62 65 71	10 15 16			mA
$I_{OS}$						-30 -112	-30 -112			mA
$T_{plh}^{1)}$						3 7.5	3 18			ns
$T_{phl}^{1)}$						3 7	3 14			ns
$T_{plh}^{2)}$						5 9	8 22			ns
$T_{phl}^{2)}$						4 8	8 21			ns
$T_{pzh}^{3)}$						2 6.5	4 18			ns
$T_{pzl}^{3)}$						4 9.5	4 18			ns
$T_{phz}^{3)}$						2 6.5	2 8			ns
$T_{plz}^{3)}$						2 7	3 13			ns



1)  $D \rightarrow \bar{Q}$  2)  $C \rightarrow \bar{Q}$  3)  $\bar{OC} \rightarrow \bar{Q}$

inputs			output
$\bar{OC}$	enable C	D	$\bar{Q}$
L	H	H	L
L	H	L	H
L	L	X	$\bar{Q}_0$
H	X	X	Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

$\bar{Q}_0$  = niveau van Q vóór hoog-naar-laag overgang van C

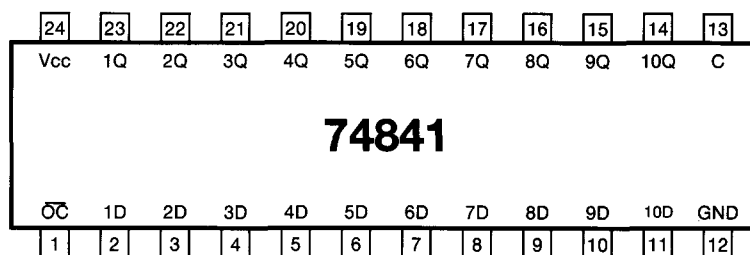


## 4.2 74xx-serie TTL en HC

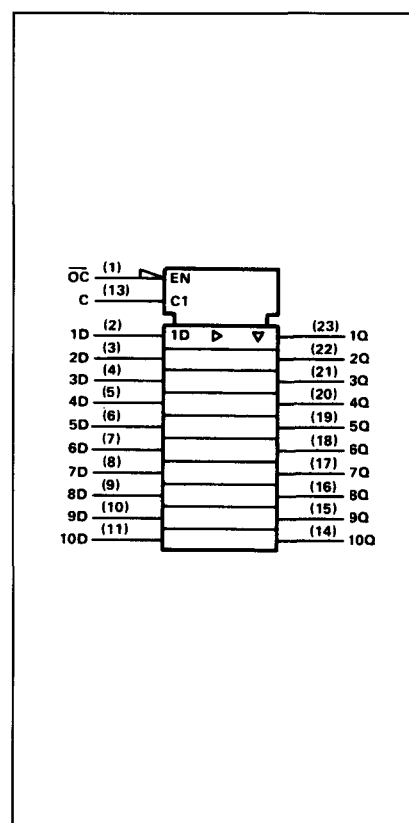
## 74841

10-bit bus interface  
D-type latch met  
3-state uitgangen

Figuur 4/4.2-841.



LOGICA	TTL	L	F	S	LS <sup>4)</sup>	AS	ALS	C	HC <sup>5)</sup>	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	H L D		50		97	36 58 56	25		80 <sup>6)</sup>	mA
I <sub>os</sub>			-60 -150		-75 -250	-30 -112	-15 -70		-75 <sup>6)</sup> -250	mA
T <sub>plh</sub> <sup>1)</sup>			8		6.5	1 6.5	7		9.5	ns
T <sub>phl</sub> <sup>1)</sup>			6		9	1 9	9		9.5	ns
T <sub>plh</sub> <sup>2)</sup>			13		12	2 12			12	ns
T <sub>phl</sub> <sup>2)</sup>			8		12	2 12			12	ns
T <sub>pzh</sub> <sup>3)</sup>			11		10.5	2 10.5			14	ns
T <sub>pzl</sub> <sup>3)</sup>			8		11.5	2 11.5			14	ns
T <sub>phz</sub> <sup>3)</sup>			7		8	1 8			15	ns
T <sub>plz</sub> <sup>3)</sup>			5		8	1 8			12	ns



1) D → Q 2) C → Q 3)  $\overline{OC} \rightarrow Q$  4) Am 29841A 5) Am 29C841 6)  $\mu A$

INPUTS			OUTPUT
$\overline{OC}$	C	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

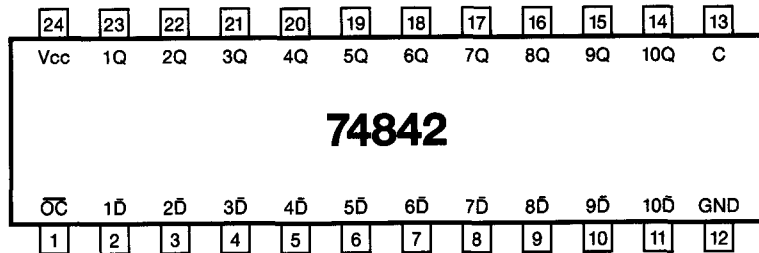
Q<sub>0</sub> = niveau van Q vóór hoog-naar-laag overgang van C

## 4.2 74xx-serie TTL en HC

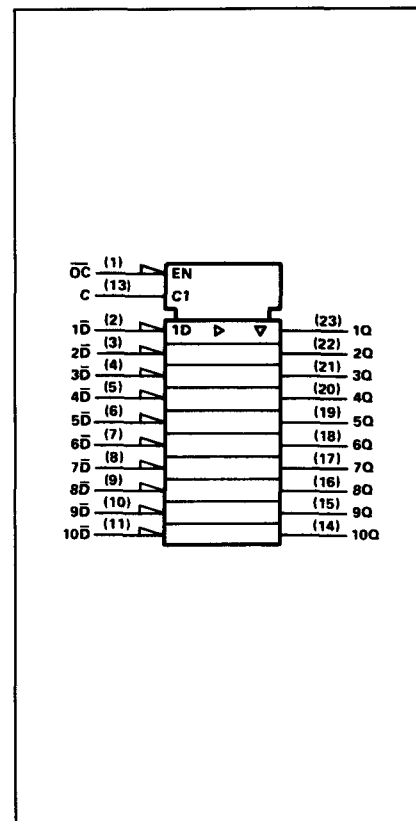
## 74842

10-bit bus interface  
D-type latch met  
inverterende ingangen  
en 3-state uitgangen

Figuur 4/4.2-842.



LOGICA	TTL	L	F	S	LS <sup>4)</sup>	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub> <sup>H</sup> <sup>L</sup> <sup>D</sup>					97	38 60 58	28			mA
I <sub>os</sub>					-75 -250	-30 -112	-15 -70			mA
T <sub>plh</sub> <sup>1)</sup>					8.5	1 8.5	11			ns
T <sub>phl</sub> <sup>1)</sup>					9	1 9	9			ns
T <sub>plh</sub> <sup>2)</sup>					12	2 12				ns
T <sub>phl</sub> <sup>2)</sup>					12	2 12				ns
T <sub>pzh</sub> <sup>3)</sup>					10.5	2 12				ns
T <sub>pzl</sub> <sup>3)</sup>					11.5	2 12.5				ns
T <sub>phz</sub> <sup>3)</sup>					8	1 8				ns
T <sub>plz</sub> <sup>3)</sup>					8	1 8				ns



1)  $\bar{D} \rightarrow Q$  2)  $C \rightarrow Q$  3)  $\bar{C} \rightarrow Q$  4) Am 29842A

INPUTS			OUTPUT
$\bar{C}$	C	$\bar{D}$	Q
L	H	H	L
L	H	L	H
L	L	X	Q <sub>0</sub>
H	X	X	Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

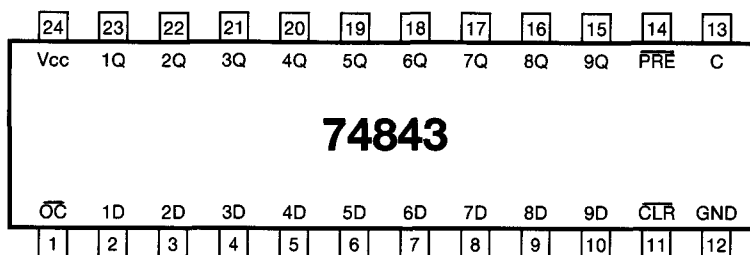
Q<sub>0</sub> = niveau van Q vóór hoog-naar-laag overgang van C

## 4.2 74xx-serie TTL en HC

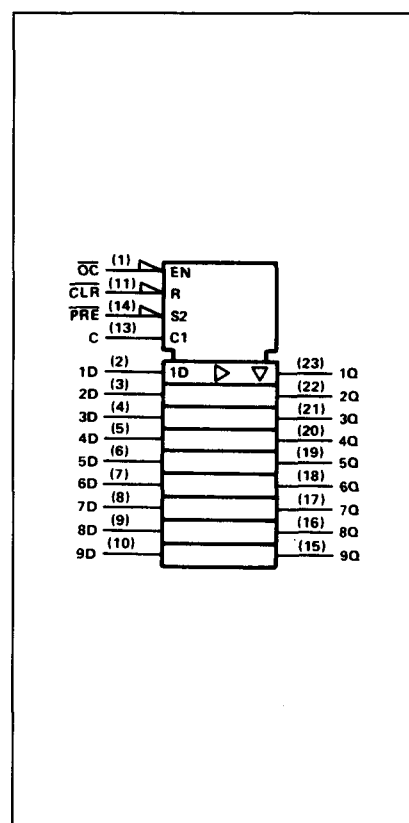
## 74843

9-bit bus interface  
D-type latch met  
3-state uitgangen

Figuur 4/4.2-843.



LOGICA	TTL	L	F	S	LS <sup>7)</sup>	AS	ALS	C	HC <sup>8)</sup>	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub> <sup>H</sup> <sup>L</sup> <sup>D</sup>			50		97	37 56 56	25		80 <sup>9)</sup>	mA
I <sub>os</sub>			-60 -150		-75 -250	-30 -112	-15 -70		-75 <sup>9)</sup> -250	mA
T <sub>plh</sub> <sup>1)</sup>			8		8.5	1 6.5	7		9.5	ns
T <sub>phl</sub> <sup>1)</sup>			6		10	1 9	9		9.5	ns
T <sub>plh</sub> <sup>2)</sup>			13		12	2 12			12	ns
T <sub>phl</sub> <sup>2)</sup>			8		12	2 12			12	ns
T <sub>phl</sub> <sup>3)</sup>			18		14	2 13			14	ns
T <sub>plh</sub> <sup>4)</sup>			9		15	2 10			14	ns
T <sub>pzh</sub> /I <sub>5)</sub>			11		11.5	2 11.5			14	ns
T <sub>ph</sub> /I <sub>z</sub> <sup>6)</sup>			7		8	1 8			15	ns



1) D → Q 2) C → Q 3)  $\overline{\text{CLR}} \rightarrow Q$  4)  $\overline{\text{PRE}} \rightarrow Q$  5) output enable 6) output disable  
7) Am 29843A 8) Am 29C843 9)  $\mu\text{A}$

INPUTS					OUTPUT
PRE	CLR	OC	C	D	Q
L	H	L	X	X	H
H	L	L	X	X	L
L	L	L	X	X	H
H	H	L	H	L	L
H	H	L	H	H	H
H	H	L	L	X	Q <sub>0</sub>
X	X	H	X	X	Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

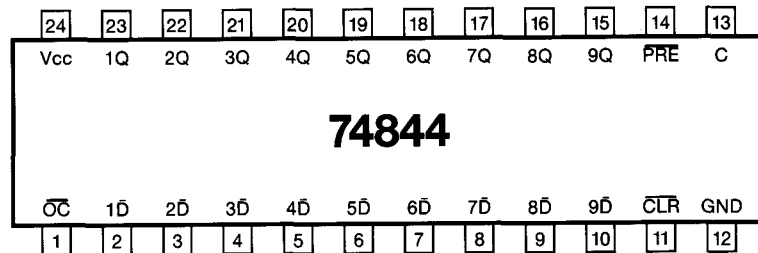
Q<sub>0</sub> = niveau van Q vóór hoog-naar-laag overgang van C

## 4.2 74xx-serie TTL en HC

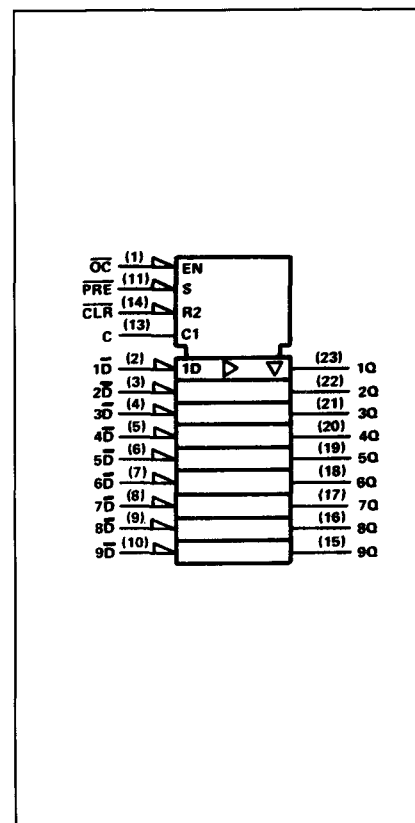
## 74844

9-bit bus interface  
D-type latch met  
inverterende ingangen  
en 3-state uitgangen

Figuur 4/4.2-844.



LOGICA	TTL	L	F	S	LS <sup>7)</sup>	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	H L D				97	39 58 58	28			mA
I <sub>os</sub>					-75 -250	-30 -112	-15 -70			mA
T <sub>plh</sub> <sup>1)</sup>					8.5	1 8.5	7			ns
T <sub>phl</sub> <sup>1)</sup>					9	1 10	9			ns
T <sub>plh</sub> <sup>2)</sup>					12	2 12.5				ns
T <sub>phl</sub> <sup>2)</sup>					12	2 13				ns
T <sub>phl</sub> <sup>3)</sup>					14	2 13.5				ns
T <sub>plh</sub> <sup>4)</sup>					13	2 10				ns
T <sub>pzl/h</sub> <sup>5)</sup>					11.5	2 13.5				ns
T <sub>pl/hz</sub> <sup>6)</sup>					8	1 8				ns



- 1)  $\bar{D} \rightarrow Q$  2)  $C \rightarrow Q$  3)  $\bar{CLR} \rightarrow Q$  4)  $PRE \rightarrow Q$  5) output enable 6) output disable  
7) Am 29844A

INPUTS					OUTPUT
PRE	CLR	OC	C	$\bar{D}$	Q
L	H	L	X	X	H
H	L	L	X	X	L
L	L	L	X	X	H
H	H	L	H	L	H
H	H	L	H	H	L
H	H	L	L	X	Q <sub>0</sub>
X	X	H	X	X	Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

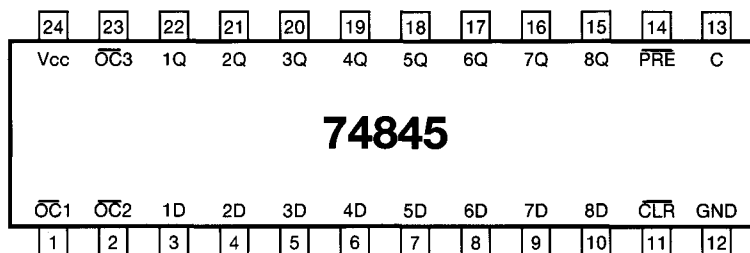
Q<sub>0</sub> = niveau van Q vóór hoog-naar-laag overgang van C

## 4.2 74xx-serie TTL en HC

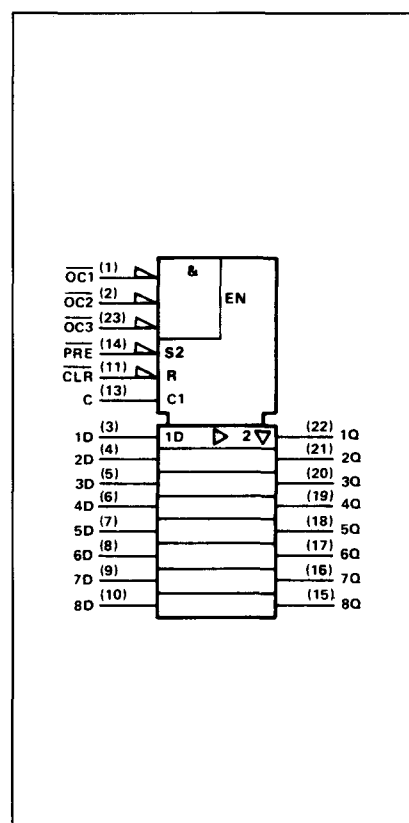
## 74845

9-bit bus interface  
D-type latch met  
3-state uitgangen

Figuur 4/4.2-845.



LOGICA	TTL	L	F	S	LS <sup>7)</sup>	AS	ALS	C	HC <sup>8)</sup>	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub> <sup>H</sup> <sup>L</sup> <sup>D</sup>			50		97	35 52 52	25			mA
I <sub>os</sub>			-60 -150		-75 -250	-30 -112	-15 -70			mA
T <sub>plh</sub> <sup>1)</sup>			8		6.5	1 6.5	7			ns
T <sub>phl</sub> <sup>1)</sup>			6		9	1 9	9			ns
T <sub>plh</sub> <sup>2)</sup>			13		12	2 12				ns
T <sub>phl</sub> <sup>2)</sup>			8		12	2 12				ns
T <sub>plh</sub> <sup>3)</sup>			9		15	2 10				ns
T <sub>phl</sub> <sup>4)</sup>			18		14	2 13				ns
T <sub>pzh</sub> /I <sub>5</sub> <sup>5)</sup>			11/ 8		11.5	2 11.5				ns
T <sub>ph</sub> /I <sub>z</sub> <sup>6)</sup>			7/ 5		8	1 8				ns



1) D → Q 2) C → Q 3) PRE → Q 4) CLR → Q 5) output enable 6) output disable  
7) Am 29845A

INPUTS								OUTPUT
PRE	CLR	OC1	OC2	OC3	C	D		Q
L	H	L	L	L	X	X		H
H	L	L	L	L	X	X		L
L	L	L	L	L	X	X		H
H	H	L	L	L	H	L		L
H	H	L	L	L	H	H		H
H	H	L	L	L	L	X		Q <sub>0</sub>
X	X	L	L	H	X	X		Z
X	X	L	H	L	X	X		Z
X	X	L	H	H	X	X		Z
X	X	H	L	L	X	X		Z
X	X	H	L	H	X	X		Z
X	X	H	H	L	X	X		Z
X	X	H	H	H	X	X		Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

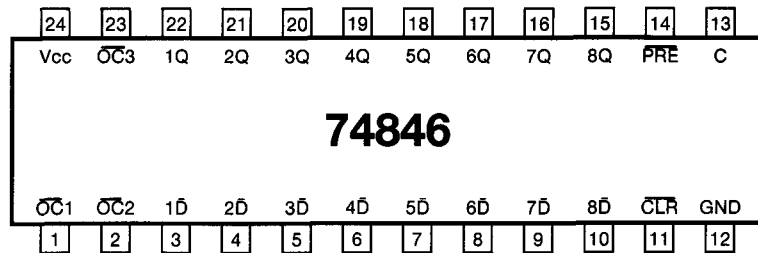
Q<sub>0</sub> = niveau van Q vóór hoog-naar-laag overgang van C

## 4.2 74xx-serie TTL en HC

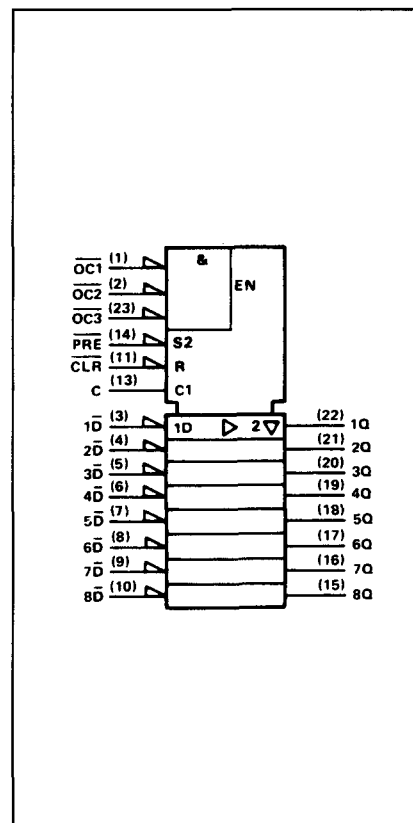
## 74846

8-bit bus interface  
D-type latch met  
inverterende ingangen  
en 3-state uitgangen

Figuur 4/4.2-846.



LOGICA	TTL	L	F	S	LS <sup>7)</sup>	AS	ALS	C	HC	
	VARIABLE PARAMETERS									Eenheid
I <sub>cc</sub>	H L D				97	36 53 53	28			mA
I <sub>os</sub>					-75 -250	-30 -112	-15 -70			mA
T <sub>plh</sub> <sup>1)</sup>					8.5	1 8.5	7			ns
T <sub>phl</sub> <sup>1)</sup>					9	1 10	9			ns
T <sub>plh</sub> <sup>2)</sup>					12	2 12.5				ns
T <sub>phl</sub> <sup>2)</sup>					12	2 13				ns
T <sub>plh</sub> <sup>3)</sup>					15	2 10				ns
T <sub>phl</sub> <sup>4)</sup>					14	2 13.5				ns
T <sub>pzh</sub> /I <sub>5)</sub>					11.5	2 13.5				ns
T <sub>ph</sub> /I <sub>z</sub> <sup>6)</sup>					8	1 8				ns



1)  $\bar{D} \rightarrow Q$  2)  $C \rightarrow Q$  3)  $\bar{PRE} \rightarrow Q$  4)  $\bar{CLR} \rightarrow Q$  5) output enable 6) output disable  
7) Am 29846A

INPUTS								OUTPUT
PRE	CLR	OC1	OC2	OC3	C	D		Q
L	H	L	L	L	X	X		H
H	L	L	L	L	X	X		L
L	L	L	L	L	X	X		H
H	H	L	L	L	H	L		H
H	H	L	L	L	H	H		L
H	H	L	L	L	L	X		Q <sub>0</sub>
X	X	L	L	H	X	X		Z
X	X	L	H	L	X	X		Z
X	X	L	H	H	X	X		Z
X	X	H	L	L	X	X		Z
X	X	H	L	H	X	X		Z
X	X	H	H	L	X	X		Z
X	X	H	H	H	X	X		Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

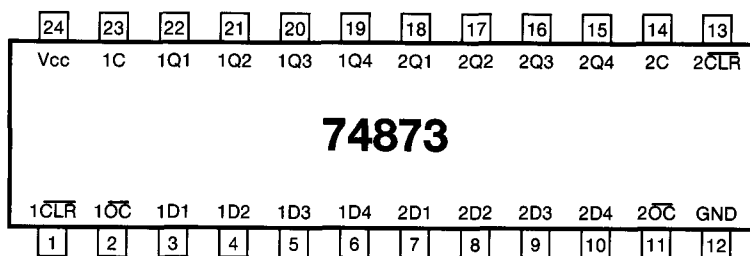
Q<sub>0</sub> = niveau van Q vóór hoog-naar-laag overgang van C

## 4.2 74xx-serie TTL en HC

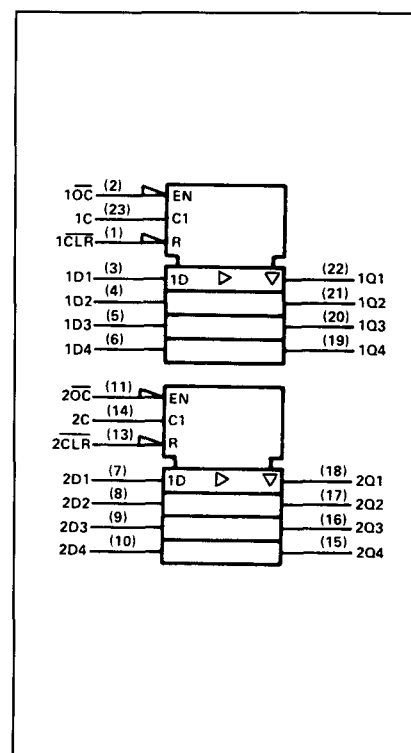
## 74873

2 4-bit D-type  
latches met  
3-state uitgangen

Figuur 4/4.2-873.



LOGICA	TTL	L	F	S	LS	AS	ALS <sup>1)</sup>	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	H L D					68 67 80	11 16 20			mA
I <sub>os</sub>						-30 -112	-30 -112			mA
T <sub>plh</sub> <sup>2)</sup>						3 6	8			ns
T <sub>phl</sub> <sup>2)</sup>						3 6	9			ns
T <sub>plh</sub> <sup>3)</sup>						6 11.5	13			ns
T <sub>phl</sub> <sup>3)</sup>						4 7.5	13			ns
T <sub>phl</sub> <sup>4)</sup>						3 7.5	13			ns
T <sub>pzh</sub> /I <sup>5)</sup>						2/4 6.5/9.5	10/ 12			ns
T <sub>ph</sub> /I <sub>z</sub> <sup>6)</sup>						2/2 6.5/7.5	5.5/ 6			ns



1) 74ALS873A 2) D → Q 3) C → Q 4)  $\overline{\text{CLR}} \rightarrow Q$  5) output enable 6) output disable

inputs					output
$\overline{\text{OC}}$	$\overline{\text{CLR}}$	enable	C	D	Q
L	L	X	X	X	L
L	H	H	H	H	H
L	H	H	L	L	L
L	H	L	X	X	Q <sub>0</sub>
H	X	X	X	X	Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

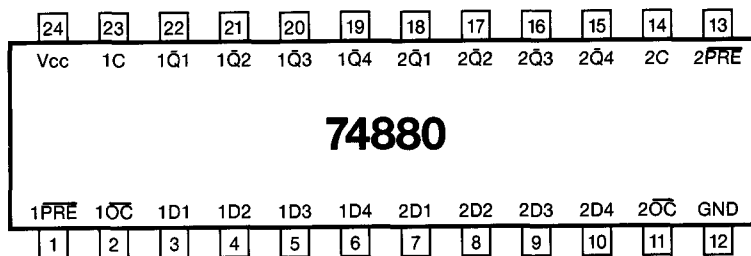
Q<sub>0</sub> = niveau van Q vóór hoog-naar-laag overgang van C

## 4.2 74xx-serie TTL en HC

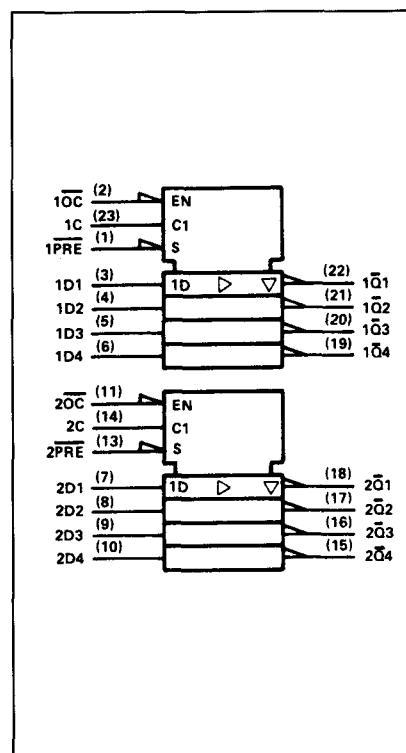
## 74880

2 4-bit D-type latches  
met inverterende  
3-state uitgangen

Figuur 4/4.2-880.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
$I_{CC}$	$I_{L D}$					73 76 86	14 19 20			mA
$I_{OS}$						-30 -112	-15 -70			mA
$T_{plh}^{1)}$						4 9.5	3 20			ns
$T_{phl}^{1)}$						4 8.5	3 14			ns
$T_{plh}^{2)}$						6 11.5	8 24			ns
$T_{phl}^{2)}$						4 8	8 21			ns
$T_{phl}^{3)}$						4 10	6 21			ns
$T_{pzh}/I^{4)3}$						2 10	5 18			ns
$T_{ph}/I_z^{5)}$						2 8	2 13			ns



1)  $D \rightarrow \bar{Q}$  2)  $C \rightarrow \bar{Q}$  3)  $\overline{PRE} \rightarrow \bar{Q}$  4) output enable 5) output disable

inputs				output
$\overline{OC}$	$\overline{PRE}$	enable	C	$\bar{Q}$
L	L	X	X	L
L	H	H	H	L
L	H	H	L	H
L	H	L	X	$\bar{Q}_0$
H	X	X	X	Z

H = hoog niveau

L = laag niveau

X = onbepaald

Z = hoog-impedant

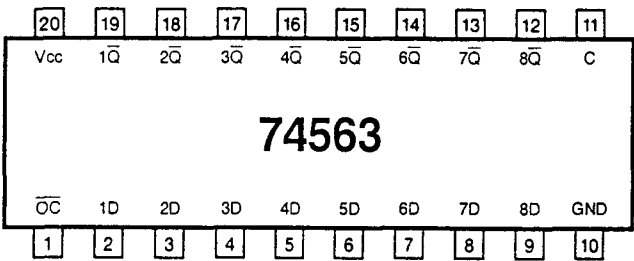
$\bar{Q}_0$  = niveau van  $\bar{Q}$  vóór hoog-naar-laag overgang van C



4.2 74xx-serie TTL en HC

74563  
8 D-type transparante  
latches met 3-state  
uitgangen

Figuur 4/4.2-563.

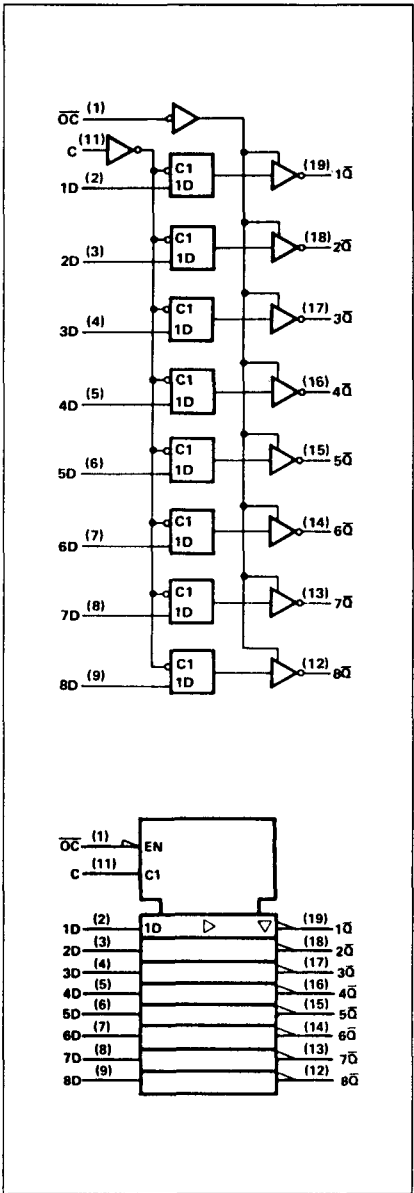


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC <sup>5)</sup>	
	VARIABLE PARAMETERS									Eenheid
I <sub>cc</sub>	H L D			35			10 15 16		80 <sup>1)</sup>	mA
I <sub>os</sub>			-60 -150				-15 -70		4	mA
T <sub>plh</sub> <sup>1)</sup>			6.9				3 18		28	ns
T <sub>phl</sub> <sup>1)</sup>			5.2				3 14		28	ns
T <sub>plh</sub> <sup>2)</sup>			8.5				8 22		30	ns
T <sub>phl</sub> <sup>2)</sup>			5.6				8 21		30	ns
T <sub>pzh</sub> <sup>3)</sup>			7.7				4 18		29	ns
T <sub>pzl</sub> <sup>3)</sup>			5.1				4 18		29	ns
T <sub>phz</sub> <sup>3)</sup>			4.7				2 8		25	ns
T <sub>plz</sub> <sup>3)</sup>			4.1				3 13		25	ns

1) D → Q                      3) OC → Q                      5) 74HCT563  
2) C → Q                      4) μA

INPUTS			OUTPUT $\overline{Q}$
ENABLE			
$\overline{OC}$	C	D	
L	H	H	L
L	H	L	H
L	L	X	$Q_0$
H	X	X	Z

Waarheidstabel.



## 4.2 74xx-serie TTL en HC

## 4/4.3

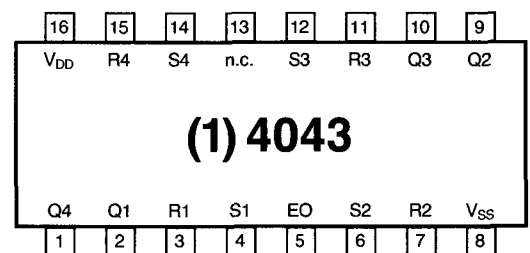
# Latches met tri-state uitgangen

## (1)4xxx-serie CMOS

**(1) 4043**

4 R/S-latches met  
3-state uitgangen

Figuur 4/4.3-43.



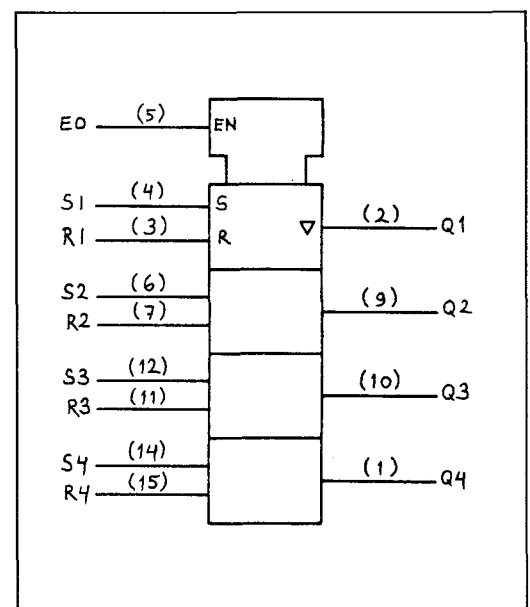
inputs			output O <sub>n</sub>
EO	S <sub>n</sub>	R <sub>n</sub>	
L	X	X	Z
H	L	H	L
H	H	X	H
H	L	L	latched

H = HIGH state (the more positive voltage)

L = LOW state (the less positive voltage)

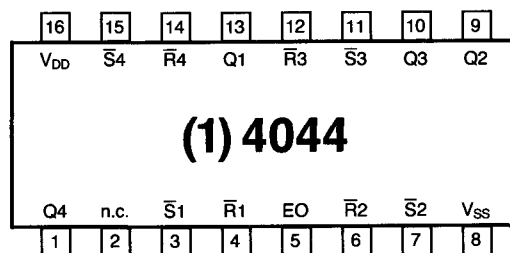
X = state immaterial

Z = high impedance state



o.a. leverbaar: MC 14043 B  
CD 4043 A/B  
HEF 4043 B

## 4.3 (1) 4xxx-serie CMOS

**(1) 4044**4 R/S-latches met  
3-state uitgangen

Figuur 4/4.3-44.

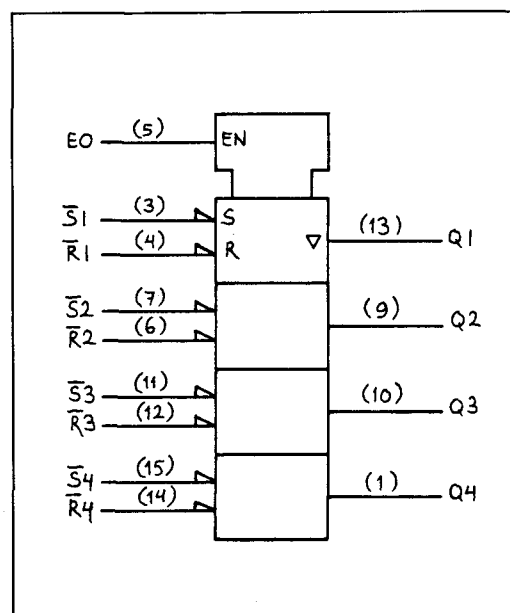
inputs			output $O_n$
EO	$S_n$	$R_n$	
L	X	X	Z
H	L	H	H
H	X	L	L
H	H	H	latched

H = HIGH state (the more positive voltage)

L = LOW state (the less positive voltage)

X = state immaterial

Z = high impedance OFF-state



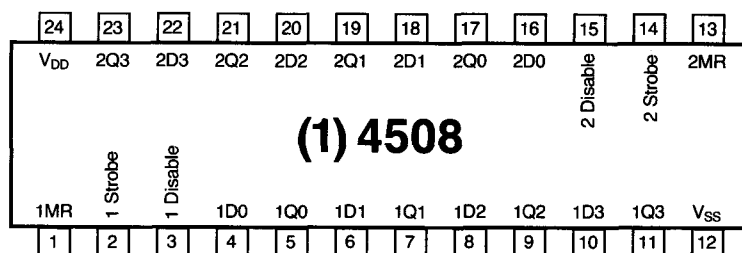
o.a. leverbaar: MC 14044 B  
CD 4044 A/B  
HEF 4044 B

## 4.3 (1) 4xxx-serie CMOS

## (1) 4508

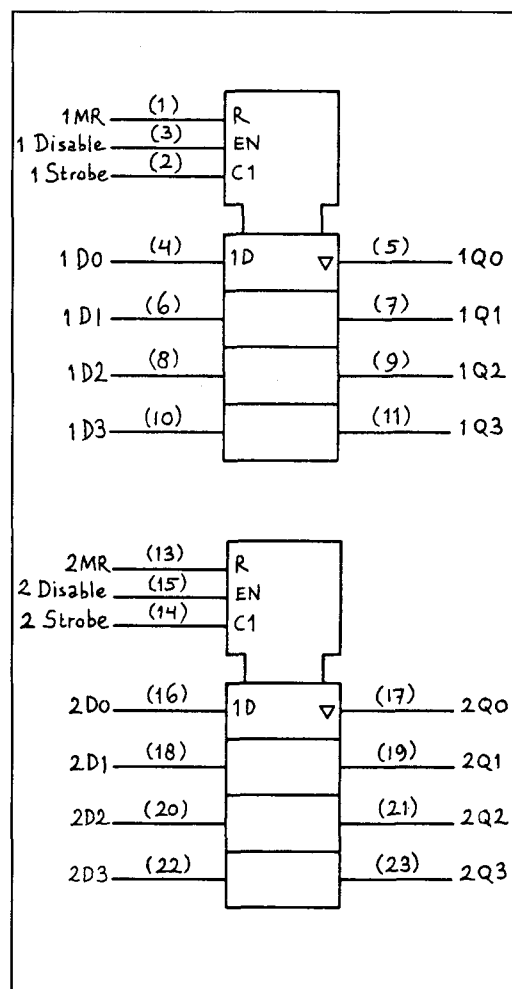
2 4-bit latches met  
3-state uitgangen

Figuur 4/4.3-508.



MR	ST	DISABLE	D3	D2	D1	D0	Q3	Q2	Q1	Q0
0	1	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	1	0	0	0	1
0	1	0	0	0	1	0	0	0	1	0
0	1	0	0	0	1	1	0	0	1	1
0	1	0	0	1	0	0	0	1	0	0
0	1	0	0	1	0	1	0	1	0	1
0	1	0	0	1	1	0	0	1	1	0
0	1	0	0	1	1	1	0	1	1	1
0	1	0	1	0	0	0	1	0	0	0
0	1	0	1	0	0	1	1	0	0	1
0	1	0	1	0	1	0	1	0	1	0
0	1	0	1	0	1	1	1	0	1	1
0	1	0	1	1	0	0	1	1	0	0
0	1	0	1	1	0	1	1	1	0	1
0	1	0	1	1	1	0	1	1	1	0
0	1	0	1	1	1	1	1	1	1	1
0	0	0	X	X	X	X	LATCHED			
1	X	0	X	X	X	X	0	0	0	0
X	X	1	X	X	X	X	HIGH IMPEDANCE			

X = Don't Care

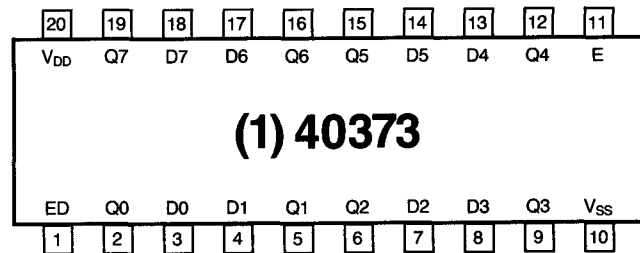


o.a. leverbaar in: MC 14508 A/C  
CD 4508 A/B  
HEF 4508 B

## 4.3 (1) 4xxx-serie CMOS

**(1) 40373****8 D-type latches met  
3-state uitgangen**

Figuur 4/4.3-373.



operating modes	inputs			internal register	outputs Q <sub>0</sub> to Q <sub>7</sub>
	$\overline{E}O$	E	D <sub>n</sub>		
enable & read register	L	H	L	L	L
	L	H	H	H	H
latch & read register	L	L	l	L	L
	L	L	h	H	H
latch register & disable outputs	H	L	l	L	Z
	H	L	h	H	Z

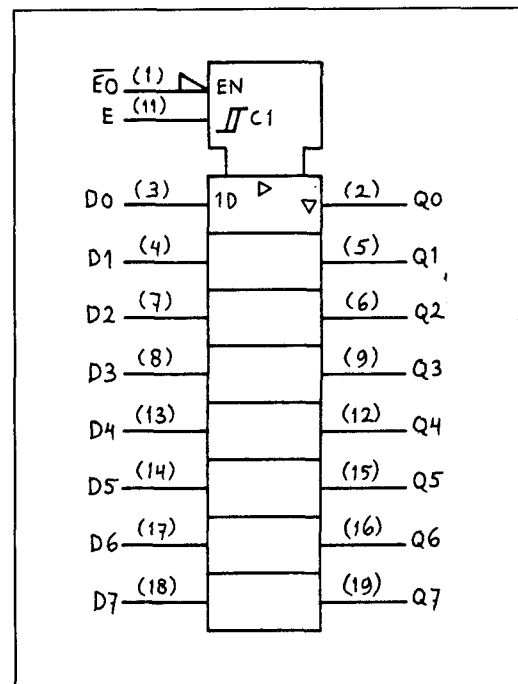
H = HIGH state (the more positive voltage)

h = HIGH state (one set-up time prior to the HIGH-to-LOW enable transition)

L = LOW state (the less positive voltage)

l = LOW state (one set-up time prior to the HIGH-to-LOW enable transition)

Z = high impedance OFF-state



leverbaar: HEF 40373

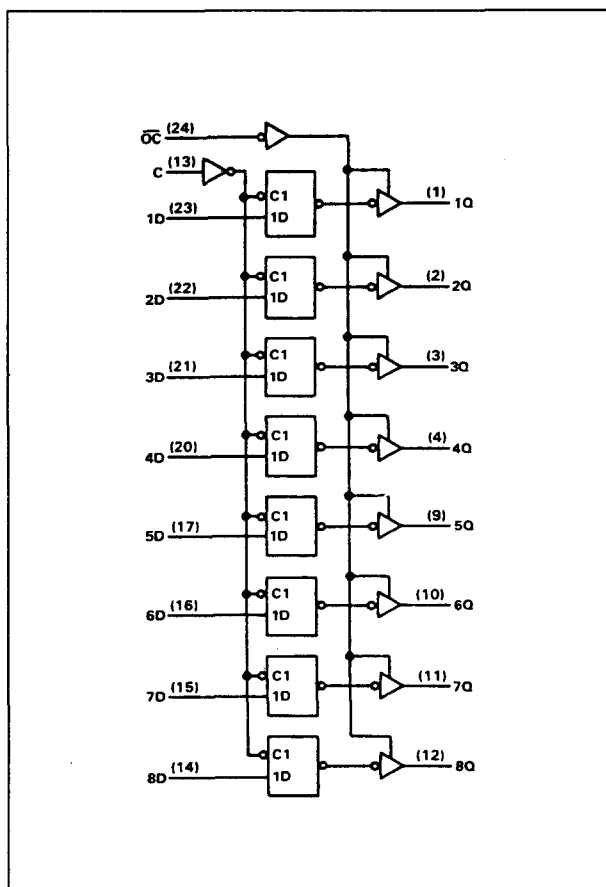
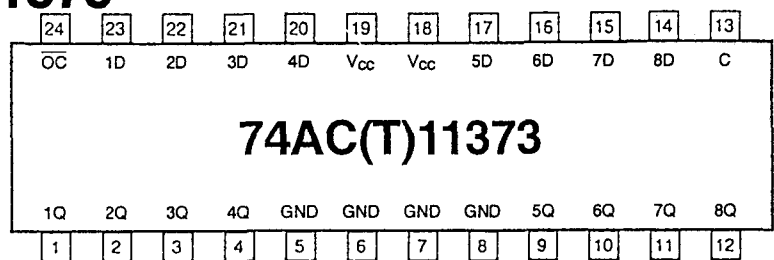
## 4/4.5

Latches met tri-state uitgangen  
74AC(T)11xx-serie

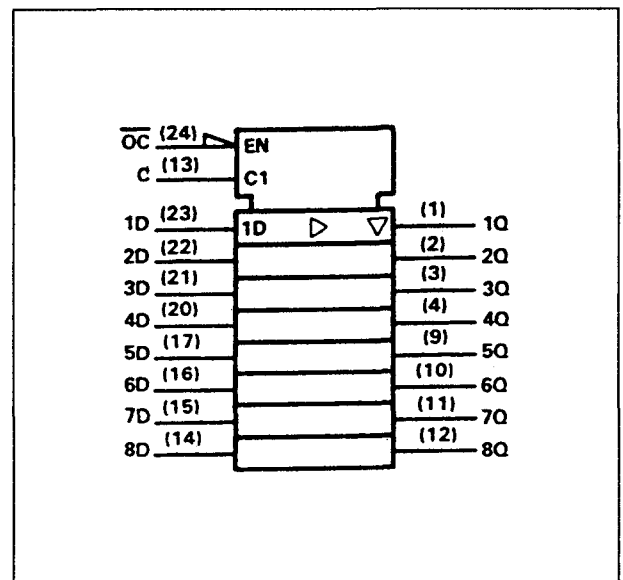
## 74AC11373, 74ACT11373

8 x D-type transparante  
latches met 3-state  
uitgangen

Figuur 4/4.5-11373.



Functioneel blokschema.



Logisch symbol.

INPUTS			OUTPUT
OC	ENABLE C	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

Waarheidstabel.

## 4.5 Latches met tri-state uitgangen 74AC(T)11xx-serie

## Kenmerken AC-type

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25°C			74AC11373		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	3 V	2.9			2.9		V
		4.5 V	4.4			4.4		
		5.5 V	5.4			5.4		
	I <sub>OH</sub> = -4 mA	3 V	2.58			2.48		
		4.5 V	3.94			3.8		
	I <sub>OH</sub> = -24 mA	5.5 V	4.94			4.8		
		5.5 V						
V <sub>OL</sub>	I <sub>OL</sub> = 50 µA	3 V			0.1		0.1	V
		4.5 V			0.1		0.1	
		5.5 V			0.1		0.1	
	I <sub>OL</sub> = 12 mA	3 V			0.36		0.44	
		4.5 V			0.36		0.44	
	I <sub>OL</sub> = 24 mA	5.5 V			0.36		0.44	
		5.5 V						
I <sub>OZ</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	3 V						µA
		4.5 V						
		5.5 V						
	I <sub>OL</sub> = 50 mA <sup>†</sup>	5.5 V						
		5.5 V						
	I <sub>OL</sub> = 75 mA <sup>†</sup>	5.5 V						
		5.5 V						
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V			±0.5		±5	µA
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND, I <sub>O</sub> = 0	5.5 V			8		80	µA
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5 V			4			pF
C <sub>o</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5 V			10			pF

## Statische karakteristieken.

	V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C		74AC11373		UNIT
		MIN	MAX	MIN	MAX	
t <sub>w</sub> Pulse duration, enable C high	3.3 ± 0.3 V	5.5		5.5		ns
	5 ± 0.5 V	4		4		
t <sub>su</sub> Setup time, data before enable C ↓	3.3 ± 0.3 V	4		4		ns
	5 ± 0.5 V	3.5		3.5		
t <sub>h</sub> Hold time data after enable C ↓	3.3 ± 0.3 V	2		2		ns
	5 ± 0.5 V	2		2		

## Timing karakteristieken.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C			74AC11373		UNIT
				MIN	TYP	MAX	MIN	MAX	
t <sub>PLH</sub>	D	Q	3.3 ± 0.3 V	1.5	9	13.1	1.5	14.8	ns
			5 ± 0.5 V	1.5	6	8.9	1.5	10.3	
t <sub>PHL</sub>	D	Q	3.3 ± 0.3 V	1.5	8	10.6	1.5	11.7	ns
			5 ± 0.5 V	1.5	5.5	7.6	1.5	8.4	
t <sub>PLH</sub>	C	Any Q	3.3 ± 0.3 V	1.5	10	14.5	1.5	16.3	ns
			5 ± 0.5 V	1.5	6.5	10	1.5	11.3	
t <sub>PHL</sub>	C	Any Q	3.3 ± 0.3 V	1.5	9.5	12.8	1.5	14.2	ns
			5 ± 0.5 V	1.5	6.5	9.1	1.5	10.2	
t <sub>PZH</sub>	OC	Any Q	3.3 ± 0.3 V	1.5	9	13.1	1.5	14.7	ns
			5 ± 0.5 V	1.5	6.5	9.5	1.5	10.8	
t <sub>PZL</sub>	OC	Any Q	3.3 ± 0.3 V	1.5	8.5	11.6	1.5	13.1	ns
			5 ± 0.5 V	1.5	6	8.6	1.5	9.7	
t <sub>PHZ</sub>	OC	Any Q	3.3 ± 0.3 V	1.5	9.5	12	1.5	12.7	ns
			5 ± 0.5 V	1.5	8.5	10.6	1.5	11.1	
t <sub>PLZ</sub>	OC	Any Q	3.3 ± 0.3 V	1.5	7.5	10.2	1.5	10.8	ns
			5 ± 0.5 V	1.5	6	8.2	1.5	8.7	

## Schakel karakteristieken.



## 4.5 Latches met tri-state uitgangen 74AC(T)11xx-serie

## Kenmerken ACT-type

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25°C			74ACT11373		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	4.5 V	4.4			4.4		V
		5.5 V	5.4			5.4		
	I <sub>OH</sub> = -24 mA	4.5 V	3.94			3.8		
		5.5 V	4.94			4.8		
	I <sub>OH</sub> = -50 mA <sup>†</sup>	5.5 V						
V <sub>OL</sub>	I <sub>OL</sub> = 50 µA	4.5 V		0.1		0.1		V
		5.5 V		0.1		0.1		
	I <sub>OL</sub> = 24 mA	4.5 V		0.36		0.44		
		5.5 V		0.36		0.44		
	I <sub>OL</sub> = 50 mA <sup>†</sup>	5.5 V						
I <sub>OZ</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5.5 V		±0.5		±5		µA
	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V		±0.1		±1		
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND, I <sub>O</sub> = 0	5.5 V		8		80		µA
ΔI <sub>CC</sub> <sup>‡</sup>	One input at 3.4 V, Other inputs at GND or V <sub>CC</sub>	5.5 V		0.9		1		mA
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5 V		4				pF
C <sub>o</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5 V		10				pF

Statische karakteristieken.

timing requirements, V<sub>CC</sub> = 5 ± 0.5 V

		T <sub>A</sub> = 25°C			74ACT11373		UNIT
		MIN		MAX	MIN	MAX	
t <sub>w</sub>	Pulse duration, enable C high	5			5		ns
t <sub>su</sub>	Setup time, data before enable C ↓	3.5			3.5		ns
t <sub>h</sub>	Hold time data after enable C ↓	3.5			3.5		ns

Timing karakteristieken.

switching characteristics, V<sub>CC</sub> = 5 V ± 0.5 V

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T <sub>A</sub> = 25°C			74ACT11373		UNIT
			MIN	TYP	MAX	MIN	MAX	
t <sub>PLH</sub>	D	Q	1.5	7.5	10.3	1.5	11.8	ns
t <sub>PHL</sub>			1.5	6.5	9.3	1.5	10	
t <sub>PLH</sub>	C	Any Q	1.5	8.5	11.3	1.5	13	ns
t <sub>PHL</sub>			1.5	8.5	10.9	1.5	12.2	
t <sub>PZH</sub>	OC	Any Q	1.5	7	10.7	1.5	12.5	ns
t <sub>PZL</sub>			1.5	7.5	10.9	1.5	12	
t <sub>PHZ</sub>	OC	Any Q	1.5	10	12.1	1.5	12.5	ns
t <sub>PLZ</sub>			1.5	7.5	9.5	1.5	10.1	

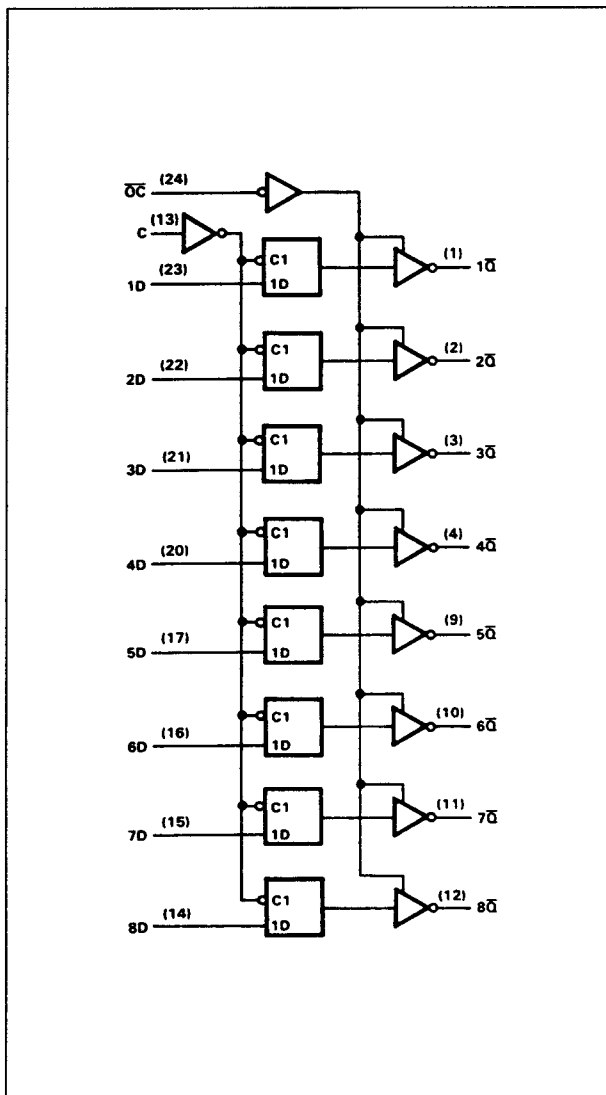
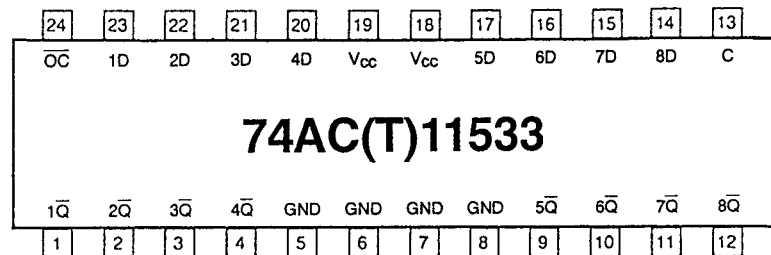
Schakel karakteristieken.

## 4.5 Latches met tri-state uitgangen 74AC(T)11xx-serie

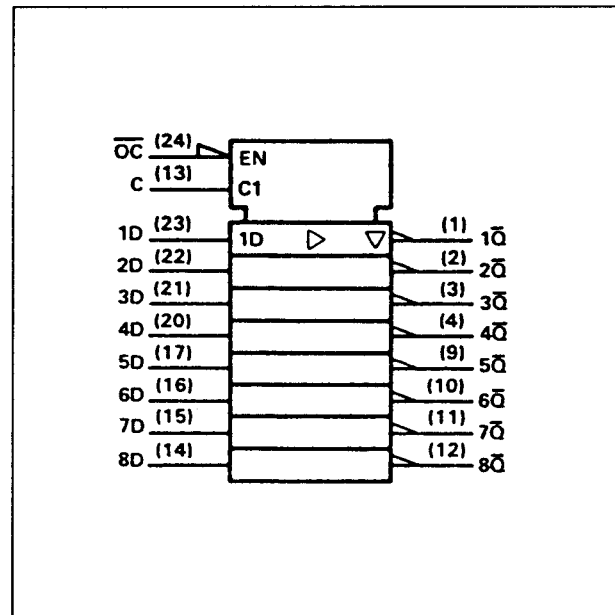
**74AC11533, 74ACT11533**

8 x D-type transparante  
latches met 3-state  
uitgangen

Figuur 4/4.5-11533.



Functioneel blokschema.



Logisch symbool.

INPUTS			OUTPUT
$\overline{OC}$	ENABLE C	D	
L	H	H	L
L	H	L	H
L	L	X	$\overline{Q}_0$
H	X	X	Z

Waarheidstabel.

## 4.5 Latches met tri-state uitgangen 74AC(T)11xx-serie

## Kenmerken AC-type

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25°C			74AC11533		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	3 V	2.9			2.9		V
		4.5 V	4.4			4.4		
		5.5 V	5.4			5.4		
	I <sub>OH</sub> = -4 mA	3 V	2.58			2.48		
		4.5 V	3.94			3.8		
		5.5 V	4.94			4.8		
V <sub>OL</sub>	I <sub>OL</sub> = 50 µA	3 V			0.1	0.1		V
		4.5 V			0.1	0.1		
		5.5 V			0.1	0.1		
	I <sub>OL</sub> = 12 mA	3 V			0.36	0.44		
		4.5 V			0.36	0.44		
		5.5 V			0.36	0.44		
I <sub>OZ</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5.5 V			±0.5	±5		µA
		5.5 V			±0.1	±1		
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V			8	80		µA
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND, I <sub>O</sub> = 0	5.5 V			4			µA
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5 V			10			pF
C <sub>o</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5.5 V						pF

## Statische karakteristieken.

	V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C		74AC11533		UNIT
		MIN	MAX	MIN	MAX	
t <sub>w</sub> Pulse duration, enable C high	3.3 ± 0.3 V	5.5		5.5		ns
	5 ± 0.5 V	4		4		
t <sub>su</sub> Setup time, data before enable C!	3.3 ± 0.3 V	4		4		ns
	5 ± 0.5 V	3.5		3.5		
t <sub>h</sub> Hold time, data after enable C!	3.3 ± 0.3 V	2		2		ns
	5 ± 0.5 V	2		2		

## Timing karakteristieken.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub> RANGE	T <sub>A</sub> = 25°C			74AC11533		UNIT
				MIN	TYP	MAX	MIN	MAX	
t <sub>PLH</sub>	D	Q	3.3 ± 0.3 V	1.5	8.5	12.6	1.5	14.3	ns
			5 ± 0.5 V	1.5	5.5	8.4	1.5	9.8	
t <sub>PHL</sub>			3.3 ± 0.3 V	1.5	7.5	10.1	1.5	11.3	
			5 ± 0.5 V	1.5	5	7.1	1.5	8	
t <sub>PLH</sub>	C	Any Q	3.3 ± 0.3 V	1.5	10	14.5	1.5	16.5	ns
			5 ± 0.5 V	1.5	6.5	10	1.5	11.3	
t <sub>PHL</sub>			3.3 ± 0.3 V	1.5	9.5	12.8	1.5	14.3	
			5 ± 0.5 V	1.5	6.5	9.1	1.5	10.3	
t <sub>PZH</sub>	OC	Any Q	3.3 ± 0.3 V	1.5	9	13.1	1.5	14.7	ns
			5 ± 0.5 V	1.5	6.5	9.5	1.5	10.8	
t <sub>PZL</sub>			3.3 ± 0.3 V	1.5	8.5	11.6	1.5	13.1	
			5 ± 0.5 V	1.5	6	8.6	1.5	9.7	
t <sub>PHZ</sub>	OC	Any Q	3.3 ± 0.3 V	1.5	9.5	12	1.5	12.8	ns
			5 ± 0.5 V	1.5	8.5	10.7	1.5	11.4	
t <sub>PLZ</sub>			3.3 ± 0.3 V	1.5	7.5	10.2	1.5	11	
			5 ± 0.5 V	1.5	6	8.2	1.5	8.9	

## Schakel karakteristieken.

## 4.5 Latches met tri-state uitgangen 74AC(T)11xx-serie

## Kenmerken ACT-type

PARAMETER	TEST CONDITIONS	V <sub>CC</sub>	T <sub>A</sub> = 25°C			74ACT11533		UNIT
			MIN	TYP	MAX	MIN	MAX	
V <sub>OH</sub>	I <sub>OH</sub> = -50 µA	4.5 V	4.4			4.4		V
		5.5 V	5.4			5.4		
	I <sub>OH</sub> = -24 mA	4.5 V	3.94			3.8		
		5.5 V	4.94			4.8		
	I <sub>OH</sub> = -50 mA <sup>†</sup>	5.5 V						
V <sub>OL</sub>	I <sub>OL</sub> = 50 µA	4.5 V			0.1		0.1	V
		5.5 V			0.1		0.1	
	I <sub>OL</sub> = 24 mA	4.5 V			0.36		0.44	
		5.5 V			0.36		0.44	
	I <sub>OL</sub> = 50 mA <sup>†</sup>	5.5 V						
I <sub>OZ</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	4.5 V						µA
		5.5 V			±0.5		±5	
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5.5 V			±0.1		±1	µA
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND, I <sub>O</sub> = 0	5.5 V			8		80	µA
ΔI <sub>CC</sub> <sup>‡</sup>	One input at 3.4 V, Other inputs at GND or V <sub>CC</sub>	5.5 V			0.9		1	mA
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	5 V			4			pF
C <sub>o</sub>	V <sub>O</sub> = V <sub>CC</sub> or GND	5 V			10			pF

## Statische karakteristieken.

timing requirements, V<sub>CC</sub> = 5 ± 0.5 V

		T <sub>A</sub> = 25°C			74ACT11533		UNIT
		MIN	TYP	MAX	MIN	MAX	
t <sub>W</sub>	Pulse duration, enable C high	5			5		ns
t <sub>su</sub>	Setup time, data before enable C ↓	3.5			3.5		ns
t <sub>h</sub>	Hold time data after enable C ↓	3.5			3.5		ns

## Timing karakteristieken.

switching characteristics, V<sub>CC</sub> = 5 V ± 0.5 V

PARAMETER	FROM (INPUT)	TO (OUTPUT)	T <sub>A</sub> = 25°C			74ACT11533		UNIT
			MIN	TYP	MAX	MIN	MAX	
t <sub>PLH</sub>	D	$\bar{Q}$	1.5	7	10.1	1.5	11.3	ns
t <sub>PHL</sub>			1.5	6.5	8.4	1.5	9.5	
t <sub>PLH</sub>	C	Any Q	1.5	8.5	11.3	1.5	13	ns
t <sub>PHL</sub>			1.5	8.5	10.7	1.5	12.2	
t <sub>PZH</sub>	$\bar{OC}$	Any Q	1.5	7.5	10.7	1.5	12.5	ns
t <sub>PZL</sub>			1.5	7.5	10.9	1.5	12	
t <sub>PHZ</sub>	$\bar{OC}$	Any Q	1.5	10.5	12.1	1.5	12.8	ns
t <sub>PLZ</sub>			1.5	7.5	9.5	1.5	10.3	

## Schakel karakteristieken.

## 4/5

## Binaire tellers

## Inhoud

4/5.1    **Achtergrond-informatie**  
(aanvulling 19)4/5.2    **Binaire tellers 74xx-serie TTL en HC**  
(aanvulling 3 + 15 + 19)

7493	4-bit binaire teller
74161	synchrone binaire teller met directe clear
74163	synchrone binaire teller met synchrone clear
74169	synchrone op/neer binaire teller
74177	instelbare binaire teller
74191	synchrone op/neer binaire teller
74193	synchrone op/neer binaire teller met clear en aparte klok-ingangen
74197	instelbare binaire teller
74292	programmeerbare frequentie-deler, $2^2$ t/m $2^{31}$
74293	4-bit binaire teller
74294	programmeerbare frequentie-deler, $2^2$ t/m $2^{15}$
74561	synchrone binaire teller met 3-state uitgangen
74569	synchrone op/neer binaire teller met 3-state uitgangen
74590	8-bit binaire teller met 3-state output registers
74591	8-bit binaire teller met open collector output register
74592	8-bit binaire teller met input registers
74593	8-bit binaire teller met 3-state input-registers en counter outputs
74669	synchrone op/neer binaire teller
74691	synchrone binaire teller met directe clear, output-registers en gemultiplexte 3-state uitgangen
74693	synchrone binaire teller met synchrone clear, output-registers en gemultiplexte 3-state uitgangen
74697	synchrone op/neer binaire teller met directe clear, output-registers en gemultiplexte 3-state uitgangen
74699	synchrone op/neer binaire teller met synchrone clear, output-registers en gemultiplexte 3-state uitgangen
74867	synchrone 8-bit op/neer teller met asynchrone clear
74869	synchrone 8-bit op/neer teller met asynchrone clear
7469	2 x 4-bit binaire teller
74393	2 x 4-bit binaire teller

744020	14-bit binaire teller
744024	7-bit binaire teller
744040	12-bit binaire teller
744060	14-traps binaire teller en oscillator
744061	14-traps binaire teller en oscillator

#### 4/5.3 Binaire tellers (1)4xxx-serie CMOS

*(aanvulling 15)*

(1)4020	14-bit binaire teller
(1)4024	7-traps binaire teller
(1)4040	12-traps binaire teller
(1)4045	21-traps binaire teller met oscillator
(1)4060	14 traps binaire teller met oscillator
(1)4516	presetbare binaire op/neer-teller
(1)4520	2 binaire tellers
(1)4521	24-traps frequentie-deler
(1)40161	presetbare binaire teller
(1)40163	presetbare binaire teller
(1)40193	presetbare 4-bit op/neer-teller

#### 4/5.4 Binaire tellers 10k-serie ECL

*(aanvulling 19)*

10136	universele 4-bit teller
-------	-------------------------

#### 4/5.10 Timing-karakteristieken van binaire tellers

*(aanvulling 50)*

## 4/5.1

## Achtergrond-informatie

**Inleiding**

Tellers zijn zeer belangrijke digitale schakelingen. Net als flip-flop's zijn het sequentiële logische schakelingen, aangezien de timing van essentieel belang is en zij een geheugen-functie hebben. Om te kunnen tellen moet immers de vorige stand bekend zijn. Voor de constructie van tellers wordt daarom gebruik gemaakt van flip-flop's.

Digitale tellers hebben vier belangrijke kenmerken waarop gelet moet worden:

- het maximale aantal pulsen dat geteld kan worden (de modulus van de teller);
- op- of neertellen;
- synchrone of asynchrone werking;
- vrijlopend of vanzelf stoppend.

Digitale tellers tellen alleen binair of in binaire codes. In tabel 4/5.1-1 is te zien hoe binair van 0000 tot 1111 wordt geteld (= 0 tot 15 decimaal). Een dergelijke teller wordt een

Decimal count	Binary count				Decimal count	Binary count			
	8s	4s	2s	1s		8s	4s	2s	1s
	D	C	B	A		D	C	B	A
0	0	0	0	0	8	1	0	0	0
1	0	0	0	1	9	1	0	0	1
2	0	0	1	0	10	1	0	1	0
3	0	0	1	1	11	1	0	1	1
4	0	1	0	0	12	1	1	0	0
5	0	1	0	1	13	1	1	0	1
6	0	1	1	0	14	1	1	1	0
7	0	1	1	1	15	1	1	1	1

**Tabel 4/5.1-1:** De waarheidstabel (telvolgorde) van een 4-bit teller (figuur 4/5.1-1).

'modulo-16 teller' genoemd. De modulus van een teller is dus het aantal verschillende toestanden dat de teller kan bevatten. De term 'modulo' wordt soms afgekort tot 'mod' (: mod-16 teller).

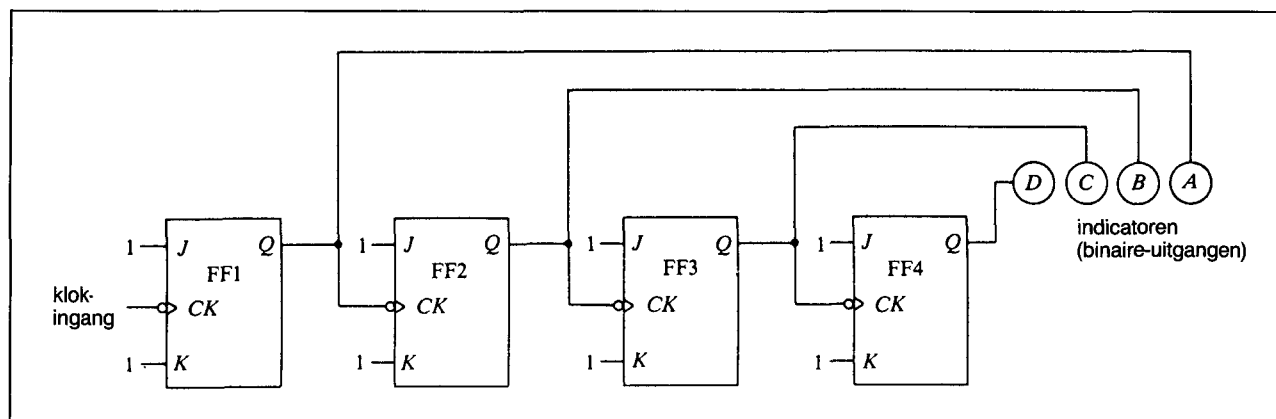
**Asynchrone tellers**

In figuur 4/5.1-1 is te zien hoe een modulo-16 teller uit vier JK flip-flop's kan worden opgebouwd. We kunnen dus ook spreken van een 4-bit teller. We zien hier dat alle J en K ingangen aan logisch 1 liggen, hetgeen betekent dat de flip-flop's in de 'toggle-mode' staan. Elke klokpuls brengt de flip-flop dan in een tegengestelde toestand (werkt als 2-deler). Verder is te zien dat de Q-uitgang van elke flip-flop telkens met de klokingang CK van de volgende flip-flop is verbonden. In de rechter bovenhoek zijn vier indicatoren (LED's of lampjes) geplaatst om de stand van de teller te kunnen bijhouden. Indicator A is dan het LSB (Least Significant Bit = minst belangrijke bit), terwijl D het MSB (Most Significant Bit) is.

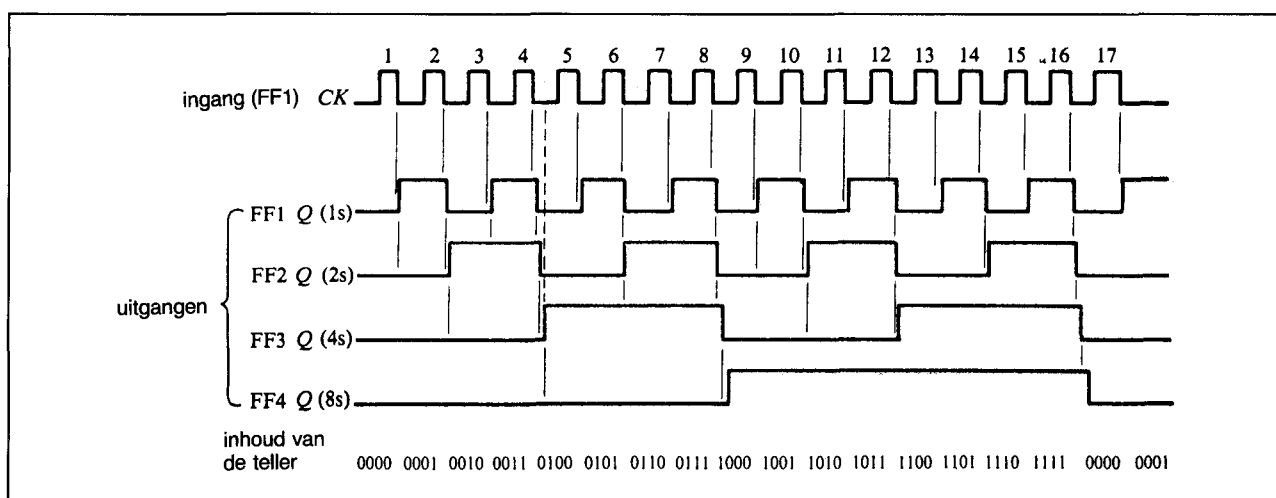
Deze modulo-16 teller telt op de manier zoals die in tabel 4/5.1-1 is aangegeven. Omdat de teller na 16 klokpulsen weer op dezelfde waarde terugkomt, wordt dit ook wel een **16-deler** genoemd.

In figuur 4/5.1-2 zijn de golfvormen van de uitgangen als gevolg van de klokpulsen te zien. Dit wordt het 'tijd-diagram' genoemd. De bovenste regel stelt de klokpulsen op de CK-ingang van FF1 (flip-flop 1) voor. De vier hieronder gelegen regels laten de toestanden aan de uitgangen van de flip-flop's zien. We zien dat geheel links de teller op nul staat

## 5.1 Achtergrond-informatie



**Figuur 4/5.1-1:** Een 4-bit asynchrone (ripple-) teller, opgebouwd uit JK flip-flop's.



**Figuur 4/5.1-2:** Het bij de 4-bit asynchrone teller behorende tijddiagram met de optredende golfvormen.

('gecleared' of 'gereset tot 0000'). Na elke klokpuls zal de inhoud van de teller met 1 worden verhoogd, zoals in het tijddiagram te zien is (van links naar rechts).

Het cirkeltje aan de CK-ingang van elke flip-flop betekent dat de schakeling van stand verandert op de HOOG-naar-LAAG overgang (dalende flank) van de klokpuls. Op de dalende flank van klokpuls 1 verandert FF1 van stand zodat zijn uitgang Q van LAAG naar HOOG gaat. De binaire inhoud van de teller is nu 0001. Vervolgens gaan we een plaats naar rechts, naar klokpuls 2. De dalende flank hiervan laat FF1 weer van stand veranderen. Omdat de CK-ingang van FF2 met de Q van FF1 is verbonden zal de HOOG-

naar-LAAG overgang van FF1 Q ervoor zorgen dat FF2 nu ook van stand verandert. FF2 Q gaat dus van LAAG naar HOOG, zodat na de 2e klokpuls de teller op 0010 staat. Op de dalende flank van klokpuls 3 gaat de Q-uitgang van FF1 weer van LAAG naar HOOG en is de binaire inhoud van de teller nu 0011 geworden. Op de dalende flank van de 4e klokpuls gaan zowel FF1 als FF2 van HOOG naar LAAG en verandert FF3 nu van LAAG-naar-HOOG. De binaire telling wordt daardoor dus 0100.

In figuur 4/5.1-2 is na de 4e klokpuls een gestippelde lijn getrokken, waarmee wordt aangegeven dat er een zekere tijd verstrijkt

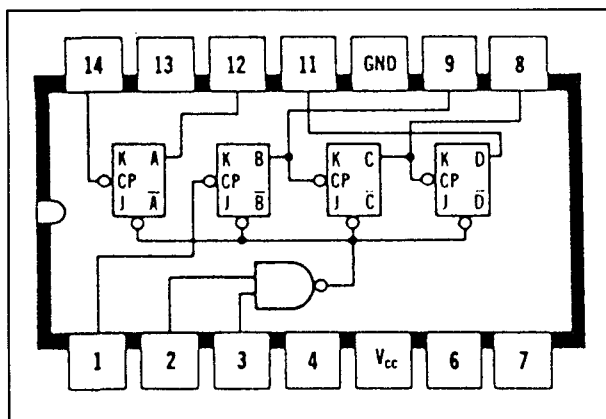


### 5.1 Achtergrond-informatie

voordat FF3 werkelijk van stand verandert. In deze teller gaat namelijk eerst FF1 om, waardoor FF2 omgaat, waardoor tenslotte FF3 omgaat. De veranderingen lopen dus trapsgewijs van de ene flip-flop naar de andere en telkens wordt wat tijd verloren. Dit type teller wordt daarom een 'ripple' teller genoemd. Om dezelfde reden heet deze teller ook wel **asynchrone teller**, aangezien niet alle flip-flop's gelijke tred houden met de klokpuls.

Wanneer in figuur 4/5.1-2 nog verder naar rechts wordt gegaan zien we dat op de dalende flank van de 16e klokpuls alle uitgangen beurtelings van HOOG naar LAAG gaan, zodat de teller weer op 0000 komt. Aangezien de klok daarna nog steeds blijft doorlopen, stopt de teller dus niet op de maximale waarde, maar gaat net zo lang door als er klokpulsen zijn.

In figuur 4/5.1-3 is de van ouds bekende (en nog steeds gebruikte) 4-bit binaire teller 7493 te zien. Deze teller is opgebouwd uit vier flip-flop's, waarvan één apart en drie gekoppeld, zodat niet alleen door 16 maar ook door 8 (en 2) gedeeld kan worden. Om als modulo-16 teller te kunnen werken moet de A-uitgang op de B-ingang worden aangesloten. In figuur 4/5.1-4 zijn de bijbehorende waarheidstabellen opgenomen, terwijl het tijddiagram van figuur 4/5.1-2 ook voor deze teller geldt (alle regels voor de 16-deler en



Figuur 4/5.1-3: De 4-bit asynchrone teller 7493.

MODE 1 (DIVIDE-BY-16)				MODE 2 (DIVIDE-BY-8)		
D	C	B	A	B	C	D
0	0	0	0	0	0	0
0	0	0	1	1	0	0
0	0	1	0	0	1	0
0	0	1	1	1	1	0
0	1	0	0	0	0	1
0	1	0	1	1	0	1
0	1	1	0	0	1	1
0	1	1	1	1	1	1
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			
1	1	1	1			

Figuur 4/5.1-4: De bij de 7493 behorende waarheidstabellen.

met weglaten van de onderste regel voor de 8-deler).

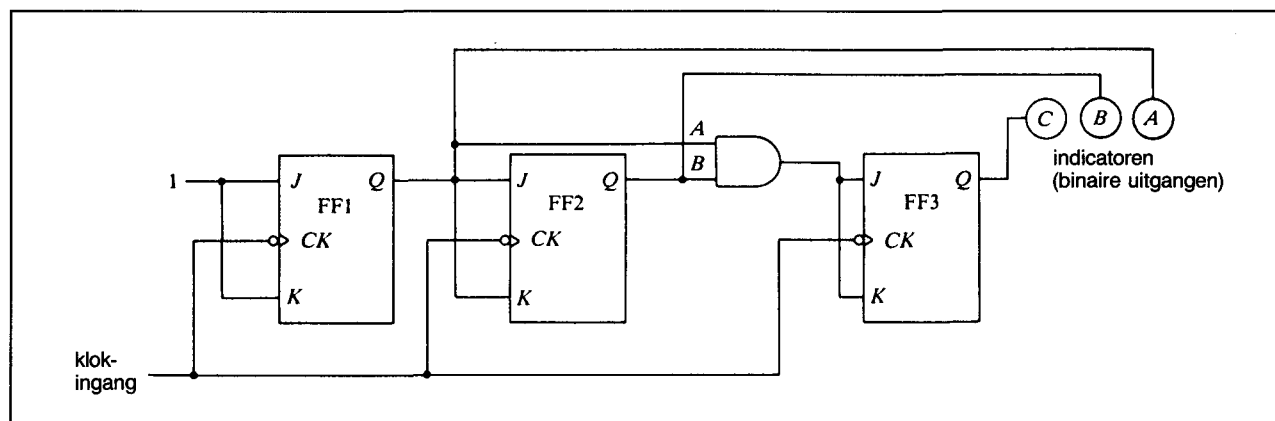
### Synchrone tellers

Om het probleem van niet-gelijktijdige triggering van alle gebruikte flip-flop's te vermijden, kunnen 'parallele' of 'synchrone' tellers worden gebruikt. Het voordeel hiervan is dat met deze tellers iedere willekeurige binaire volgorde van iedere willekeurige lengte zonder lange vertragingen van de klokpuls kan worden gemaakt. Aangezien alle geheugen-elementen op hetzelfde moment van toestand veranderen, zullen aan de uitgangen geen decodeer'spikes' optreden. Voor deze tellers zijn echter meer componenten nodig dan voor andere typen en het ontwerpen is moeilijker indien de cyclustijd niet een macht van twee is.

In figuur 4/5.1-5 is bijvoorbeeld te zien hoe een 3-bit synchrone teller kan worden opgebouwd. Wat direct opvalt is dat alle CK-ingangen met de klok zijn verbonden (zij zijn **parallel** geschakeld). Merk ook op dat JK flip-flop's worden gebruikt.

FF1 telt de eenheden (1-en) en bevindt zich altijd in de toggle-mode. De J en K ingangen van FF2 zijn aangesloten op de uitgang van

## 5.1 Achtergrond-informatie



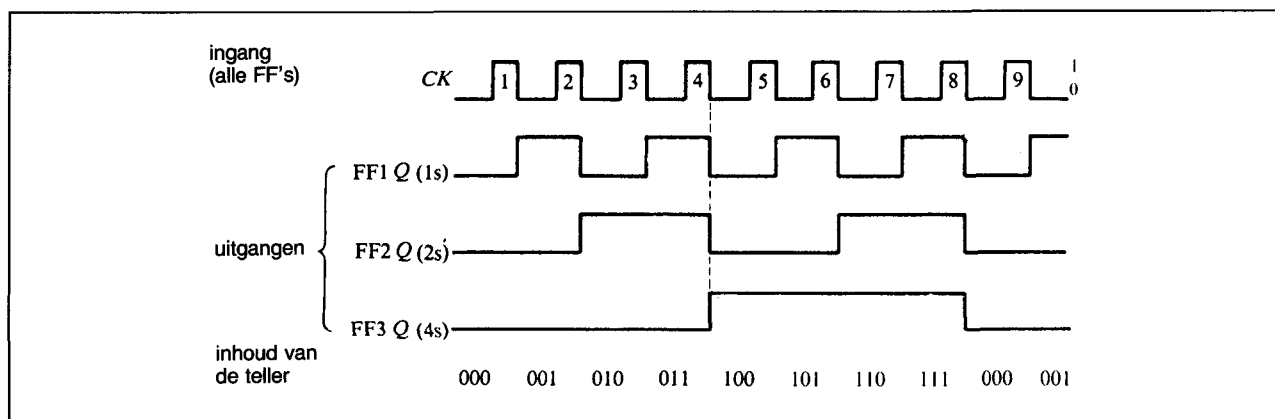
Figuur 4/5.1-5: Een 3-bit synchrone (parallele) teller.

FF1, waardoor FF2 zich in de houd- of toggle-mode bevindt (bij  $Q_{FF1} = \text{LAAG}$  respectievelijk  $\text{HOOG}$ ). De uitgangen van FF1 en FF2 gaan bovendien naar een AND-poort die op zijn beurt de bedrijfsmode van FF3 bepaalt. Wanneer beide ingangen van de AND-poort  $\text{HOOG}$  zijn bevindt FF3 zich in de toggle-mode. Met FF2 worden de 2-en geteld en met FF3 de 4-en. De telvolgorde van deze 3-bit teller (of modulo-8 teller) is te zien in tabel 4/5.1-2. De teller telt van binair 000 tot 111, waarna opnieuw bij 000 wordt begonnen.

Figuur 4/5.1-6 stelt het tijddiagram van de teller voor. De bovenste regel hierin is het kloksignaal dat tegelijk naar alle flip-flop's wordt gebracht. De drie volgende regels zijn de achtereenvolgende Q-uitgangen, terwijl

Decimal count	Binary count		
	4s	2s	1s
	C	B	A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Tabel 4/5.1-2: De waarheidstabel van een 3-bit teller (figuur 4/5.1-5).



Figuur 4/5.1-6: Het bij de 3-bit synchrone teller behorende tijddiagram met de optredende golfvormen.

### 5.1 Achtergrond-informatie

de onderste regel de inhouden van de teller weergeeft.

Op de dalende flank van klokpuls 1 gaat de uitgang van FF1 van LAAG naar HOOG. FF2 en FF3 veranderen niet van stand, aangezien deze in de houd-mode staan ( $J$  en  $K = 0$ ). De inhoud van de teller is nu 001. Ook klokpuls 2 komt op alle flip-flop's tegelijk terecht. Nu gaan FF1 en FF2 beide om, omdat die in de toggle-mode staan ( $J$  en  $K = 1$ ). FF1 gaat dus van HOOG naar LAAG en FF2 gaat van LAAG naar HOOG. FF3 staat nog steeds in de houd-mode, zodat de stand van de teller 010 is. Op klokpuls 3 gaat alleen FF1 om, maar op klokpuls 4 is de AND-poort geactiveerd en gaan alle flip-flop's om: teller = 100. Ook nu is op de achterflank van klokpuls 4 een gestippelde lijn getrokken. Er is nu geen extra vertraging door FF1 en FF3 omdat alle flip-flop's op precies hetzelfde tijdstip geklokt worden. De teller werkt dus **synchron**.

#### Op- en neertellers

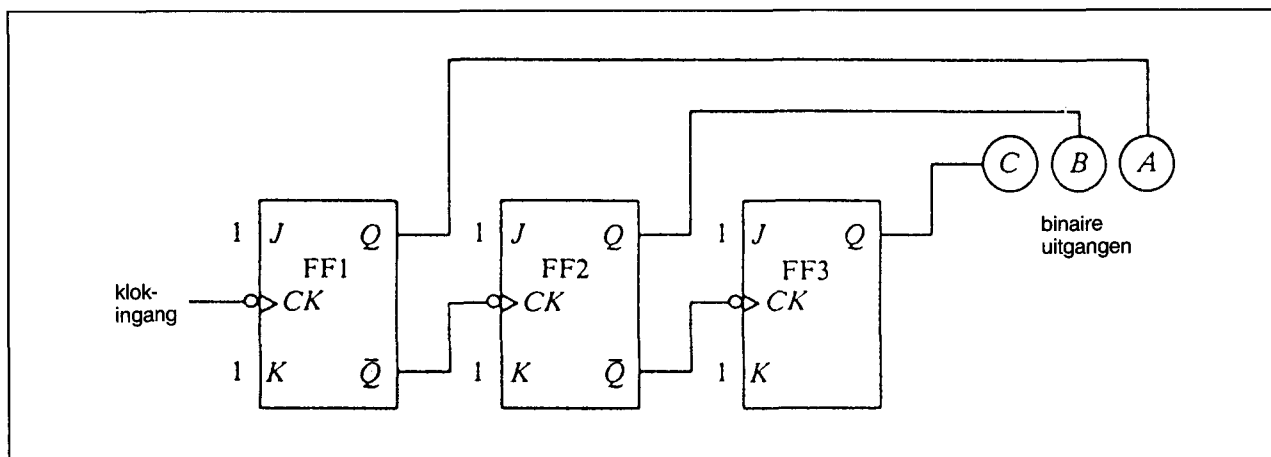
Tot nu toe zijn alleen **optellers** behandeld. In de praktijk komt het echter steeds vaker voor dat tellers vanuit een bepaalde beginstand moeten neertellen naar nul of zelfs dat zowel op- als neerwaarts moet worden geteld.

Laten we beginnen met een **asynchrone neerteller**. In figuur 4/5.1-7 is een 3-bit

(modulo-8) asynchrone neerteller te zien die grote overeenkomst vertoont met de opteller van figuur 4/5.1-1. Elke flip-flop staat in de toggle-mode, aangezien alle  $J$ 's en  $K$ 's aan logisch 1 liggen. In dit geval is de CK-ingang van FF2 echter aangesloten op de  $\bar{Q}$ -uitgang van FF1 en die van FF3 op de  $\bar{Q}$ -uitgang van FF2.

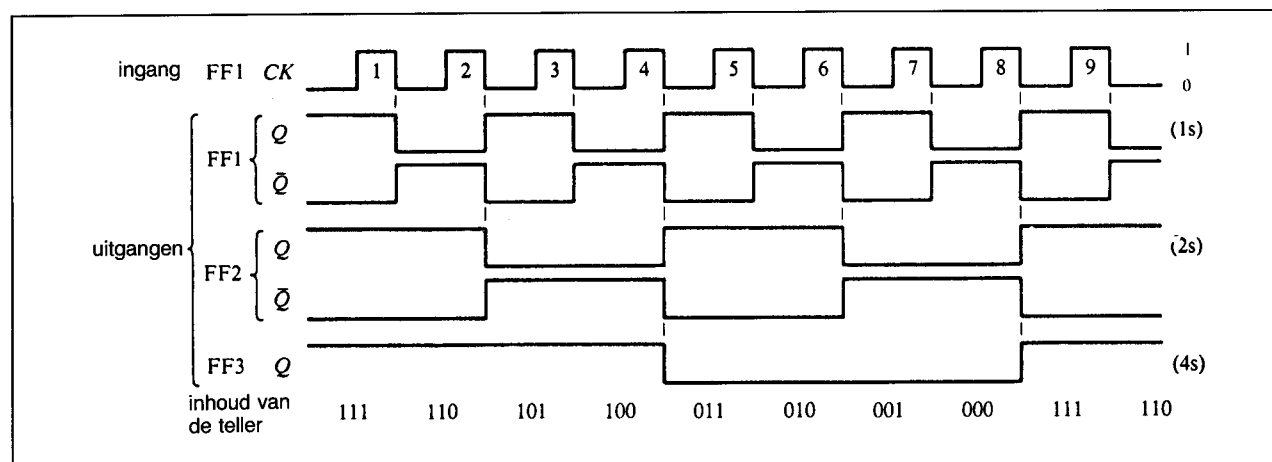
In figuur 4/5.1-8 zijn weer de bij de teller optredende golfvormen te zien. Op de bovenste regel staan de klokpulsen die naar de CK-ingang van FF1 gaan en op de onderste regel wordt telkens de inhoud van de teller vermeld. Voor het gemak zijn van FF1 en FF2 zowel de  $Q$ - als de  $\bar{Q}$ -uitgangen te zien. We zien nu (van links naar rechts) dat de teller in de stand 111 begint. Na de 1e klokpuls is alleen FF1 omgegaan, zodat de stand dan 110 is. Na de 2e klokpuls zijn FF1 en FF2 van stand veranderd, zodat de teller dan 101 aangeeft. Op deze wijze wordt dus geteld van 111 naar 000.

Een volgende logische stap is een teller die naar keuze op- of neer kan tellen. In figuur 4/5.1-9 is te zien hoe een 4-bit **asynchrone of/neer-teller** uit JK flip-flop's en EXOR-poorten kan worden gebouwd. De in dit schema gebruikte flip-flop's moeten master-slave typen met 'data-lockout', edge-triggered JK-typen of T-typen zijn. Wanneer de telrichting wordt omgeschakeld, worden

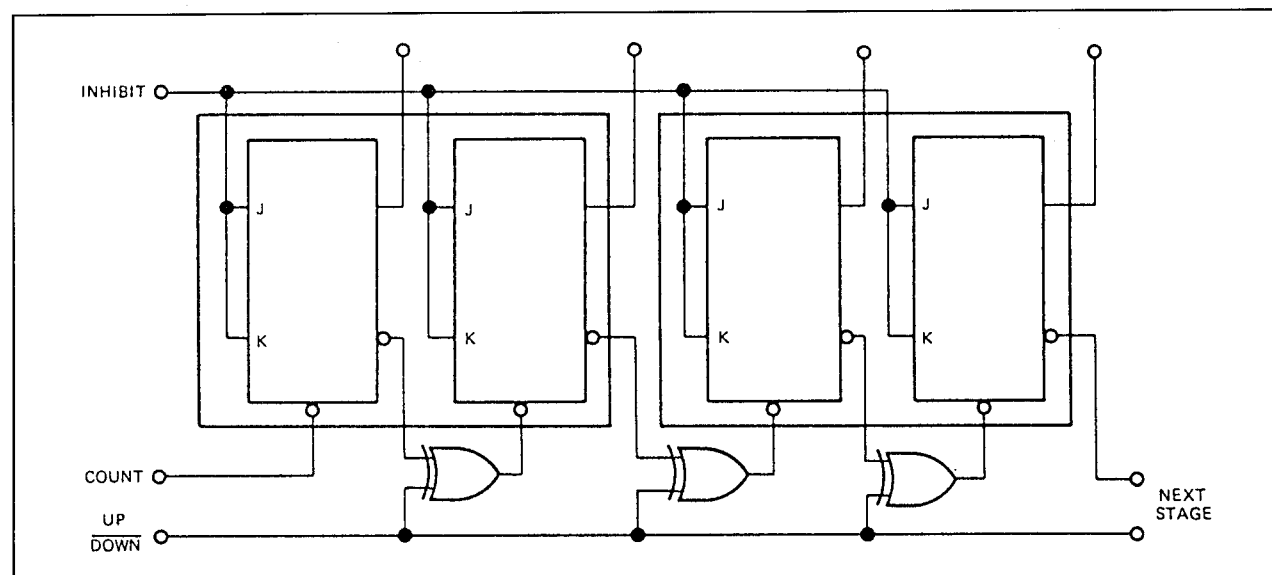


Figuur 4/5.1-7: Een 3-bit asynchrone (ripple) neerteller.

## 5.1 Achtergrond-informatie



Figuur 4/5.1-8: De in de 3-bit asynchrone neerteller optredende golfvormen.



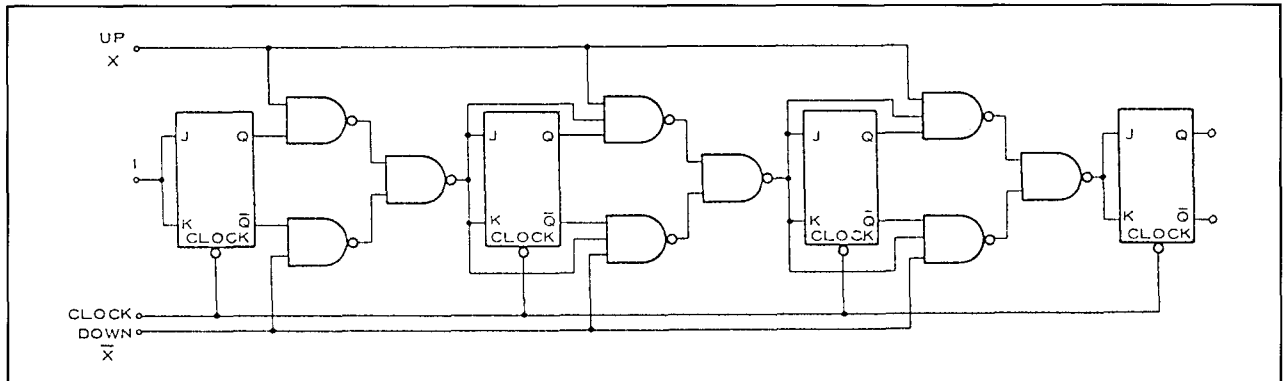
Figuur 4/5.1-9: Een 4-bit asynchrone op-/neerteller.

de synchrone ingangen (J-K of T) gesperd (met de inhibit-ingang). De veel gebruikte master-slave flip-flop's 7472, 7473 of 7476 zijn voor deze toepassing ongeschikt, aangezien de data niet kan worden veranderd terwijl de klok-ingang HOOG is. Wanneer de D-type flip-flop 7474 wordt gemodificeerd tot T-type, is deze wel voor deze toepassing geschikt, terwijl ook het negative-edge triggered type 74112 in aanmerking komt.

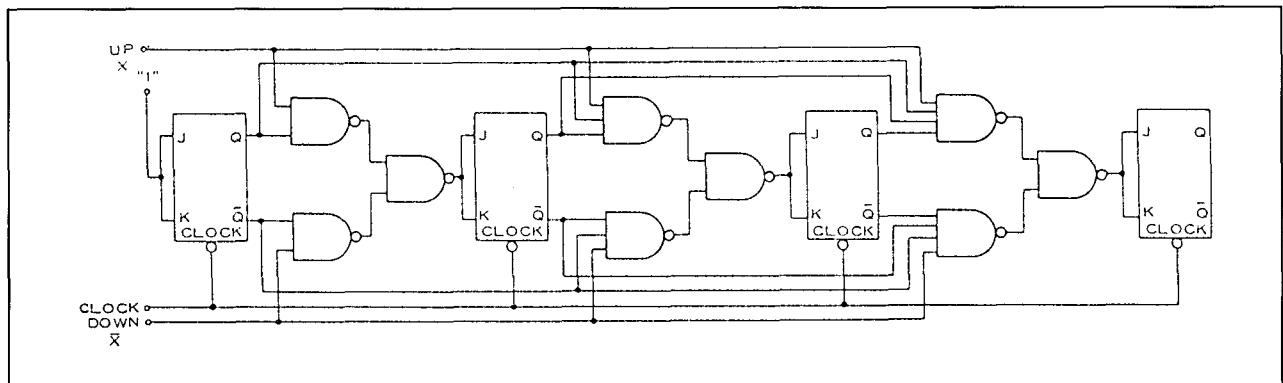
In het voorbeeld van figuur 4/5.1-9 telt de teller op als de up/down-lijn HOOG is en neer als de up/down-lijn LAAG is.

De figuren 4/5.1-10 en -11 laten zien dat **synchrone op/neer-tellers** op twee manieren kunnen worden gebouwd, namelijk met seriële carry of met parallelle carry. In figuur 4/5.1-10 zien we dat telkens het resultaat van de toestand van een flip-flop plus de stand van de op- en neerlijnen wordt doorgegeven aan de daarop volgende flip-flop. Met de oplossing van figuur 4/5.1-11 zijn weliswaar hogere snelheden haalbaar, maar zoals we zien kan de schakeling vooral voor grotere tellers nogal uitvoerig worden. De resultaten van de voorgaande flip-flop's plus de stan-

## 5.1 Achtergrond-informatie



Figuur 4/5.1-10: Een 4-bit synchrone op-/neerteller met seriële carry.



Figuur 4/5.1-11: Een 4-bit synchrone op-/neerteller met parallelle carry.

den van de op/neer-lijnen worden namelijk allemaal doorgegeven aan volgende flip-flop's die daardoor steeds meer ingangen moeten hebben. In tabel 4/5.1-3 is de waarheidstabel voor een 4-bit synchrone op/neerteller weergegeven.

DECIMAL	PRESENT STATE				$X = 1$				$X = 0$			
	A	B	C	D	A	B	C	D	A	B	C	D
0	0	0	0	0	1	0	0	0	1	0	0	0
1	0	0	0	1	0	1	0	0	0	1	0	0
2	0	0	1	0	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	0	1	0	0	0	1
4	0	1	0	0	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1	0	1	1	1
8	1	0	0	0	1	0	0	0	1	0	0	0
9	1	0	0	1	1	0	0	1	1	0	0	1
10	1	0	1	0	1	0	1	0	1	0	1	0
11	1	0	1	1	1	0	1	1	1	0	1	1
12	1	1	0	0	1	1	0	0	1	1	0	0
13	1	1	0	1	1	1	0	1	1	1	0	1
14	1	1	1	0	1	1	1	0	1	1	1	0
15	1	1	1	1	0	1	1	1	0	1	1	1

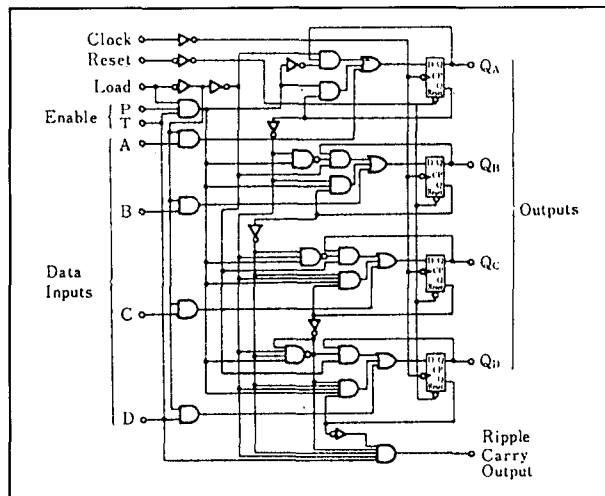
$X = 1$  (COUNT UP)  
 $X = 0$  (COUNT DOWN)

Tabel 4/5.1-3: De waarheidstabel van een synchrone 4-bit op-/neerteller (figuur 4/5.1-9).

## Parallel laden

Sommige tellers hebben nog een andere handige eigenschap: ze kunnen parallel geladen worden. Met een 'load'-signaal wordt dan een binaire waarde in de teller geladen, waar vandaan de teller verder op- en neertelt. In figuur 4/5.1-12 is het vereenvoudigde blokschema van de populaire synchrone 4-bit teller 74LS161 te zien, met in figuur 4/5.1-13 het bijbehorende tijddiagram. We zien hierin dat tellen en laden synchroon gebeurt (met een bijbehorende klokpuls). De clear is asynchroon. Wanneer Load LAAG is, wordt de op de ingangen A, B, C en D aanwezige informatie op de positieve flank van een klokpuls in de teller geladen (ongeacht de Enable-signalen). Wordt Load HOOG (met een of beide Enable-ingangen LAAG) dan blijft de inhoud van de teller onveranderd (onafhankelijk van de klokpulsen). Zijn tenslotte

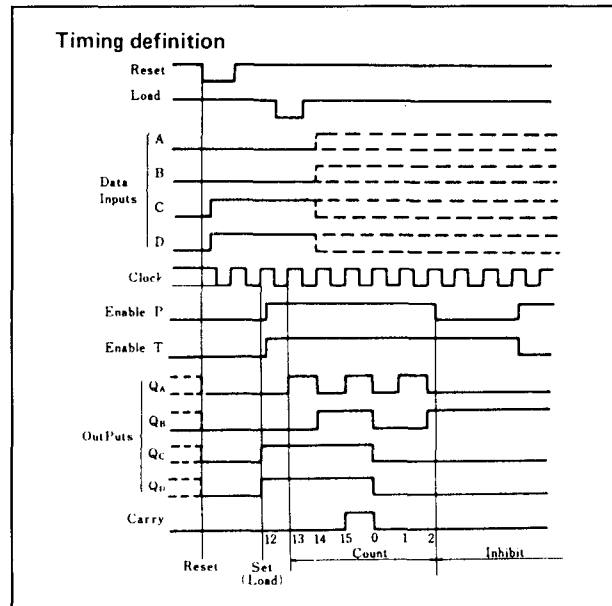
## 5.1 Achtergrond-informatie



**Figuur 4/5.1-12:** Het blokschema van een 74LS161 4-bit synchrone (op)teller die parallel geladen kan worden.

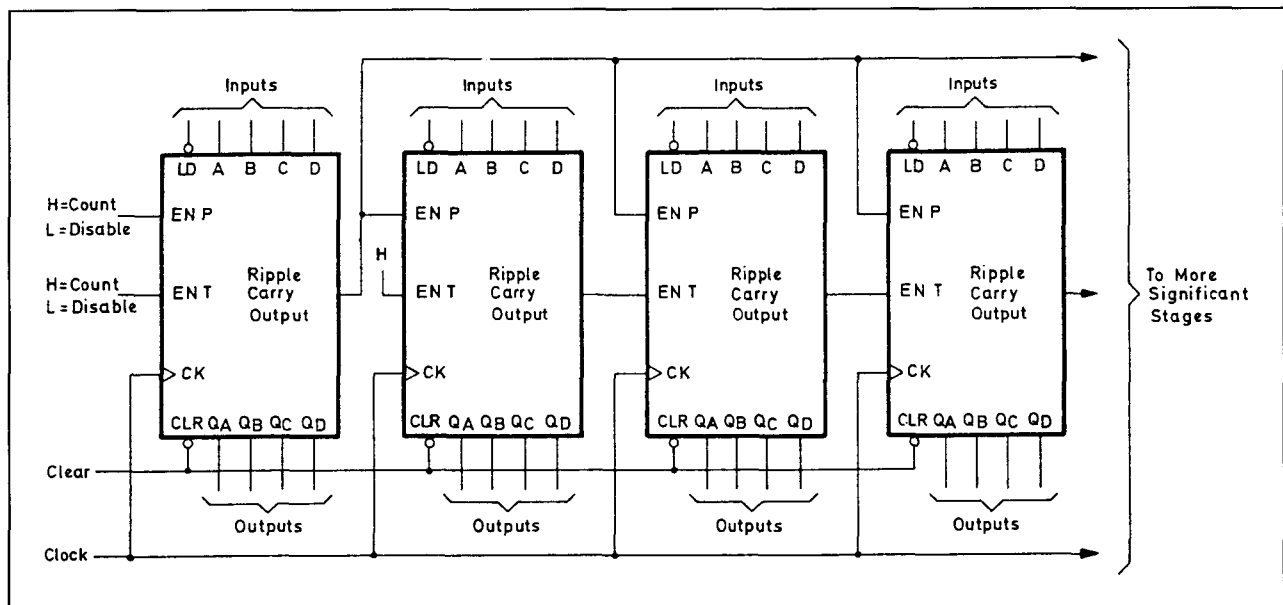
zowel Load als Enable HOOG, dan wordt de inhoud van de teller op elke klokpuls met één verhoogd.

In figuur 4/5.1-14 is tenslotte te zien hoe een synchrone n-bit teller uit meerdere exempla-



**Figuur 4/5.1-13:** Het bij de 74LS161 behorende tijd-diagram.

ren van de 74LS161 kan worden samengesteld door gebruik te maken van de Ripple Carry-signalen en de Enable-ingangen.



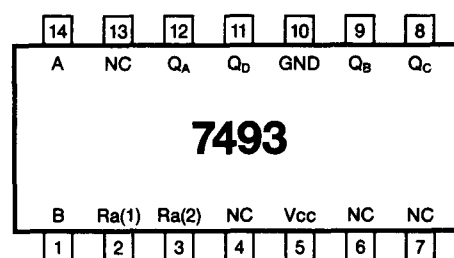
**Figuur 4/5.1-14:** Serieschakeling van meerdere 74LS161's.

## 4/5.2

Binaire tellers  
74xx-serie TTL en HC

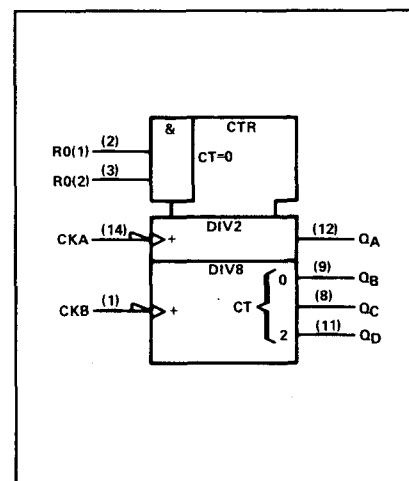
## 7493

## 4-bit binaire teller



Figuur 4/5-93.

LOGICA	TTL <sup>1)</sup>	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	26	5.5			9			0.05 <sup>3)</sup>		mA
I <sub>os</sub>	-18 -57	-3 -15			-20 -100					mA
T <sub>plh</sub> <sup>2)</sup>	46	210			46			600		ns
T <sub>phl</sub> <sup>2)</sup>	46	230			46			600		ns
f <sub>max</sub>	42	15			42			2		MHz

1) 7493 A 2) A to Q<sub>D</sub> 3)  $\mu$ A

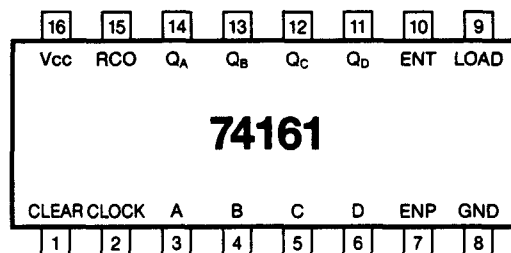
COUNT	OUTPUT			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Q<sub>A</sub> is verbonden met B

RESET INPUTS		OUTPUT			
R <sub>0</sub> (1)	R <sub>0</sub> (2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

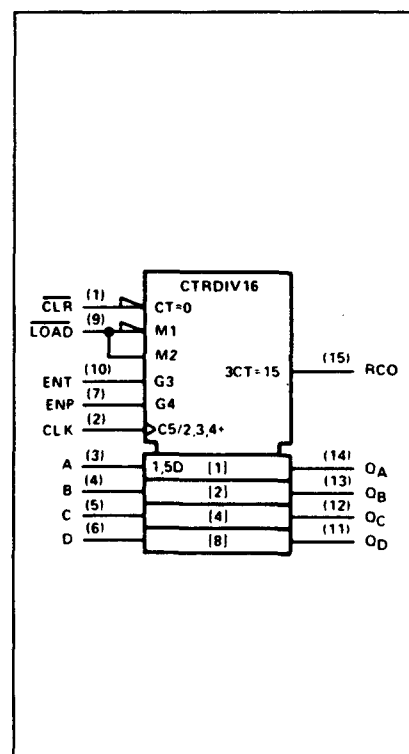
## 74161

synchrone binaire teller  
met directe clear



Figuur 4/5-161.

LOGICA	TTL	L	F <sup>8)</sup>	S	LS <sup>1)</sup>	AS	ALS <sup>2)</sup>	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	H L	59 63	50 -50		18 19	35	12	0.05 <sup>8)</sup>	80 <sup>8)</sup>	mA
I <sub>os</sub>		-18 -57	-60 -150		-20 -100	-30 -112	-30 -112			mA
T <sub>plh</sub> <sup>3)</sup>		13	5.5		13	1 7	4 15	250	25	ns
T <sub>phl</sub> <sup>3)</sup>		15	7.5		18	2 13	6 20	250	25	ns
T <sub>plh</sub> <sup>4)</sup>		23	5.0 14		32	1 <sup>6)</sup> 8 <sup>6)</sup> 3 16.5	5 20	290	24	ns
T <sub>phl</sub> <sup>4)</sup>		23	5.0 14		20	2 12.5	5 20	290	24	ns
T <sub>plh</sub> <sup>5)</sup>		17	6.0		18	1 7	4 15	250	25	ns
T <sub>phl</sub> <sup>5)</sup>		19	6.0		13	2 13	6 20	250	25	ns
f-max		32	100		32	75	40	3	21	MHz



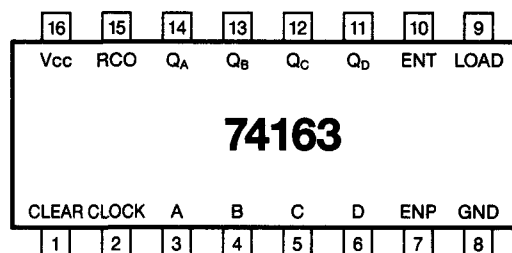
1) 74 LS 161 A 2) 74 ALS 161 B 3) Clock high to Q 4) Clock to Ripple carry  
5) Clock low to Q 6) Load high / low 7)  $\mu A$  8) 74 F 161 A



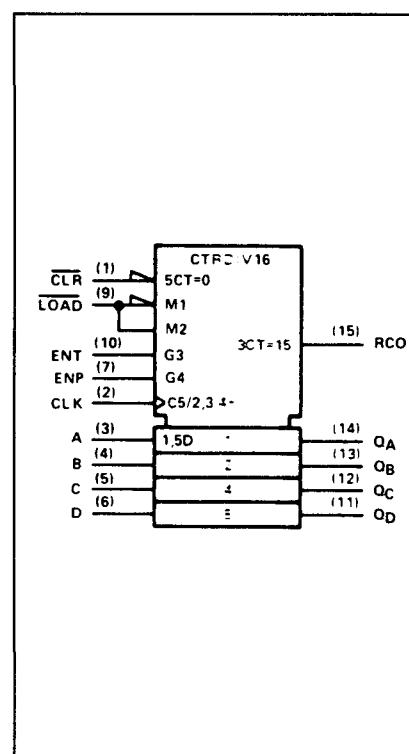
## 74163

synchrone binaire teller  
met synchrone clear

Figuur 4/5-163.



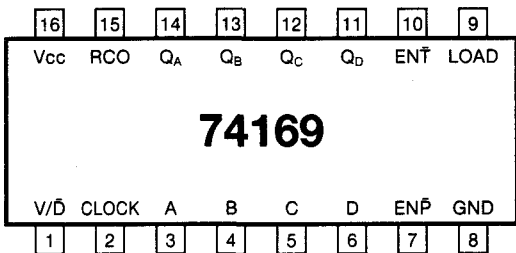
LOGICA	TTL	L	F <sup>8)</sup>	S	LS <sup>1)</sup>	AS	ALS <sup>2)</sup>	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub> H	59		50	95	18	35	12	0.05 <sup>7)</sup>	80 <sup>7)</sup>	mA
I <sub>cc</sub> L	63		-50		19					
I <sub>os</sub>	-18		-60	-40	-20	-30	-30			mA
	-57		-150	-100	-100	-112	-112			
T <sub>plh</sub> <sup>3)</sup>	13		5.5	8	13	1	4	250	25	ns
						7	15			
T <sub>phl</sub> <sup>3)</sup>	15		7.5	10	18	2	6	250	25	ns
						13	20			
T <sub>plh</sub> <sup>4)</sup>	23		5.0	14	20	1	3	290	24	ns
			14			8	16.5			
T <sub>phl</sub> <sup>4)</sup>	23		5.0	17	18	2	5	290	24	ns
			14			12.5	20			
T <sub>plh</sub> <sup>5)</sup>	17		6.0	8	13	1	4	250	25	ns
						7	15			
T <sub>phl</sub> <sup>5)</sup>	19		6.0	10	18	2	6	250	25	ns
						13	20			
f <sub>max</sub>	32		100	70	32	75	40	3	40	MHz



1) 74 LS 163 A 2) 74 ALS 163 B 3) Clock high to Q 4) Clock to Ripple Carry  
5) Clock low to Q 6) Load high/low 7)  $\mu$ A 8) 74 F 163 A

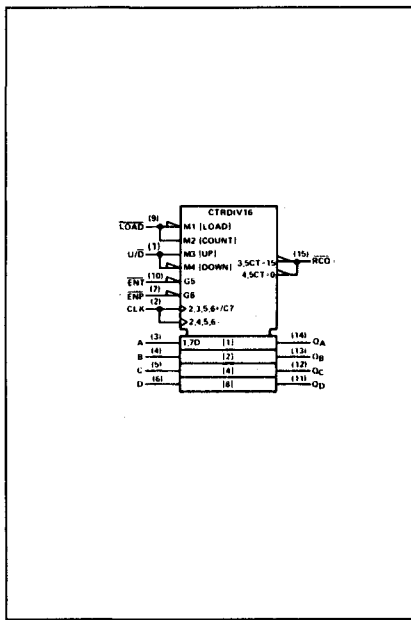
**74169**

## synchrone op/neer binaire teller



**Figuur 4/5-169.**

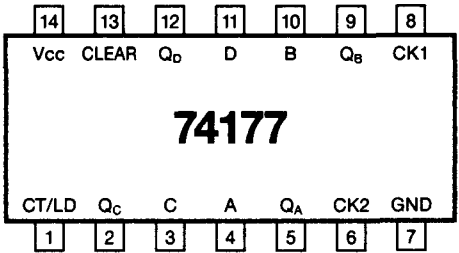
LOGICA	TTL	L	F	S	LS <sup>1)</sup>	AS	ALS <sup>2)</sup>	C	HC	
										Eenheid
ICC			50	100	28	41	15			mA
IOS			-60 -150	-40 -100	-20 -100	-30 -112	-30 -112			mA
T <sub>PLH</sub> <sup>3)</sup>			120	14	26	3 16.5	3 20			ns
T <sub>PHL</sub> <sup>3)</sup>			8.5	20	17	2 13	6 20			ns
T <sub>PLH</sub> <sup>4)</sup>			6.5	8	16	1 7	2 15			ns
T <sub>PHL</sub> <sup>4)</sup>			9.0	11	17	2 13	5 20			ns
down f <sub>max</sub> up			115	55 70	35	75	40			MHz



1) 74 LS 169 B    2) 74 ALS 169 B    3) Clock to Ripple Carry    4) Clock to Q

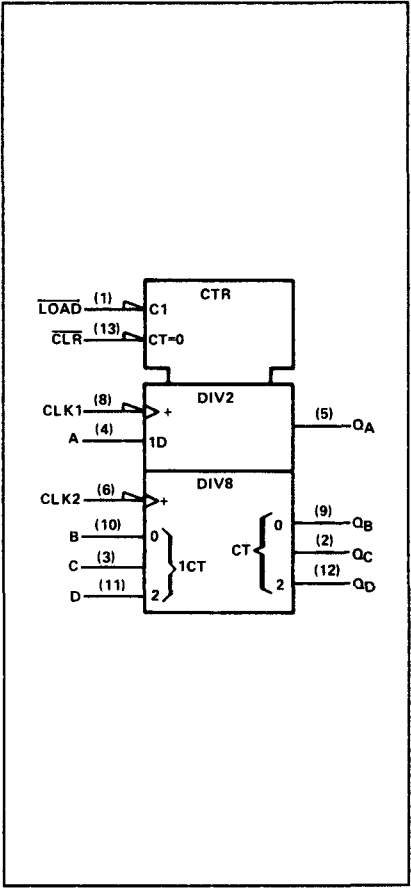
74177

instelbare binaire teller



Figuur 4/5-177.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	30									mA
Ios	-18 -57									mA
Tplh <sup>1)</sup>	8									ns
Tphl <sup>1)</sup>	11									ns
Tplh <sup>2)</sup>	27									ns
Tphl <sup>2)</sup>	34									ns
Tplh <sup>3)</sup>	19									ns
Tphl <sup>3)</sup>	31									ns
Tplh <sup>4)</sup>	29									ns
Tphl <sup>5)</sup>	32									ns
fmax	50									MHz

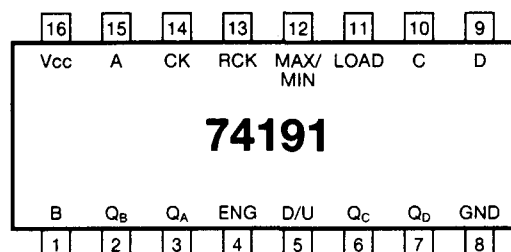


1) Clock 1 to QA 2) Clock 2 to QC 3) A,B,C,D to QA, QB, QC, QD 4) Load to Any Output  
5) Load/Clear to Any Output

COUNT	OUTPUT			
	QD	QC	QB	QA
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

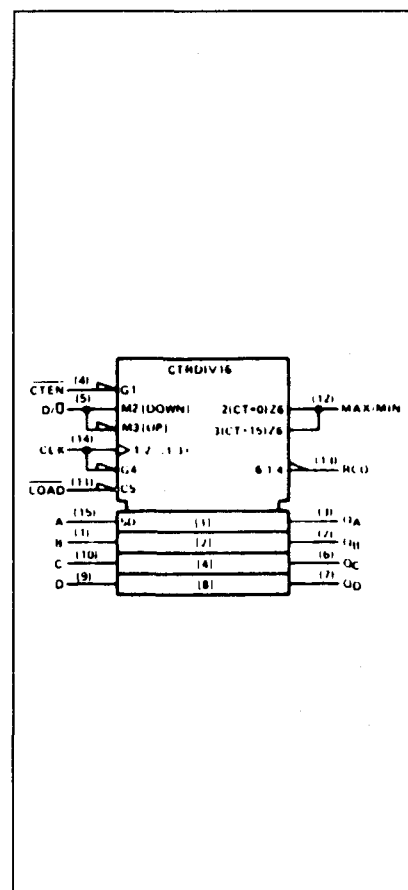
## 74191

synchrone op/neer  
binaire teller



Figuur 4/5-191.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	65		38		20		12		80 <sup>5)</sup>	mA
I <sub>os</sub>	-18 -65		-60 -150		-20 -100		-30 -112			mA
T <sub>plh</sub> <sup>1)</sup>	16		3.0 7.5		16		3 18		31	ns
T <sub>phl</sub> <sup>1)</sup>	24		5.0 11.0		24		3 18		31	ns
T <sub>plh</sub> <sup>2)</sup>	13		3.0 7.5		13		5 20		17	ns
T <sub>phl</sub> <sup>2)</sup>	16		3.0 7.0		16		5 20		17	ns
T <sub>plh</sub> <sup>3)</sup>	28		6.0 13.0		28		8 31		39	ns
T <sub>phl</sub> <sup>3)</sup>	37		5.0 11.0		37		8 31		39	ns
T <sub>plh</sub> <sup>4)</sup>	14		3.0 7.0		20		4 21		36	ns
T <sub>phl</sub> <sup>4)</sup>	35		6.0 13.0		27		4 21		36	ns
f <sub>max</sub>	25		100		25		25		42	MHz

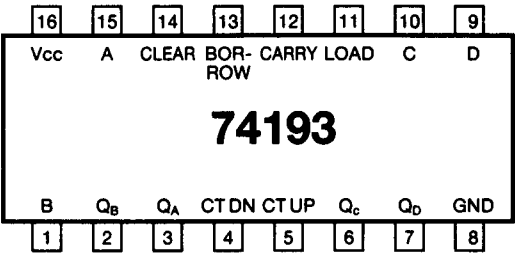


1) Clock to Q<sub>N</sub> 2) Clock to Ripple Clock 3) Clock to Max/Min. 4) D<sub>N</sub> to Q<sub>N</sub> 5) μA

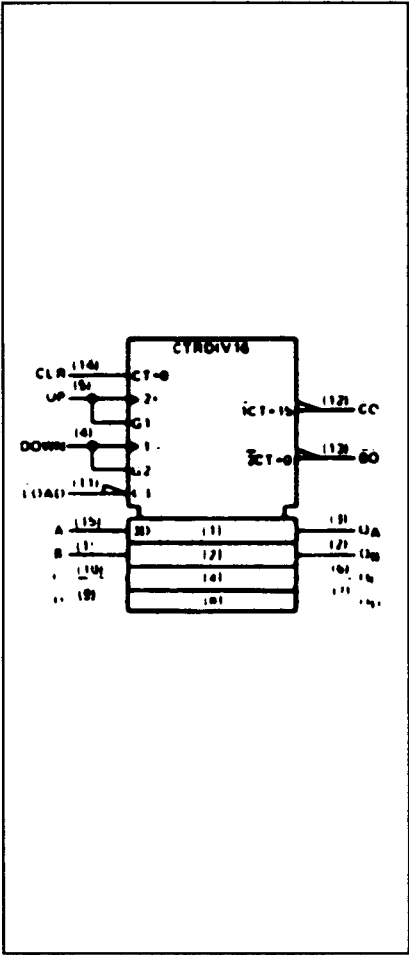
74193

synchrone op/neer binaire teller  
met clear en aparte klok-ingangen

Figuur 4/5-193.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABLE PARAMETERS									Eenheid
I <sub>cc</sub>	65	5.5	30		19		12	0.05	80 <sup>6)</sup>	mA
I <sub>os</sub>	-18 -65	-3 -15	-60 -150		-20 -100		-30 -112			mA
T <sub>plh</sub> <sup>1)</sup>	17	30	7.0		17		4 16	120	24	ns
T <sub>phl</sub> <sup>1)</sup>	16	60	6.0		18		5 18	120	24	ns
T <sub>plh</sub> <sup>2)</sup>	16	30	7.0		16		4 16	120	24	ns
T <sub>phl</sub> <sup>2)</sup>	16	50	6.0		15		5 18	120	24	ns
T <sub>plh</sub> <sup>3)</sup>	25	45	6.5		27		4 19	250	40	ns
T <sub>phl</sub> <sup>3)</sup>	31	75	9.5		30		4 17	250	40	ns
T <sub>plh</sub> <sup>4)</sup>	27	55	8.5		24		8 30	300	40	ns
T <sub>phl</sub> <sup>4)</sup>	29	105	10		25		8 28	300	40	ns
T <sub>plh</sub> <sup>5)</sup>	22	95	11		23		5 17		36	ns
f <sub>max</sub>	32	8	125		32		30	4	55	MHz

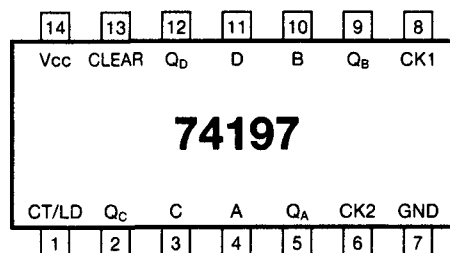


1) Count-up to Carry 2) Count-down to borrow 3) Count to Q 4) Load to Q 5) Clear to Q  
6)  $\mu A$

## 74197

## instelbare binaire teller

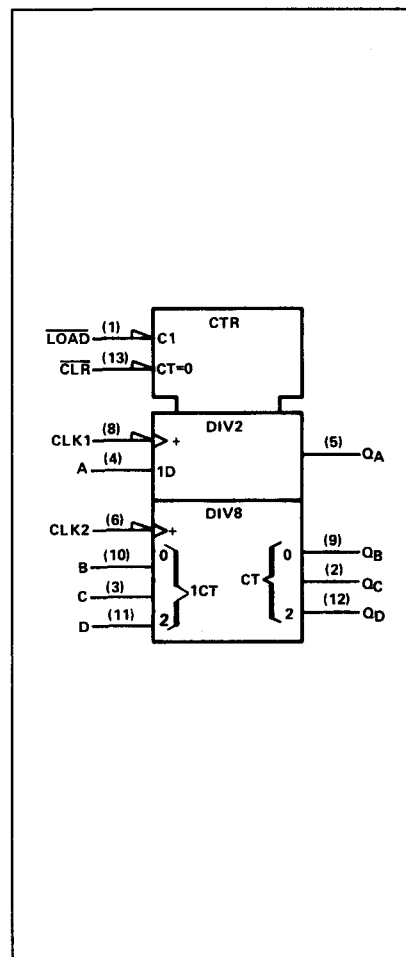
Figuur 4/5-197.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	48			75	16					mA
I <sub>os</sub>	-18 -57			-30 -110	-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>	7			5	8					ns
T <sub>phl</sub> <sup>1)</sup>	10			6.0	14					ns
T <sub>plh</sub> <sup>2)</sup>	24			12	34					ns
T <sub>phl</sub> <sup>2)</sup>	28			15	42					ns
T <sub>plh</sub> <sup>3)</sup>	16			7	18					ns
T <sub>phl</sub> <sup>3)</sup>	25			12	29					ns
T <sub>plh</sub> <sup>4)</sup>	22			10	26					ns
T <sub>phl</sub> <sup>4)</sup>	24			12	30					ns
T <sub>phl</sub> <sup>5)</sup>	25			26	34					ns
f <sub>max</sub>	70			140	40					MHz

1) Clock1 to Q<sub>A</sub> 2) Clock2 to Q<sub>C</sub> 3) D<sub>N</sub> to Q<sub>N</sub> 4) Load to Any Output

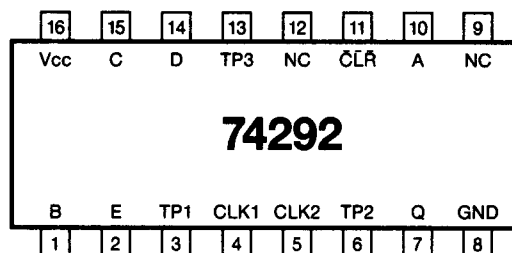
5) Clear to Any Output



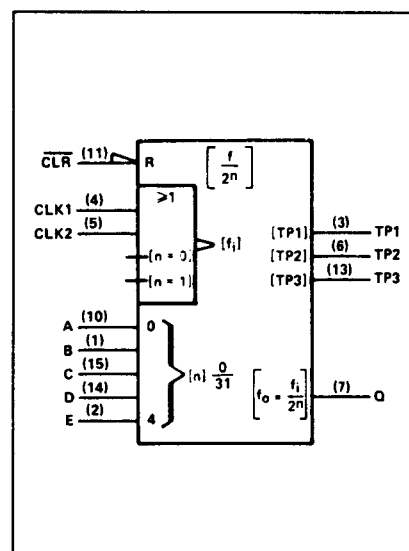
## 74292

programmeerbare frequentie-  
deler,  $2^2$  t/m  $2^{31}$

Figuur 4/5-292.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Een- heid
I <sub>cc</sub>					40					mA
I <sub>os</sub>					-30 -130					mA
T <sub>plh</sub> <sup>1)</sup>					55					ns
T <sub>phl</sub> <sup>1)</sup>					80					ns
T <sub>phl</sub> <sup>2)</sup>					85					ns
f <sub>max</sub>					50					MHz



<sup>1)</sup> Clock 1/2 to Q <sup>2)</sup> Clear to Q

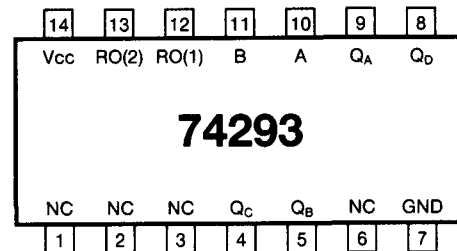
CLEAR	CLK 1	CLK 2	Q OUTPUT MODE
L	X	X	Cleared to L
H	↑	L	Count
H	L	↑	Count
H	H	X	Inhibit
H	X	H	Inhibit

PROGRAMMING INPUTS	FREQUENCY DIVISION							
	Q		TP1		TP2		TP3	
E D C B A	BINARY	DECIMAL	BINARY	DECIMAL	BINARY	DECIMAL	BINARY	DECIMAL
L L L L L	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit
L L L L H	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit
L L L H L	2 <sup>2</sup>	4	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L L L H H	2 <sup>3</sup>	8	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L L H L L	2 <sup>4</sup>	16	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L L H L H	2 <sup>5</sup>	32	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L L H H L	2 <sup>6</sup>	64	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L L H H H	2 <sup>7</sup>	128	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L H L L L	2 <sup>8</sup>	256	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L H L L H	2 <sup>9</sup>	512	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L H L H L	2 <sup>10</sup>	1,024	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L H L H H	2 <sup>11</sup>	2,048	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L H H L L	2 <sup>12</sup>	4,096	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L H H L H	2 <sup>13</sup>	8,192	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
L H H H L	2 <sup>14</sup>	16,384	2 <sup>9</sup>	512	Disabled Low		2 <sup>28</sup>	256
L H H H H	2 <sup>15</sup>	32,768	2 <sup>9</sup>	512	Disabled Low		2 <sup>28</sup>	256
H L L L L	2 <sup>16</sup>	65,536	2 <sup>9</sup>	512	2 <sup>3</sup>	8	2 <sup>10</sup>	1,024
H L L L H	2 <sup>17</sup>	131,072	2 <sup>9</sup>	512	2 <sup>3</sup>	8	2 <sup>10</sup>	1,024
H L L H L	2 <sup>18</sup>	262,144	2 <sup>9</sup>	512	2 <sup>5</sup>	32	2 <sup>12</sup>	4,096
H L L H H	2 <sup>19</sup>	524,288	2 <sup>9</sup>	512	2 <sup>5</sup>	32	2 <sup>12</sup>	4,096
H L H L L	2 <sup>20</sup>	1,048,576	2 <sup>9</sup>	512	2 <sup>7</sup>	128	2 <sup>14</sup>	16,384
H L H L H	2 <sup>21</sup>	2,097,152	2 <sup>9</sup>	512	2 <sup>7</sup>	128	2 <sup>14</sup>	16,384
H L H H L	2 <sup>22</sup>	4,194,304	Disabled Low		2 <sup>9</sup>	512	2 <sup>16</sup>	65,536
H L H H H	2 <sup>23</sup>	8,388,608	Disabled Low		2 <sup>9</sup>	512	2 <sup>16</sup>	65,536
H H L L L	2 <sup>24</sup>	16,777,216	2 <sup>3</sup>	8	2 <sup>11</sup>	2,048	2 <sup>18</sup>	262,144
H H L L H	2 <sup>25</sup>	33,554,432	2 <sup>3</sup>	8	2 <sup>11</sup>	2,048	2 <sup>18</sup>	262,144
H H L H L	2 <sup>26</sup>	67,108,864	2 <sup>5</sup>	32	2 <sup>13</sup>	8,192	2 <sup>20</sup>	1,048,576
H H L H H	2 <sup>27</sup>	134,217,728	2 <sup>5</sup>	32	2 <sup>13</sup>	8,192	2 <sup>20</sup>	1,048,576
H H H L L	2 <sup>28</sup>	268,435,456	2 <sup>7</sup>	128	2 <sup>15</sup>	32,768	2 <sup>22</sup>	4,194,304
H H H L H	2 <sup>29</sup>	536,870,912	2 <sup>7</sup>	128	2 <sup>15</sup>	32,768	2 <sup>22</sup>	4,194,304
H H H H L	2 <sup>30</sup>	1,073,741,824	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216
H H H H H	2 <sup>31</sup>	2,147,483,648	2 <sup>9</sup>	512	2 <sup>17</sup>	131,072	2 <sup>24</sup>	16,777,216

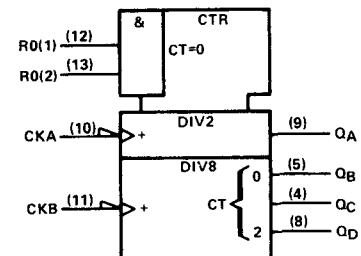
## 74293

## 4-bit binaire teller

Figuur 4/5-293.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	26				9					mA
I <sub>os</sub>	-18 -57				-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>	10				10					ns
T <sub>phl</sub> <sup>1)</sup>	12				12					ns
T <sub>plh</sub> <sup>2)</sup>	46				46					ns
T <sub>phl</sub> <sup>2)</sup>	46				46					ns
T <sub>plh</sub> <sup>3)</sup>	10				10					ns
T <sub>phl</sub> <sup>3)</sup>	14				14					ns
T <sub>plh</sub> <sup>4)</sup>	21				21					ns
T <sub>phl</sub> <sup>4)</sup>	23				23					ns
T <sub>plh</sub> <sup>5)</sup>	34				34					ns
T <sub>phl</sub> <sup>5)</sup>	34				34					ns
f <sub>max</sub>	42				42					MHz



1) A to Q<sub>A</sub> 2) A to Q<sub>D</sub> 3) B to Q<sub>B</sub> 4) B to Q<sub>C</sub> 5) B to Q<sub>D</sub>

COUNT	OUTPUT			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

RESET INPUTS		OUTPUT			
R <sub>0</sub> (1)	R <sub>0</sub> (2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
H	H	L	L	L	L
L	x	COUNT			
x	L	COUNT			

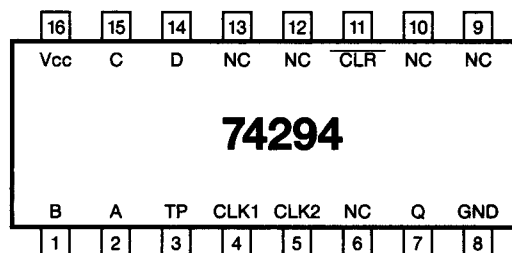
Q<sub>A</sub> is verbonden met B



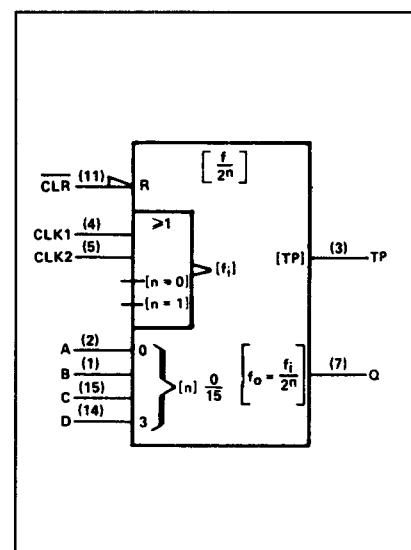
## 74294

programmeerbare frequentiedeler,  
 $2^2$  t/m  $2^{15}$

Figuur 4/5-294.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>					40					mA
I <sub>os</sub>					-30 -130					mA
T <sub>plh</sub> <sup>1)</sup>					55					ns
T <sub>phl</sub> <sup>1)</sup>					80					ns
T <sub>phl</sub> <sup>2)</sup>					85					ns
f <sub>max</sub>					50					MHz



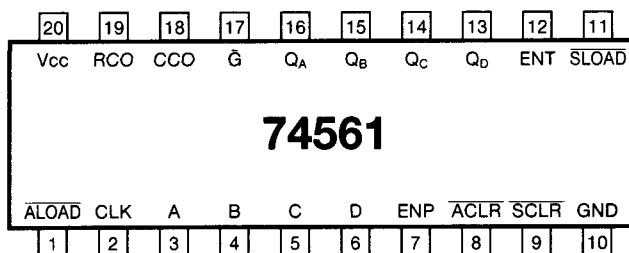
<sup>1)</sup> Clock 1/2 to Q <sup>2)</sup> Clear to Q

CLEAR	CLK 1	CLK 2	Q OUTPUT MODE
L	X	X	Cleared to L
H	↑	L	Count
H	L	↑	Count
H	H	X	Inhibit
H	X	H	Inhibit

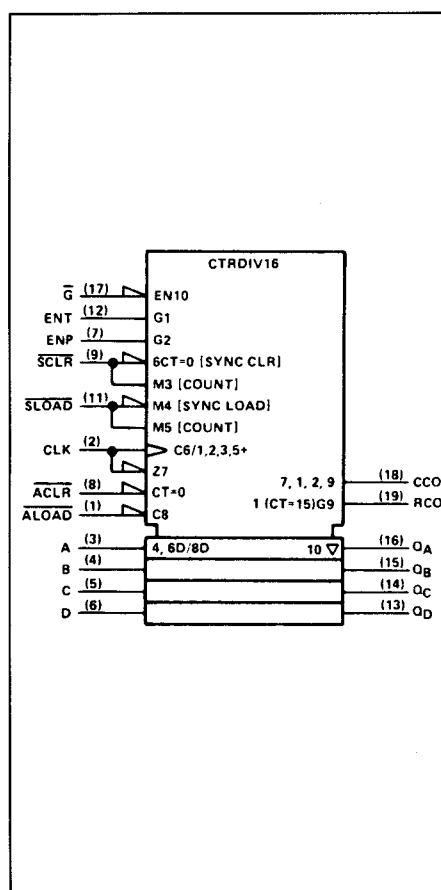
## 74561

synchrone binaire teller  
met 3-state uitgangen

Figuur 4/5-561.



LOGICA	TTL	L	F	S	LS	AS	ALS <sup>1)</sup>	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub> $\begin{matrix} H \\ Dis \\ L \end{matrix}$							21 22 17			mA
I <sub>os</sub>							-30 -112			mA
T <sub>plh</sub> <sup>2)</sup>							4 12			ns
T <sub>phl</sub> <sup>2)</sup>							5 18			ns
T <sub>plh</sub> <sup>3)</sup>							9 29			ns
T <sub>phl</sub> <sup>3)</sup>							8 24			ns
T <sub>plh</sub> <sup>4)</sup>							8 26			ns
T <sub>phl</sub> <sup>4)</sup>							5 16			ns
T <sub>plh</sub> <sup>5)</sup>							8 30			ns
T <sub>phl</sub> <sup>5)</sup>							7 22			ns
f <sub>max</sub>							30			MHz

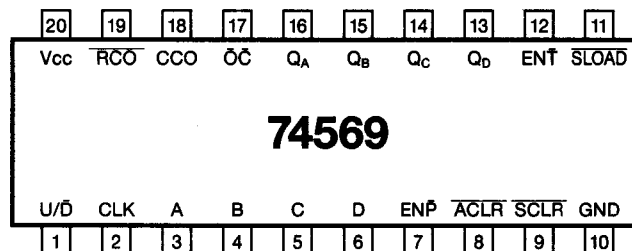


<sup>1)</sup> 74 ALS 361 A   <sup>2)</sup> Clock to Q<sub>N</sub>   <sup>3)</sup> Clock to RCO   <sup>4)</sup> Clock to CCO   <sup>5)</sup> D<sub>N</sub> to Q<sub>N</sub>

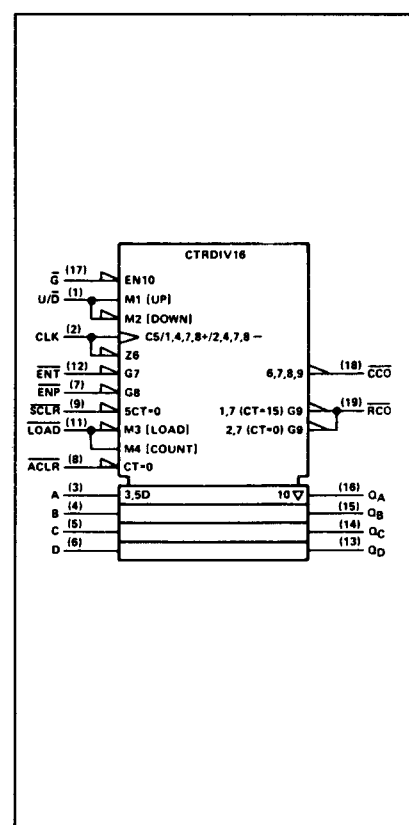
## 74569

synchrone op/neer binaire  
teller met 3-state uitgangen

Figuur 4/5-569.



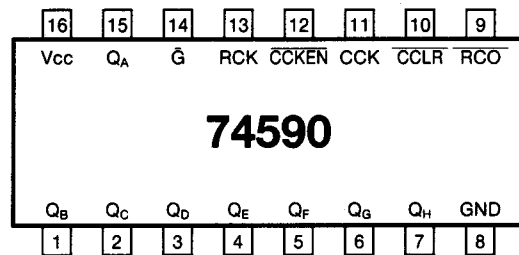
LOGICA	TTL	L	F	S	LS	AS	ALS <sup>1)</sup>	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub> <sup>H</sup> Dis <sup>L</sup>							16 20 20			mA
I <sub>os</sub>							-30 -112			mA
T <sub>plh</sub> <sup>2)</sup>							4 13			ns
T <sub>phl</sub> <sup>2)</sup>							7 16			ns
T <sub>plh</sub> <sup>3)</sup>							12 28			ns
T <sub>phl</sub> <sup>3)</sup>							10 19			ns
T <sub>plh</sub> <sup>4)</sup>							5 13			ns
T <sub>phl</sub> <sup>4)</sup>							6 25			ns
T <sub>phl</sub> <sup>5)</sup>							9 20			ns
f <sub>max</sub>							30			MHz



1) 74 ALS 569 A 2) Clock to Q<sub>N</sub> 3) Clock to RCO 4) Clock to CCO 5) ACLR to Q<sub>N</sub>

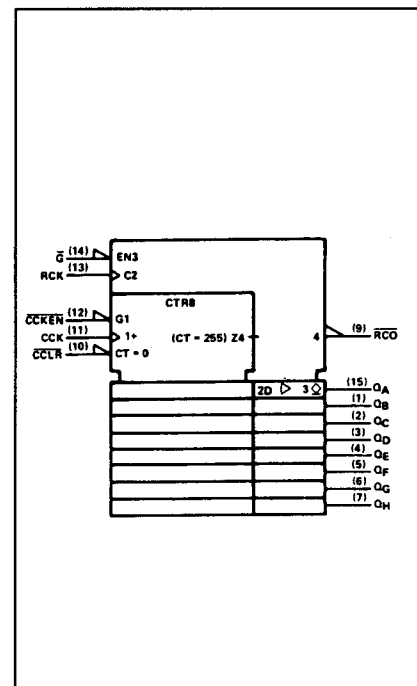
## 74590

8-bit binaire teller  
met 3-state output registers



Figuur 4/5-590.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	H Dis L				33 44 46				80 <sup>4)</sup>	mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>					14				25	ns
T <sub>phl</sub> <sup>1)</sup>					30				25	ns
T <sub>plh</sub> <sup>2)</sup>					30				30	ns
T <sub>plh</sub> <sup>3)</sup>					12				25	ns
T <sub>phl</sub> <sup>3)</sup>					22				25	ns
f <sub>max</sub>					35				35	MHz

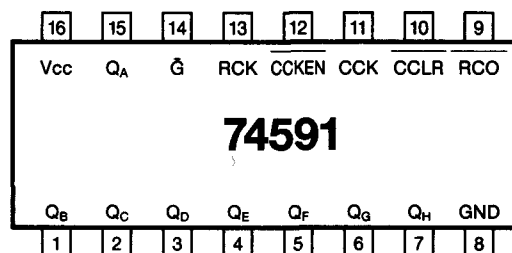


<sup>1)</sup> CCK ↑ to RCO <sup>2)</sup> CCLR ↓ to RCO <sup>3)</sup> RCK ↑ to Q <sup>4)</sup> μA

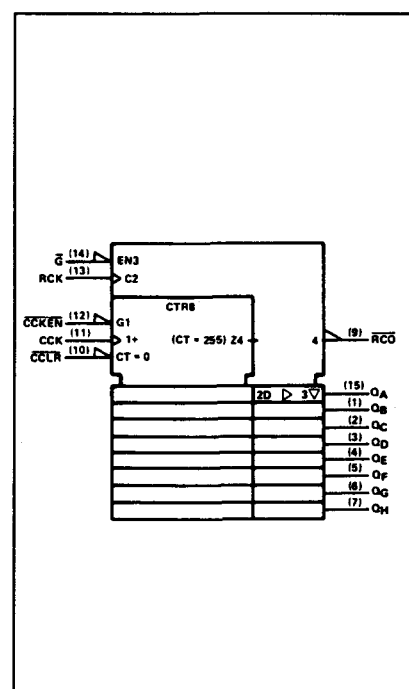
**74591**

8-bit binaire teller met  
open collector output register

Figuur 4/5-591.



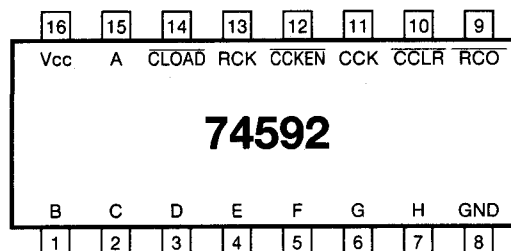
LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
Icc	H				35					mA
	L				42					
Ios					-30					mA
					-130					
Tplh <sup>1)</sup>					16					ns
Tphl <sup>1)</sup>					25					ns
Tplh <sup>2)</sup>					32					ns
Tplh <sup>3)</sup>					25					ns
Tphl <sup>3)</sup>					28					ns
fmax					35					MHz



1) CCK ↑ to RCO 2) CCLR ↓ to RCO 3) RCK ↑ to Q

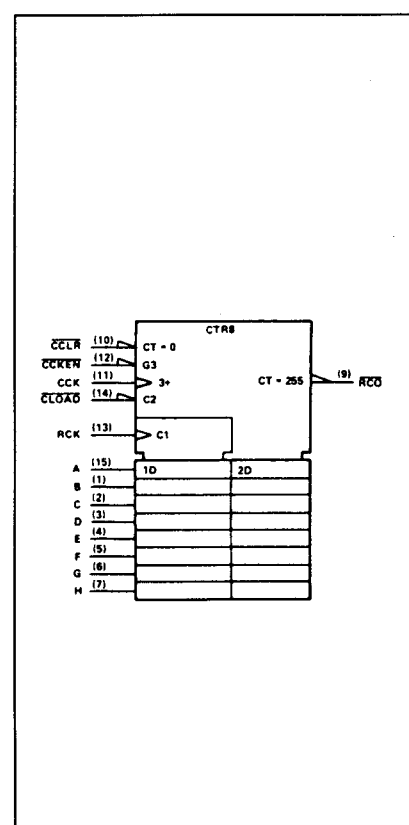
# 74592

## 8-bit binaire teller met input-registers



Figuur 4/5-592.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{cc}$	H L				40 40				80 <sup>5)</sup>	mA
$I_{os}$					-20 -100					mA
$T_{plh}^{1)}$					15				25	ns
$T_{phl}^{1)}$					20				25	ns
$T_{plh}^{2)}$					31				25	ns
$T_{phl}^{2)}$					27				25	ns
$T_{plh}^{3)}$					30				28	ns
$T_{plh}^{4)}$					35				35	ns
$T_{phl}^{4)}$					30				35	ns
$f_{max}$					35				35	MHz

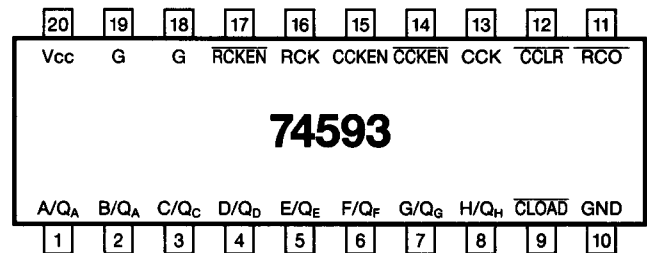


1) CCK ↑ to RCO 2) CLOAD ↓ to RCO 3) CLR ↓ to RCO 4) RCK ↑ to RCO 5)  $\mu A$

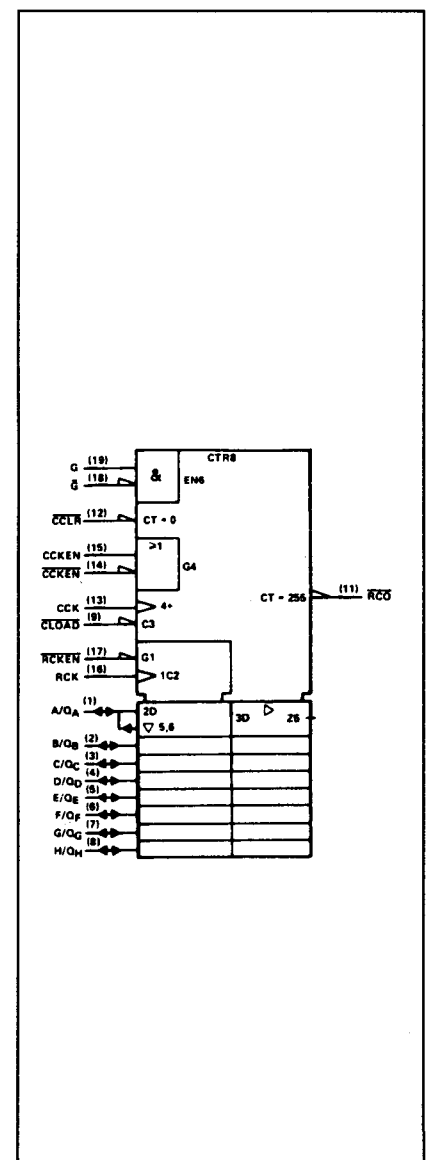
## 74593

8-bit binaire teller  
met 3-state input-registers/  
counter outputs

Figuur 4/6-593.



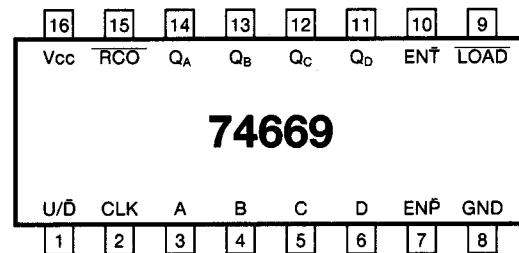
LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub> <sup>H</sup> <sub>Dis</sub> <sup>L</sup>					47 57 53				80 <sup>8)</sup>	mA
I <sub>os</sub>					-30 -130					mA
T <sub>plh</sub> <sup>1)</sup>					14				25	ns
T <sub>phl</sub> <sup>1)</sup>					26				25	ns
T <sub>plh</sub> <sup>2)</sup>					34				25	ns
T <sub>phl</sub> <sup>2)</sup>					28				25	ns
T <sub>phl</sub> <sup>3)</sup>					25				30	ns
T <sub>plh</sub> <sup>4)</sup>					14				25	ns
T <sub>phl</sub> <sup>4)</sup>					20				25	ns
T <sub>plh</sub> <sup>5)</sup>					31				25	ns
T <sub>phl</sub> <sup>5)</sup>					27				25	ns
T <sub>plh</sub> <sup>6)</sup>					30				30	ns
T <sub>plh</sub> <sup>7)</sup>					42				35	ns
T <sub>phl</sub> <sup>7)</sup>					33				35	ns
f <sub>max</sub>					35				35	MHz



1) CCK ↑ to Q<sub>N</sub> 2) CLOAD ↓ to Q<sub>N</sub> 3) CCLR ↓ to Q<sub>N</sub> 4) CCK ↑ to RCO  
5) CLOAD ↓ to RCO 6) CLR ↓ to RCO 7) RCK ↑ to RCO

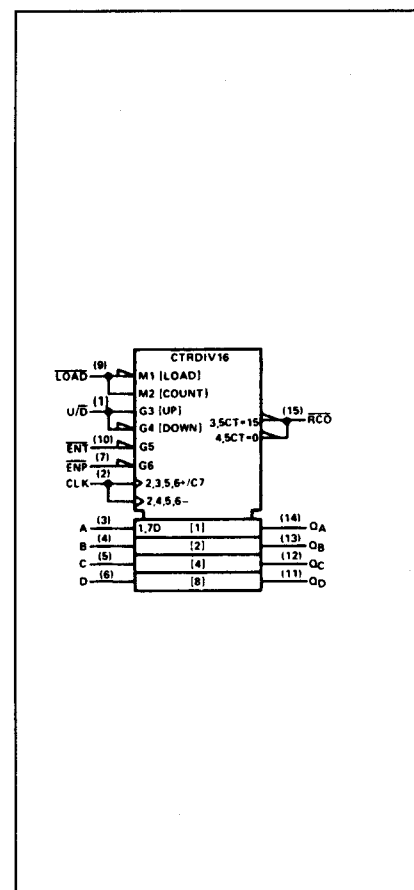
## 74669

synchrone op/neer  
binaire teller



Figuur 4/5-669.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>					20					mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>					26					ns
T <sub>phl</sub> <sup>1)</sup>					40					ns
T <sub>plh</sub> <sup>2)</sup>					18					ns
T <sub>phl</sub> <sup>2)</sup>					18					ns
T <sub>plh</sub> <sup>3)</sup>					11					ns
T <sub>phl</sub> <sup>3)</sup>					29					ns
T <sub>plh</sub> <sup>4)</sup>					22					ns
T <sub>phl</sub> <sup>4)</sup>					26					ns
f <sub>max</sub>					32					MHz



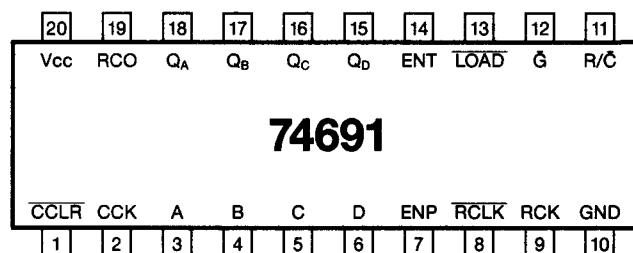
<sup>1)</sup> Clock to RCO   <sup>2)</sup> Clock to Any Q   <sup>3)</sup> Enable  $\uparrow$  to RCO   <sup>4)</sup> U/D to RCO



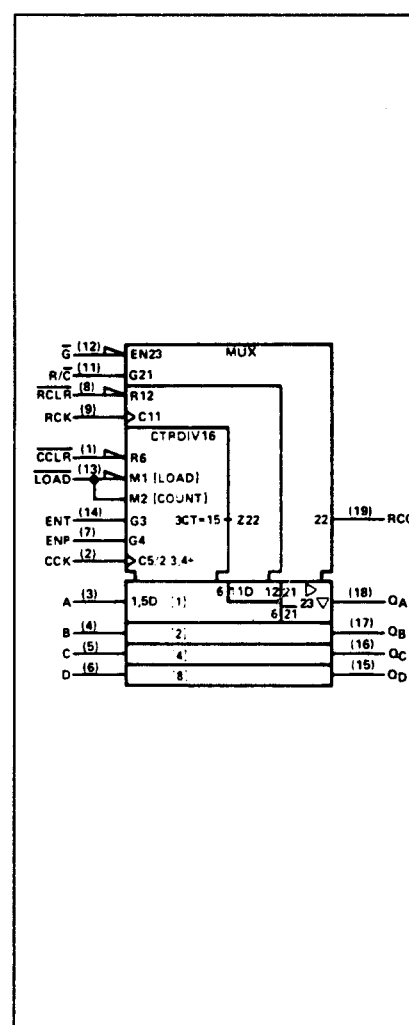
## 74691

synchrone binaire teller met  
directe clear, output-registers  
en gemultiplexte 3-state  
uitgangen

Figuur 4/5-691.

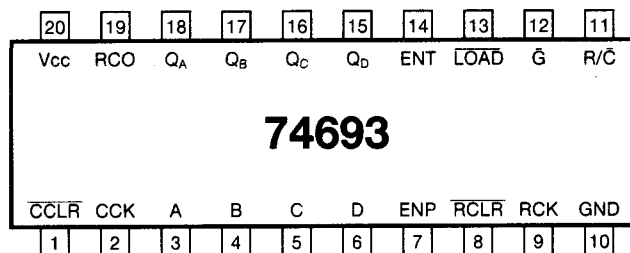


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
$I_{CC}$ <sup>H</sup> Dis <sup>L</sup>					46 48 48				80 <sup>7)</sup>	mA
$I_{OS}$					-30 -130					mA
$T_{plh}^{1)}$					23				21	ns
$T_{phl}^{1)}$					23				21	ns
$T_{plh}^{2)}$					12				17	ns
$T_{phl}^{2)}$					17				17	ns
$T_{plh}^{3)}$					12				15	ns
$T_{phl}^{3)}$					17				15	ns
$T_{plh}^{4)}$					23				17	ns
$T_{phl}^{5)}$					20				16	ns
$T_{plh}^{6)}$					16				11	ns
$T_{phl}^{6)}$					16				11	ns
$f_{max}$					20					MHz

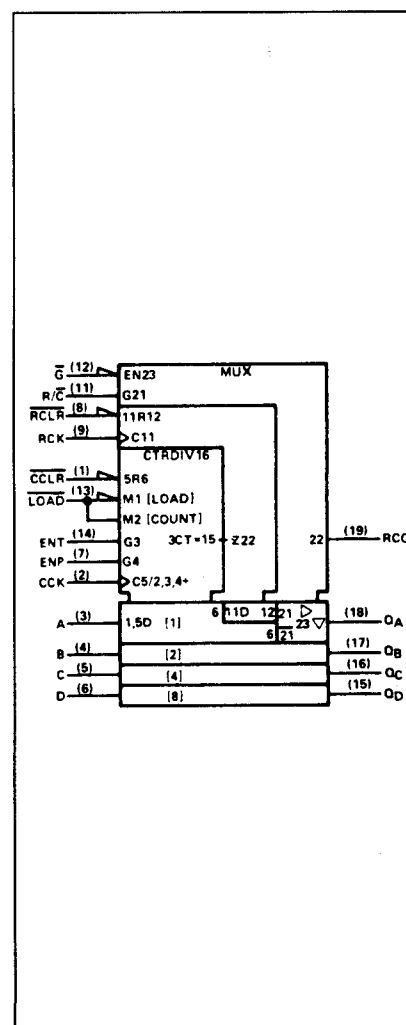


<sup>1)</sup> CCK ↑ to RCO <sup>2)</sup> CCK ↑ to Q <sup>3)</sup> RCK ↑ to Q <sup>4)</sup> CCLR to Q <sup>5)</sup> RCLK to Q  
<sup>6)</sup> R/C to Q <sup>7)</sup>  $\mu A$

**Figuur 4/5-693.**



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABLE PARAMETERS									Eenheid
I <sub>cc</sub>	H Dis L				46 48 48				80 <sup>7)</sup>	mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>					23				23	ns
T <sub>phl</sub> <sup>1)</sup>					23				23	ns
T <sub>plh</sub> <sup>2)</sup>					12				19	ns
T <sub>phl</sub> <sup>2)</sup>					17				19	ns
T <sub>plh</sub> <sup>3)</sup>					12				17	ns
T <sub>phl</sub> <sup>3)</sup>					17				17	ns
T <sub>phl</sub> <sup>4)</sup>					23				19	ns
T <sub>phl</sub> <sup>5)</sup>					20				17	ns
T <sub>plh</sub> <sup>6)</sup>					16				14	ns
T <sub>phl</sub> <sup>6)</sup>					16				14	ns
f <sub>max</sub>					20					MHz

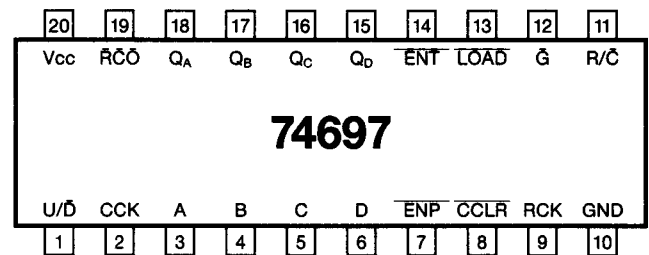


1) CCK  $\uparrow$  to RCO    2) CCK  $\uparrow$  to Q    3) RCK  $\uparrow$  to Q    4) CCK  $\uparrow$  to Q (Clear)  
5) RCK  $\uparrow$  to Q (Clear)    6) R/ $\bar{C}$  to Q    7)  $\mu A$

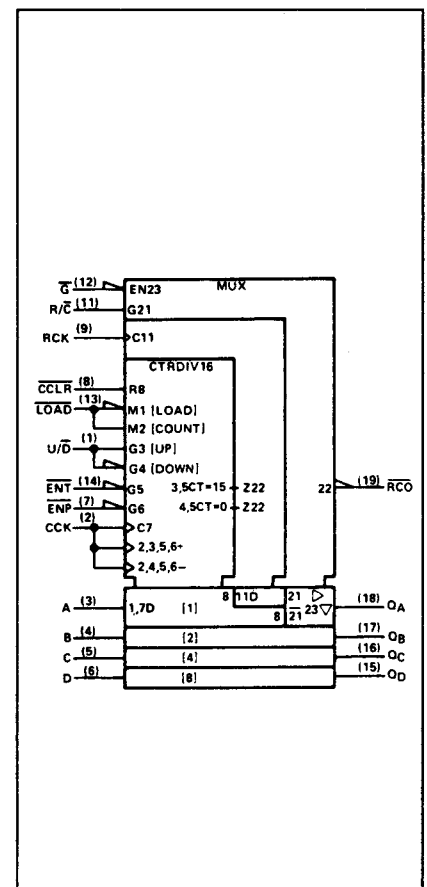
## 74697

synchrone op/neer binaire teller met directe clear, output-registers en gemulti-plexe 3-state uitgangen

Figuur 4/5-697.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub> <sup>H</sup> <sub>Dis</sub> <sup>L</sup>					46 48 48				80 <sup>6)</sup>	mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>					23				23	ns
T <sub>phl</sub> <sup>1)</sup>					23				23	ns
T <sub>plh</sub> <sup>2)</sup>					12				17	ns
T <sub>phl</sub> <sup>2)</sup>					17				17	ns
T <sub>plh</sub> <sup>3)</sup>					12				17	ns
T <sub>phl</sub> <sup>3)</sup>					17				17	ns
T <sub>plh</sub> <sup>4)</sup>					23				18	ns
T <sub>plh</sub> <sup>5)</sup>					16				14	ns
T <sub>phl</sub> <sup>5)</sup>					16				14	ns

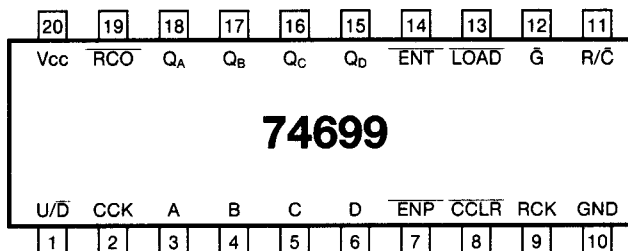


1) CCK to RCO 2) CCK ↑ to Q 3) RCK ↑ to Q 4) CCLR ↓ to Q 5) R/C to Q 6)  $\mu A$

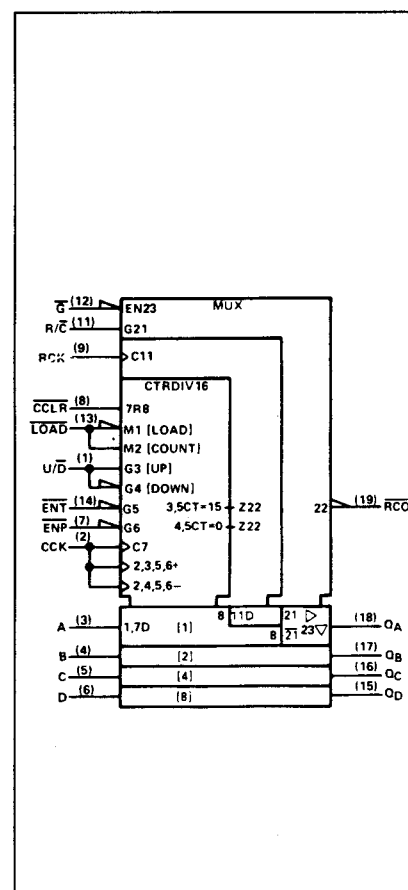
## 74699

synchrone op/neer binaire teller  
met synchrone clear,  
output registers en  
gemultiplexte 3-state uitgangen

Figuur 4/5-699.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub> <sup>H</sup> <sub>Dis</sub> <sub>L</sub>					46 48 48				80 <sup>6)</sup>	mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>					23				23	ns
T <sub>phl</sub> <sup>1)</sup>					23				23	ns
T <sub>plh</sub> <sup>2)</sup>					12				19	ns
T <sub>phl</sub> <sup>2)</sup>					17				19	ns
T <sub>plh</sub> <sup>3)</sup>					12				17	ns
T <sub>phl</sub> <sup>3)</sup>					17				17	ns
T <sub>plh</sub> <sup>4)</sup>					17				19	ns
T <sub>plh</sub> <sup>5)</sup>					16				14	ns
T <sub>phl</sub> <sup>5)</sup>					16				14	ns

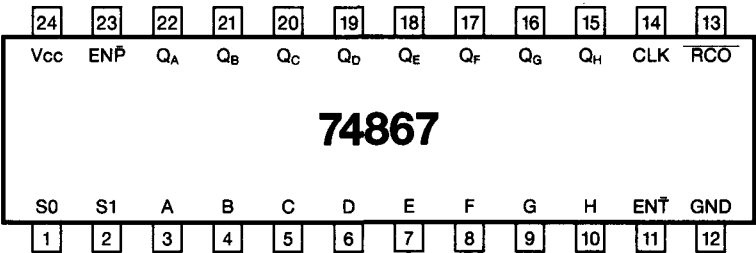


1) CCK ↑ to RCO 2) CCK ↑ to Q 3) RCK ↑ to Q 4) CCK ↑ to Q (Clear) 5) R/C to Q 6) μA

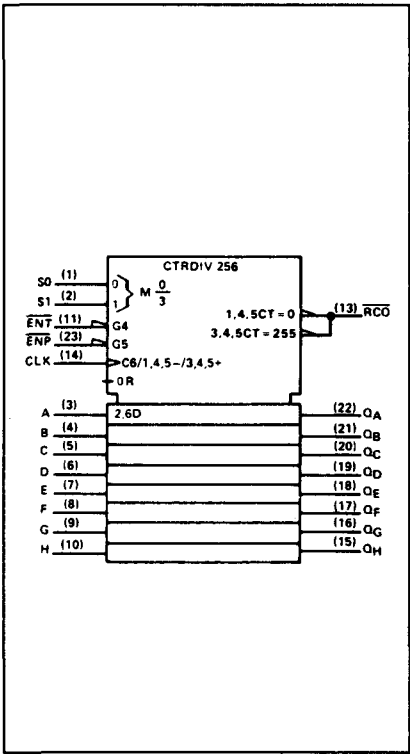
74867

synchrone 8-bit  
op/neer teller met  
asynchrone clear

Figuur 4/5-867.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc						134				mA
Ios						-30 -112				mA
Tplh <sup>1)</sup>						5 22				ns
Tphl <sup>1)</sup>						6 16				ns
Tplh <sup>2)</sup>						3 11				ns
Tphl <sup>2)</sup>						4 15				ns
Tplh <sup>3)</sup>						5 17				ns
Tphl <sup>3)</sup>						7 21				ns
fmax						50				MHz

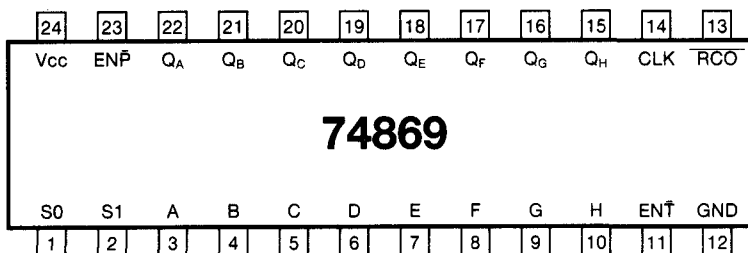


1) CLK to RCO 2) CLK to Any Q 3) Clear to Any Q

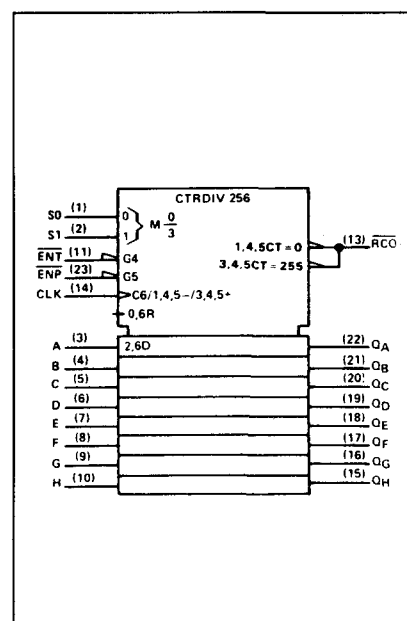
## 74869

synchrone 8-bit  
op/neer teller met  
asynchrone clear

Figuur 4/5-869.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>						125				mA
I <sub>os</sub>						-30 -112				mA
T <sub>plh</sub> <sup>1)</sup>						6 35				ns
T <sub>phl</sub> <sup>1)</sup>						6 18				ns
T <sub>phl</sub> <sup>2)</sup>						3 11				ns
T <sub>phl</sub> <sup>2)</sup>						4 15				ns
f <sub>max</sub>						45				MHz



1) CLK to RCO 2) CLK to Any Q

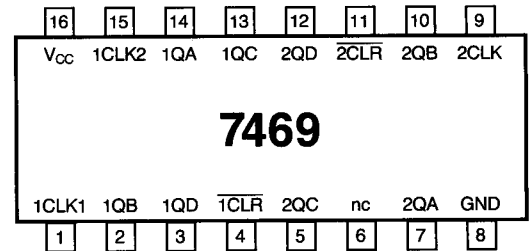
S1	S0	FUNCTION
L	L	Clear
L	H	Count down
H	L	Load
H	H	Count up

## 5.2 74xx-serie TTL en HC

## 7469

## 2 4-bit binaire tellers

Figuur 4/5.2-69



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>					36					mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> / T <sub>phl</sub> <sup>1)</sup>					7/ 14					ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>2)</sup>					25/ 30					ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>3)</sup>					32/ 36					ns
T <sub>phl</sub> <sup>4)</sup>					20					ns
f <sub>max</sub> <sup>5)</sup>					70					MHz
f <sub>max</sub> <sup>6)</sup>					35					MHz
f <sub>max</sub> <sup>7)</sup>					70					MHz

1) 1CLK1 → 1QA

2) 1CLK2 → 1QD

3) 2CLK → 2QD

4) CLR → Q

5) 1CLK1 → 1QA (typ.)

6) 1CLK2 → 1QB, 1QC, 1QD

7) 2CLK → 2QA, 2QB, 2QC, 2QD

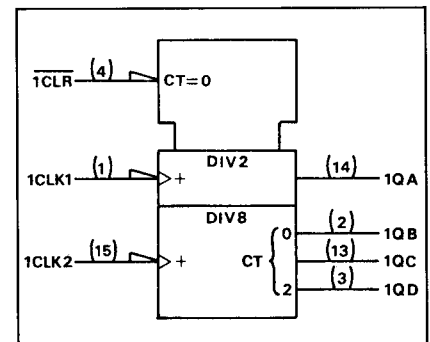
Truth table (see note A)

COUNT	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

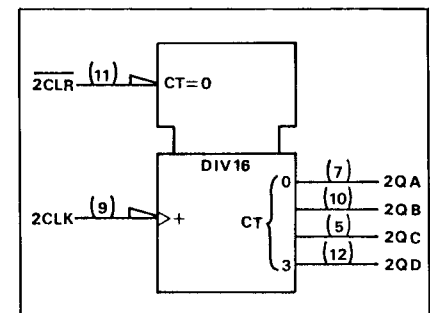
Note A:

Output Q<sub>A</sub> externally connected to clock 2 input for counter I.  
For counter II this connection has been made internally.

waarheidstabel



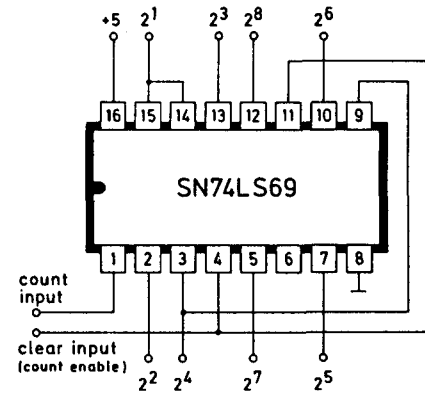
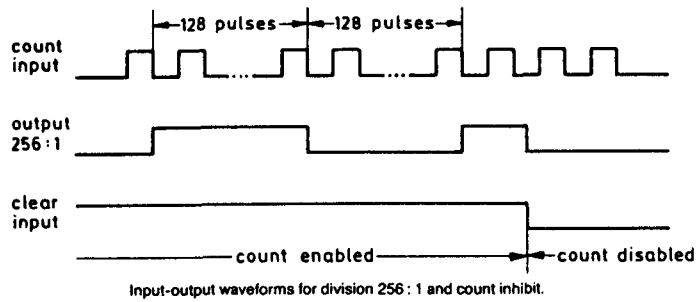
logisch symbool teller I



logisch symbool teller II

## 5.2 74xx-serie TTL en HC

Toepassing: 256-deler



Interconnections for frequency division 256 : 1

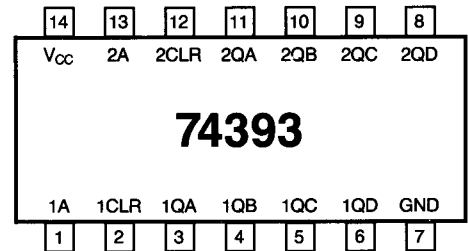


## 5.2 74xx-serie TTL en HC

## 74393

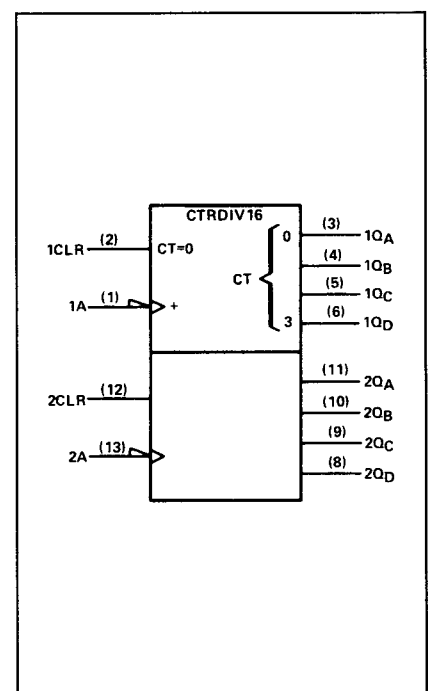
## 2 4-bit binaire tellers

Figuur 4/5.2-393



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	38				15				80 <sup>5)</sup>	mA
I <sub>os</sub>	-18 -57				-20 -100				4	mA
T <sub>plh</sub> <sup>1)</sup>	12				12				15	ns
T <sub>phl</sub> <sup>1)</sup>	13				13				15	ns
T <sub>plh</sub> <sup>2)</sup>	40				40				32	ns
T <sub>phl</sub> <sup>2)</sup>	40				40				32	ns
T <sub>phl</sub> <sup>3)</sup>	24				24				17	ns
f <sub>max</sub> <sup>4)</sup>	35				35				50	MHz

- <sup>1)</sup> A → QA  
<sup>2)</sup> A → QD  
<sup>3)</sup> Clear → Q  
<sup>4)</sup> A → QA  
<sup>5)</sup> μA



logisch symbool

COUNT SEQUENCE (EACH COUNTER)					
COUNT	OUTPUT				
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	
0	L	L	L	L	
1	L	L	L	H	
2	L	L	H	L	
3	L	L	H	H	
4	L	H	L	L	
5	L	H	L	H	
6	L	H	H	L	
7	L	H	H	H	
8	H	L	L	L	
9	H	L	L	H	
10	H	L	H	L	
11	H	L	H	H	
12	H	H	L	L	
13	H	H	L	H	
14	H	H	H	L	
15	H	H	H	H	

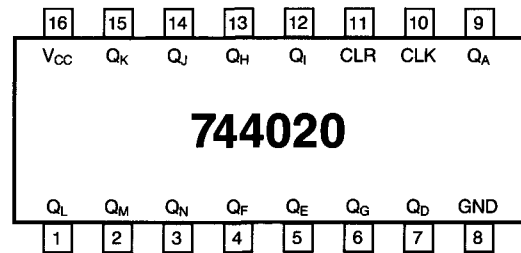
waarheidstabel

## 5.2 74xx-serie TTL en HC

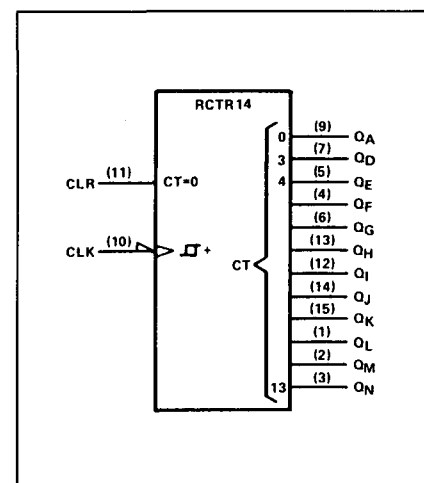
## 744020

## 14-bit asynchrone binaire teller

Figuur 4/5.2-4020



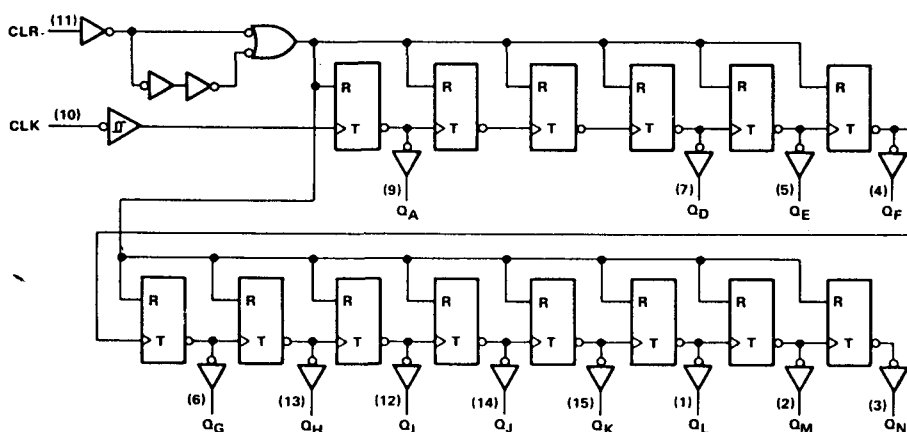
LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>									80 <sup>1)</sup>	mA
I <sub>os</sub>									4	mA
T <sub>pd</sub> <sup>2)</sup>									16	ns
T <sub>pd</sub> <sup>3)</sup>									17	ns
f <sub>max</sub>									45	MHz



logisch symbool

- <sup>1)</sup>  $\mu\text{A}$   
<sup>2)</sup> CLK  $\rightarrow$  Q<sub>A</sub>  
<sup>3)</sup> CLR  $\rightarrow$  alle Q's

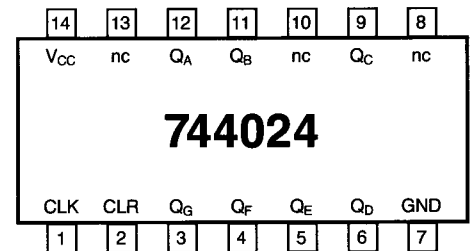
logic diagram (positive logic)

functioneel  
blokschema

## 5.2 74xx-serie TTL en HC

## 744024

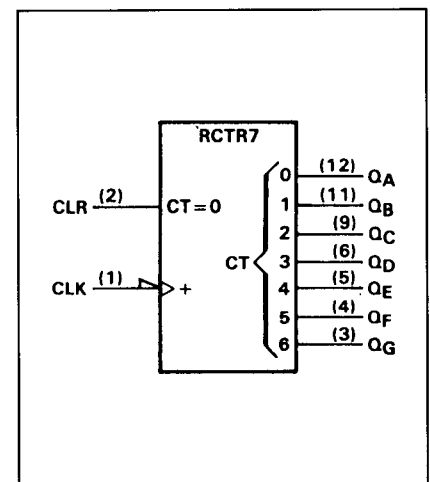
## 7-bit asynchrone binaire teller



Figuur 4/5.2-4024

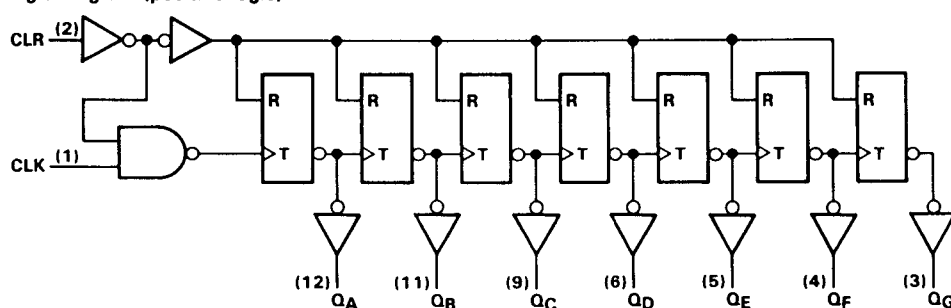
LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>									80 <sup>1)</sup>	mA
I <sub>os</sub>									4	mA
T <sub>pd</sub> <sup>2)</sup>									16	ns
T <sub>pd</sub> <sup>3)</sup>									17	ns
f <sub>max</sub>									50	MHz

- <sup>1)</sup>  $\mu\text{A}$   
<sup>2)</sup> CLK  $\rightarrow$  Q<sub>A</sub>  
<sup>3)</sup> CLR  $\rightarrow$  alle Q's



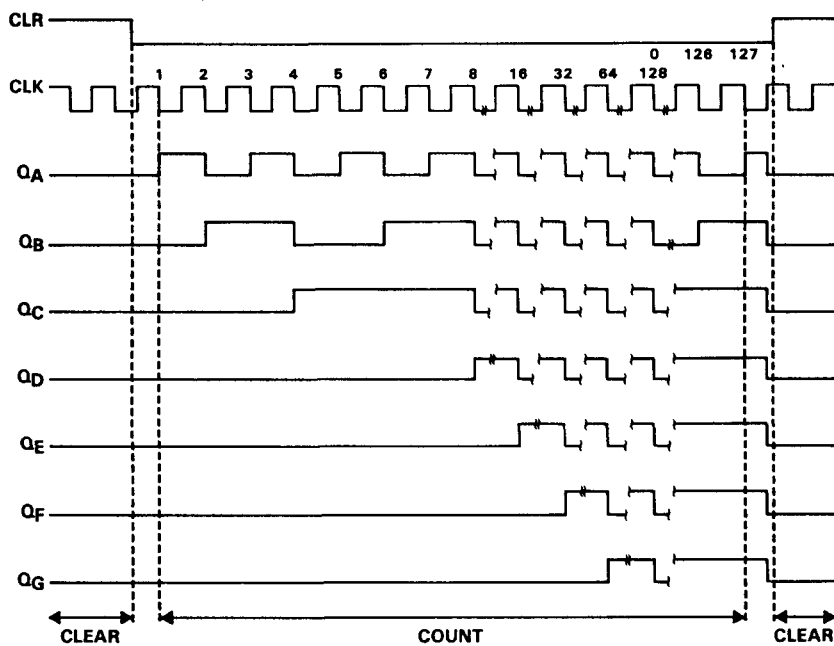
logisch symbool

logic diagram (positive logic)

functioneel  
blokschema

## 5.2 74xx-serie TTL en HC

typical clear and count sequences



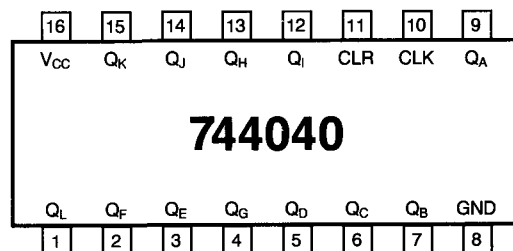
tijddiagram

## 5.2 74xx-serie TTL en HC

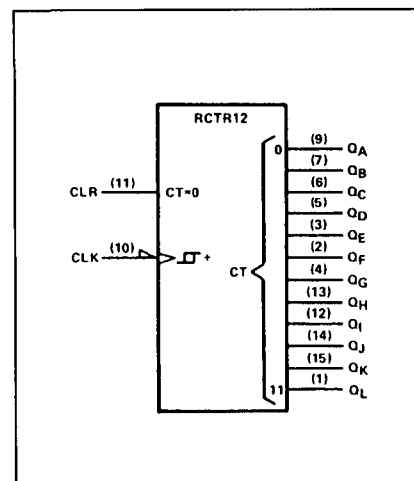
## 744040

## 12-traps asynchrone binaire teller

Figuur 4/5.2-4040

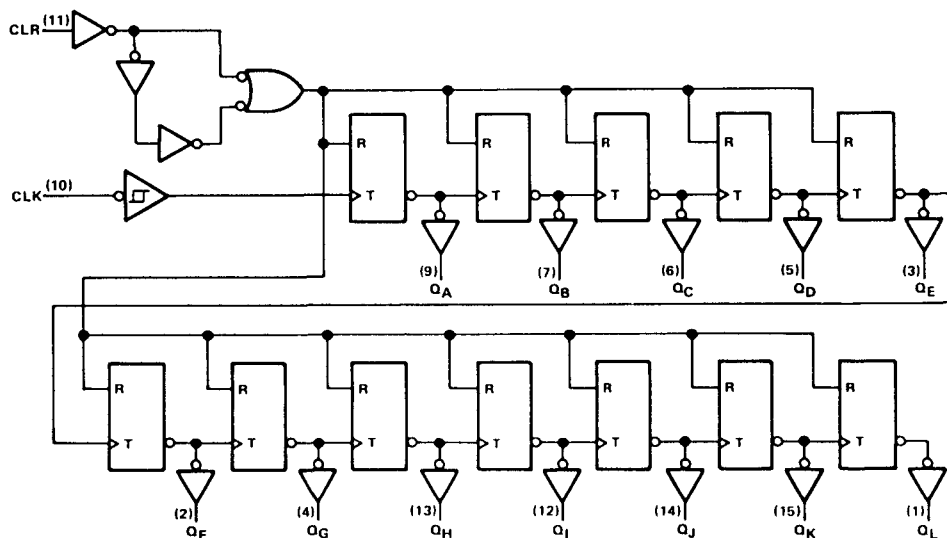


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>									80 <sup>1)</sup>	mA
I <sub>os</sub>									4	mA
T <sub>pd</sub> <sup>2)</sup>									16	ns
T <sub>pd</sub> <sup>3)</sup>									17	ns
f <sub>max</sub>									45	MHz

1)  $\mu A$ 2) CLK  $\rightarrow$  Q<sub>A</sub>3) CLR  $\rightarrow$  alle Q's

logisch symbool

logic diagram (positive logic)

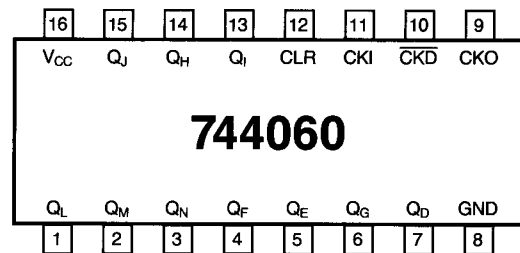
functioneel  
blokschema

## 5.2 74xx-serie TTL en HC

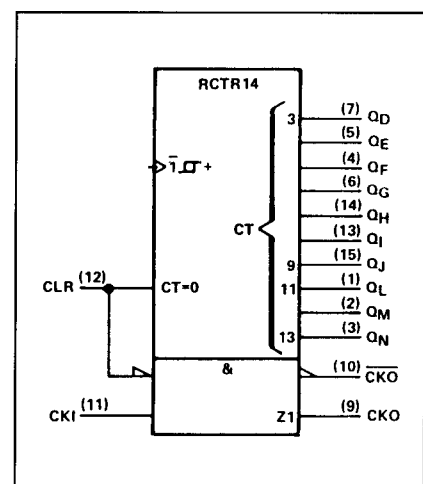
## 744060

14-traps asynchrone binaire teller  
en oscillator

Figuur 4/5.2-4060



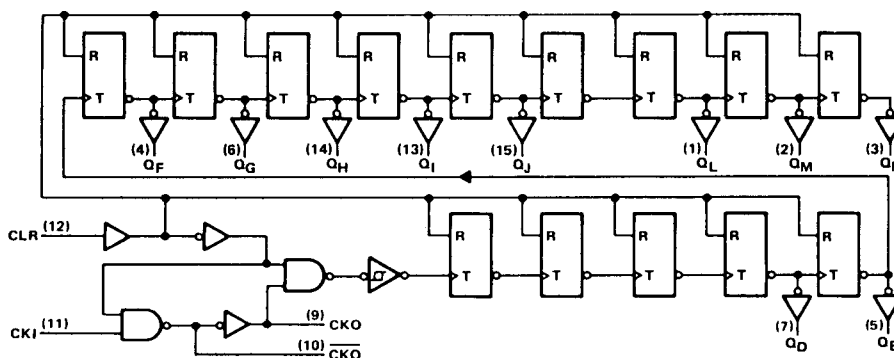
LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>									80 <sup>1)</sup>	mA
I <sub>os</sub>									4	mA
T <sub>pd</sub> <sup>2)</sup>									58	ns
T <sub>phl</sub> <sup>3)</sup>									18	ns
f <sub>max</sub>									45	MHz



logisch symbool

- 1)  $\mu A$   
 2) CKI  $\rightarrow$  Q<sub>d</sub>  
 3) CLR  $\rightarrow$  alle Q's

logic diagram (positive logic)

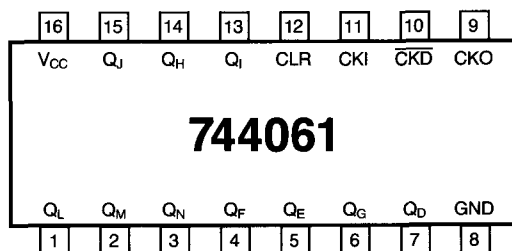
functioneel  
blokschema

## 5.2 74xx-serie TTL en HC

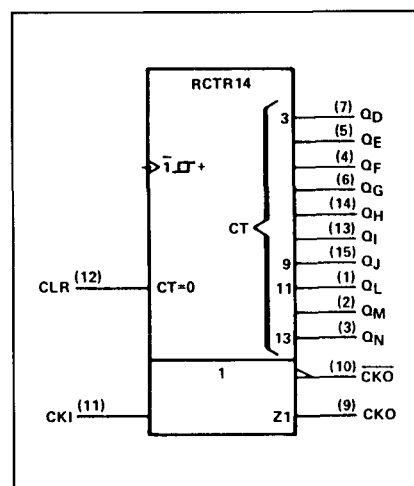
## 744061

## 14-traps asynchrone binaire teller en oscillator

Figuur 4/5.2-4061

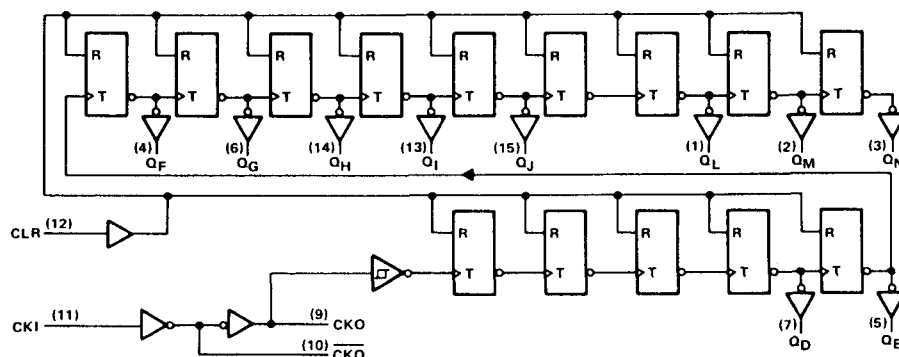


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>									80 <sup>1)</sup>	mA
I <sub>os</sub>									4	mA
T <sub>pd</sub> <sup>2)</sup>									58	ns
T <sub>phl</sub> <sup>3)</sup>									18	ns
f <sub>max</sub>									45	MHz

<sup>1)</sup> μA<sup>2)</sup> CKI → Q<sub>D</sub><sup>3)</sup> CLR → alle Q's

logisch symbool

logic diagram (positive logic)

functioneel  
blokschema

## 5.2 74xx-serie TTL en HC



## 4/5.3

# Binaire tellers

## 5.3(1)4xxx-serie CMOS

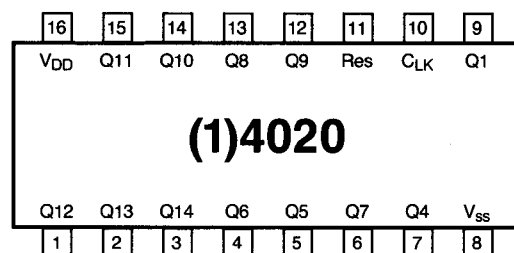
## (1)4020

14-traps binaire teller

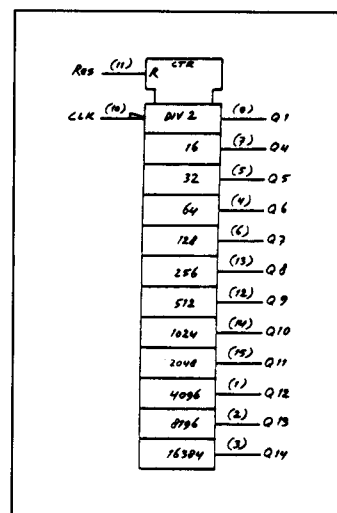
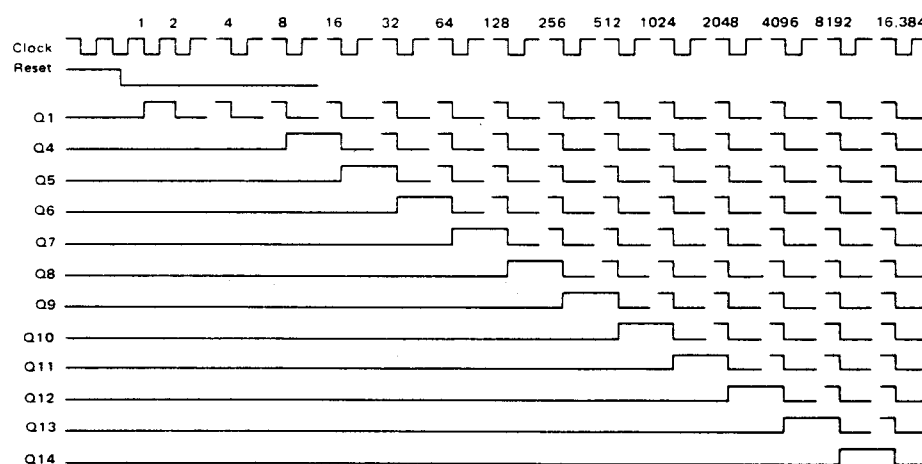
CLOCK	RESET	OUTPUT STATE
	0	No Change
	0	Advance to next state
X	1	All Outputs are low

X = Don't Care

Figuur 4/5.3-20

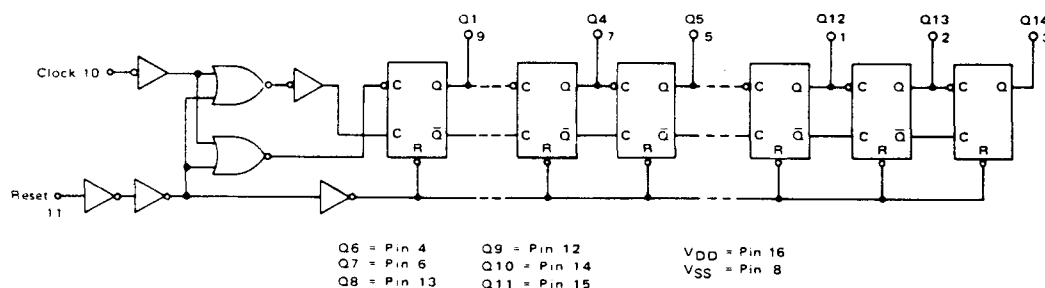


waarheidstabel



timing

logisch symbool



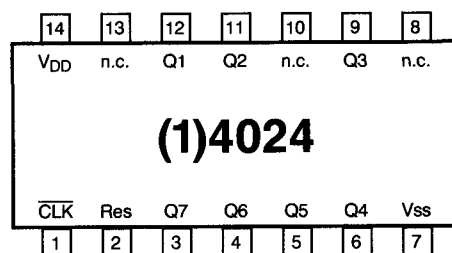
functioneel blokschema (pos. logica)

o.a. leverbaar: MC 14020 B  
CD 4020 A/B  
HEF 4020 B

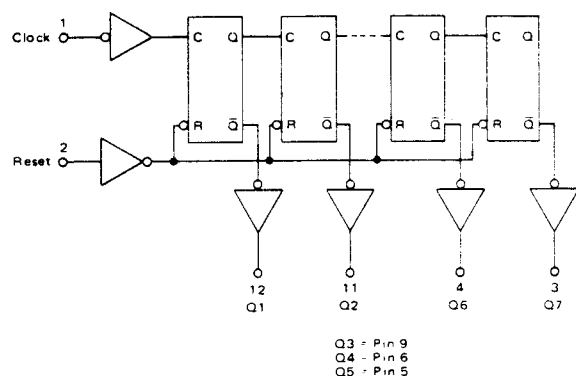
## 5.3 (1)4xxx-serie CMOS

**(1)4024**

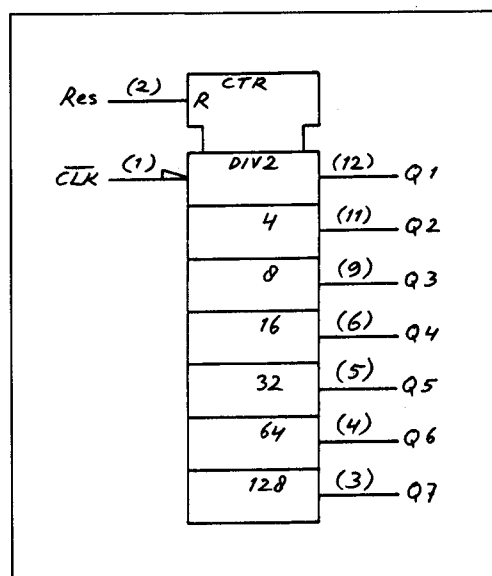
## 7-traps binaire teller



Figuur 4/5.3-24



functioneel blokschema (pos. logika)



logisch symbool

TRUTH TABLE

CLOCK	RESET	STATE
0	0	No Change
0	1	All Outputs Low
1	0	No Change
1	1	All Outputs Low
	0	No Change
	1	All Outputs Low
	0	Advance One Count
	1	All Outputs Low

waarheidstabel

o.a. leverbaar: MC 14024 A/B/C  
CD 4024 A/B  
HEF 4024 B

## 5.3 (1)4xxx-serie CMOS

## (1)4040

## 12-traps binaire teller

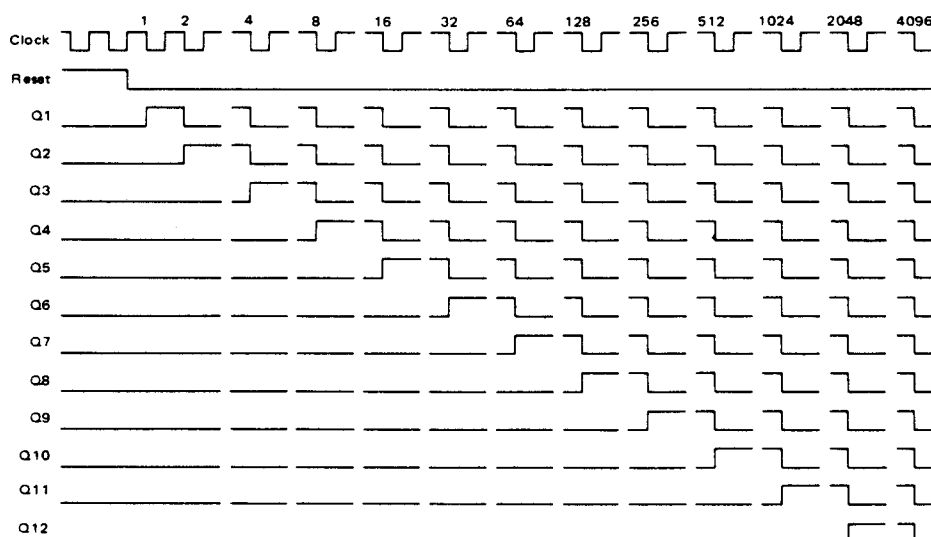
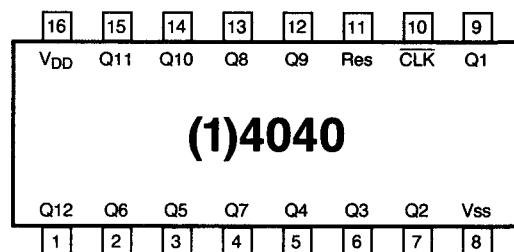
TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
	0	No Change
	0	Advance to next state
X	1	All Outputs are low

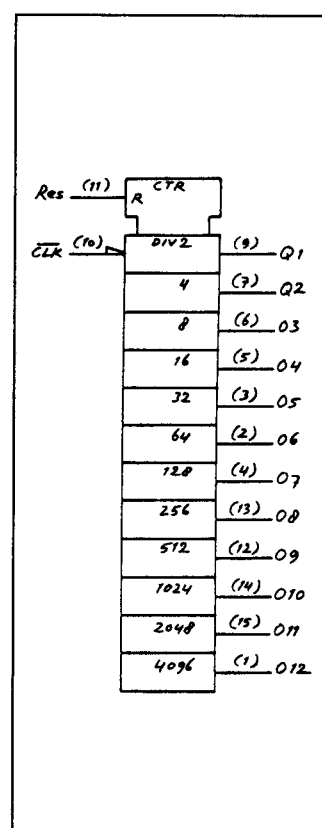
X = Don't Care

waarheidstabel

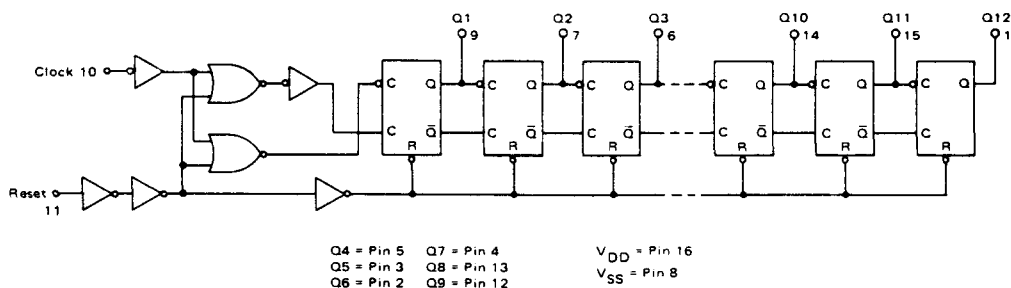
Figuur 4/5.3-40



timing



logisch symbool



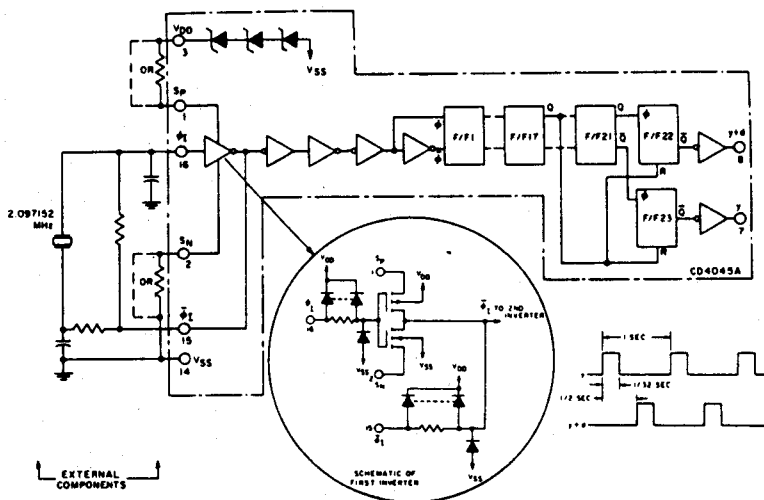
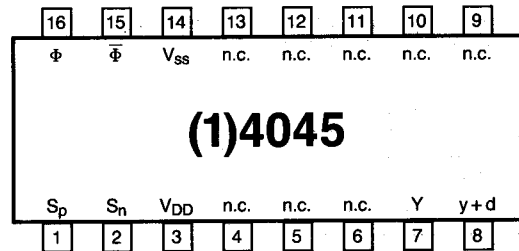
functioneel blokschema (pos. logica)

o.a. leverbaar: MC 14040 A/B/C  
CD 4040 A/B  
HEF 4040 B

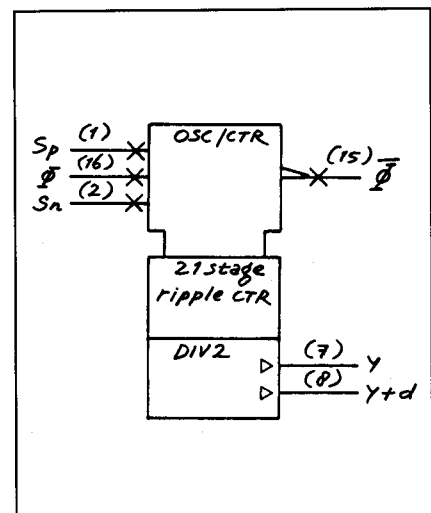
## 5.3 (1)4xxx-serie CMOS

**(1)4045****21-traps binaire teller met oscillator**

Figuur 4/5.3-45



CD4045A and outboard components in a typical 21-stage counter application.



logisch symbol

toepassing als kristal oscillator  
(met 21-traps freq. deling)

leverbaar: CD 4045 A/B

## 5.3 (1)4xxx-serie CMOS

## (1)4060

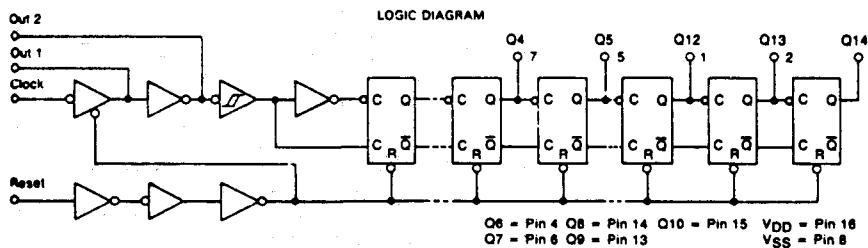
## 14-traps binaire teller en oscillator

TRUTH TABLE

Clock	RESET	Output State
	L	No Change
	L	Advance to next state
X	H	All Outputs are low

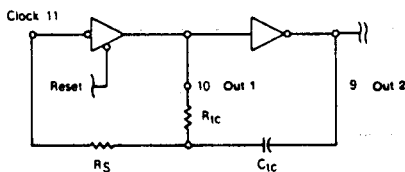
X = Don't Care

## waarheidstabel



## functioneel blokschema

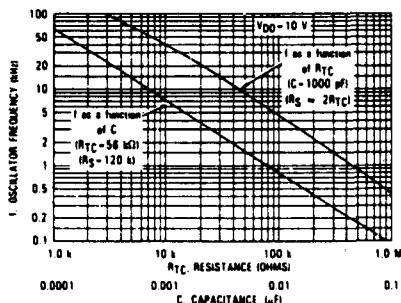
## Toepassing 1: RC-oscillator



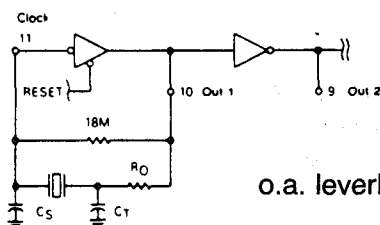
$$f = \frac{1}{2.3 R_{1c} C_{1c}}$$

if  $1 \text{ kHz} \leq f \leq 100 \text{ kHz}$   
and  $2R_{1c} < R_5 < 10R_{1c}$   
If in Hz, R in ohms, C in farads

$$R_{\text{max}} = 1 \text{ M}$$

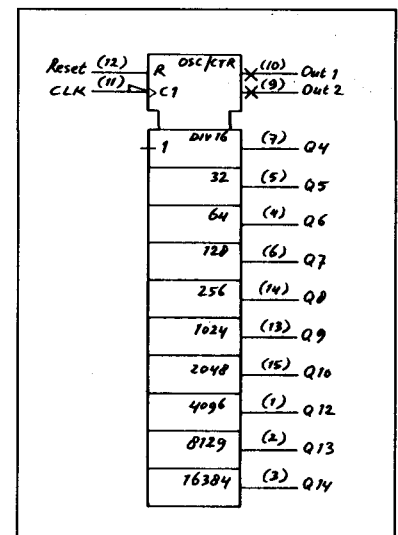
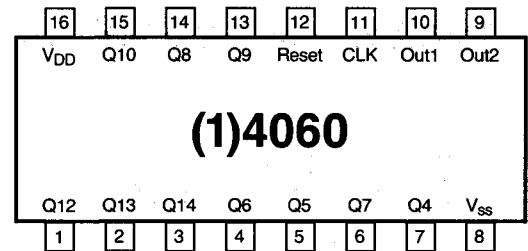
RC OSCILLATOR FREQUENCY AS A FUNCTION OF  $R_{1c}$  AND C

## Toepassing 2: kristal-oscillator



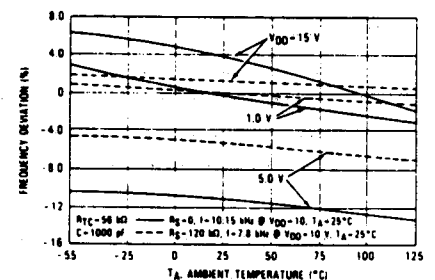
o.a. leverbaar: MC 14060 B  
CD 4060 A/B  
HEF 4060 B

Figuur 4/5.3-60



## logisch symbol

RC OSCILLATOR STABILITY



TYPICAL DATA FOR CRYSTAL OSCILLATOR CIRCUIT

Characteristic	500 kHz Circuit	32 kHz Circuit	Unit
Crystal Characteristics			
Resonant Frequency	500	32	kHz
Equivalent Resistance, $R_s$	1.0	6.2	$\pm \Omega$
External Resistor/Capacitor Values			
$R_0$	47	750	k $\Omega$
$C_T$	82	82	pF
$C_S$	20	20	pF
Frequency Stability			
Frequency Changes as a Function of $V_{DD}$ ( $T_A = 25^\circ\text{C}$ )			
$V_{DD}$ Change from 5.0 V to 10 V	+6.0	+2.0	ppm
$V_{DD}$ Change from 10 V to 15 V	+2.0	+2.0	ppm
Frequency Change as a Function of Temperature ( $V_{DD} = 10 \text{ V}$ )			
$T_A$ Change from $-55^\circ\text{C}$ to $+25^\circ\text{C}$ Complete Oscillator*	+100	+120	ppm
$T_A$ Change from $+25^\circ\text{C}$ to $+125^\circ\text{C}$ Complete Oscillator*	-160	-560	ppm

\*Complete oscillator includes crystal, capacitors, and resistors

## 5.3 (1)4xxx-serie CMOS

## (1)4516

## presetbare binaire op/neer-teller

TRUTH TABLE

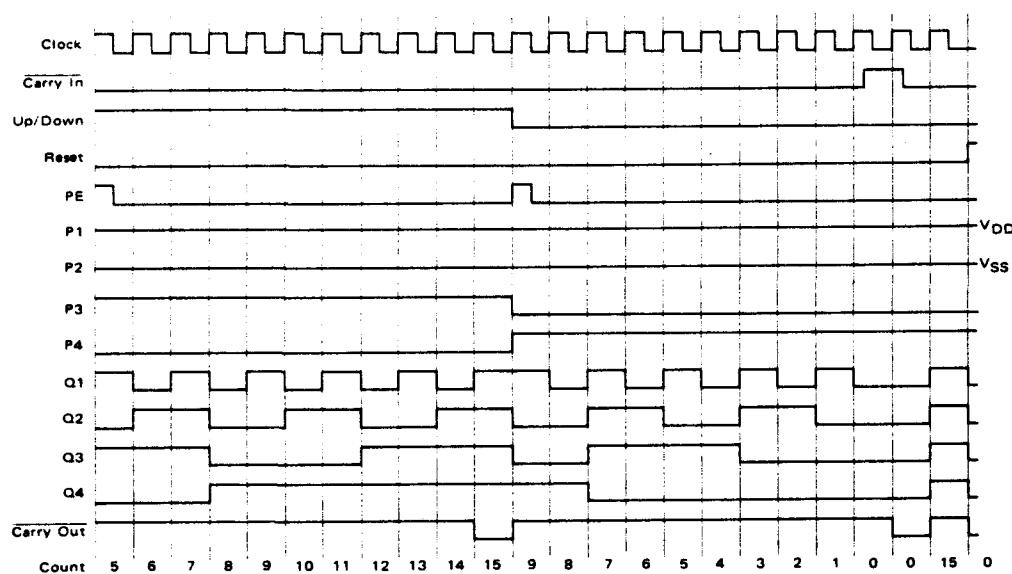
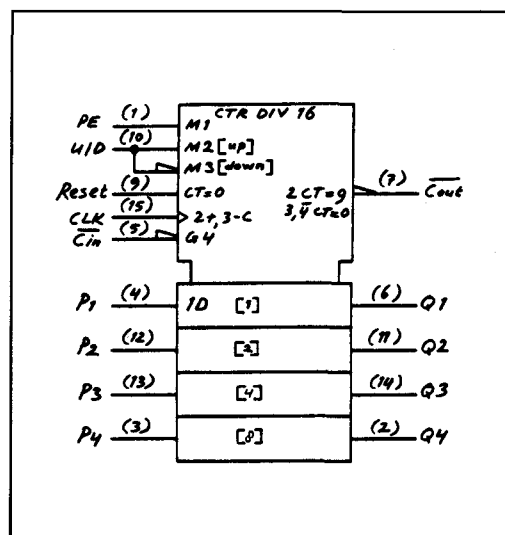
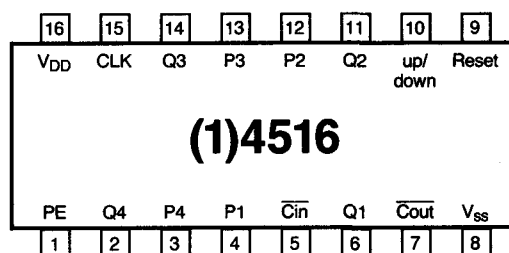
CARRY IN	UP/DOWN	PRESET ENABLE	RESET	ACTION
1	X	0	0	No Count
0	1	0	0	Count Up
0	0	0	0	Count Down
X	X	1	0	Preset
X	X	X	1	Reset

X = Don't Care

waarheidstabel

Figuur 4/5.3-516

logisch symbool



timing

o.a. leverbaar: MC14516 A/B/C  
CD 4516 B  
HEF 4516 B

## 5.3 (1)4xxx-serie CMOS

## (1)4520

## 2 binaire tellers

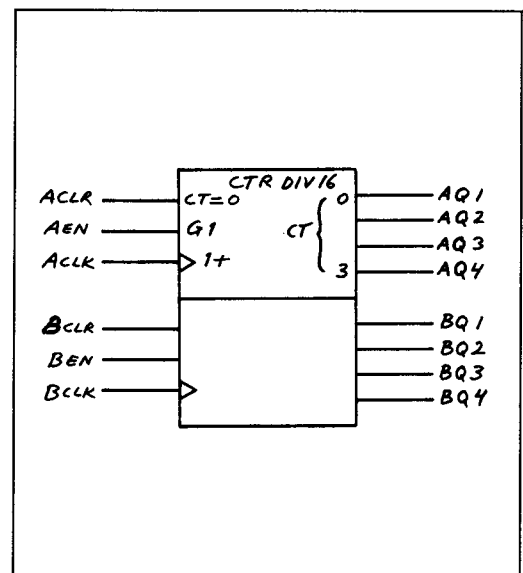
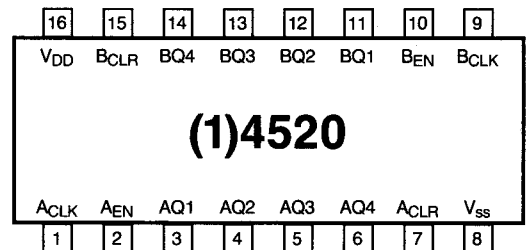
TRUTH TABLE

CLOCK	ENABLE	RESET	ACTION
	1	0	Increment Counter
0		0	Increment Counter
	X	0	No Change
X		0	No Change
	0	0	No Change
1		0	No Change
X	X	1	Q0 thru Q3 = 0

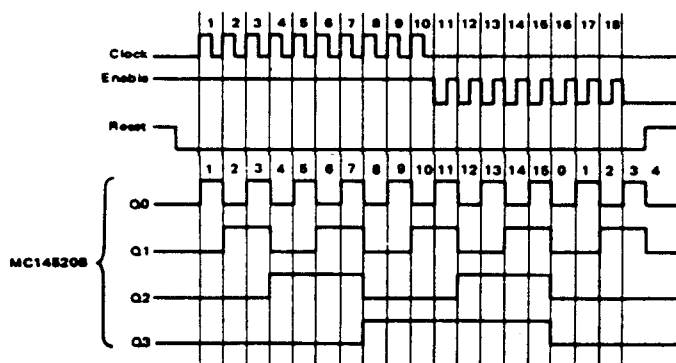
X = Don't Care

waarheidstabel

Figuur 4/5.3-520



logisch symbool



timing

o.a. leverbaar: MC 14520 A/B/C  
 CD 4520 B  
 HEF 4520 B

## Deel 4: Flip-Flops, latches, tellers en schuifregisters

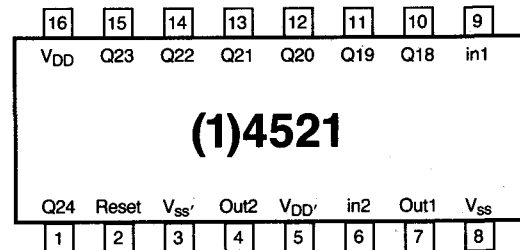
## 5.3 (1)4xxx-serie CMOS

## (1)4521

## 24 traps frequentie-deler

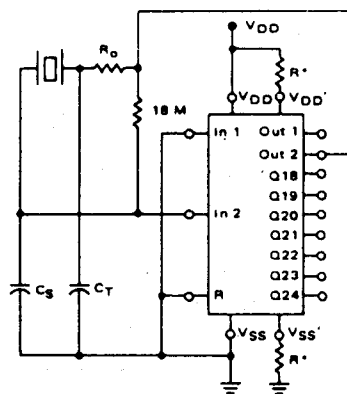
met ingangstrap voor kristal-oscillator, RC-oscillator of buffer voor externe frequentie.

Figuur 4/5.3-521



toepassings  
voorbeeld

CRYSTAL OSCILLATOR CIRCUIT

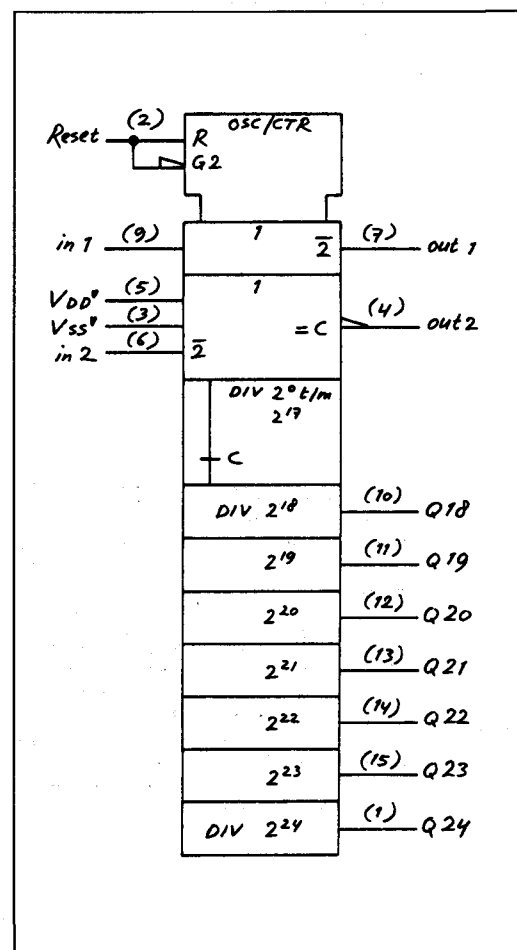


\*Optional for low power operation.  
 $10 \text{ k}\Omega \leq R \leq 70 \text{ k}\Omega$

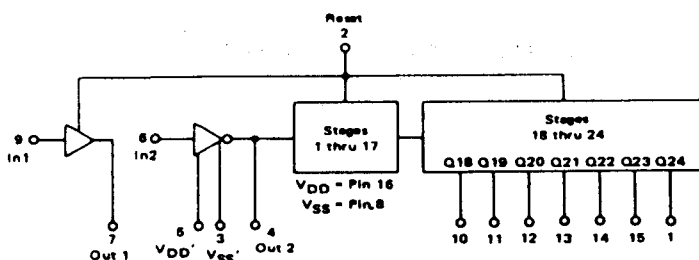
TYPICAL DATA FOR CRYSTAL  
OSCILLATOR CIRCUIT

CHARACTERISTIC	500 kHz CIRCUIT	50 kHz CIRCUIT	UNIT
Crystal Characteristics			
Resonant Frequency	500	50	kHz
Equivalent Resistance, $R_S$	1.0	6.2	k $\Omega$
External Resistor/Capacitor Values			
$R_0$	47	750	k $\Omega$
$C_T$	82	82	pF
$C_S$	20	20	pF
Frequency Stability			
Frequency Change as a Function of $V_{DD}$ ( $T_A = 25^\circ\text{C}$ )			
$V_{DD}$ Change from 5.0 V to 10 V	+6.0	+2.0	ppm
$V_{DD}$ Change from 10 V to 15 V	+2.0	+2.0	ppm
Frequency Change as a Function of Temperature ( $V_{DD} = 10 \text{ V}$ )			
$T_A$ Change from $-55^\circ\text{C}$ to $+25^\circ\text{C}$	-4.0	-2.0	ppm
MC14521 only			
Complete Oscillator*	+100	+120	ppm
$T_A$ Change from $+25^\circ\text{C}$ to $+125^\circ\text{C}$	-2.0	-2.0	ppm
MC14521 only			
Complete Oscillator*	-160	-560	ppm

\*Complete oscillator includes crystal, capacitors, and resistors.



logisch symbool



functioneel blokschema

OUTPUT	COUNT CAPACITY
Q18	$2^{18} = 262,144$
Q19	$2^{19} = 524,288$
Q20	$2^{20} = 1,048,576$
Q21	$2^{21} = 2,097,152$
Q22	$2^{22} = 4,194,304$
Q23	$2^{23} = 8,388,608$
Q24	$2^{24} = 16,777,216$

o.a. leverbaar: MC 14521 B  
CD 4521 B  
HEF 4521 B

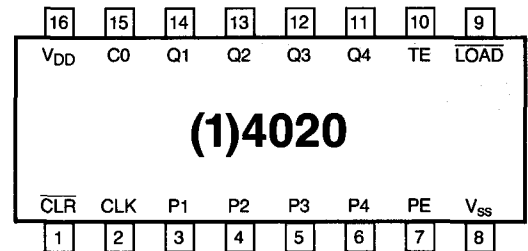


## 5.3 (1)4xxx-serie CMOS

**(1)40161**

presetbare 4-bit binaire teller met  
asynchrone clear

Figuur 4/5.3-161

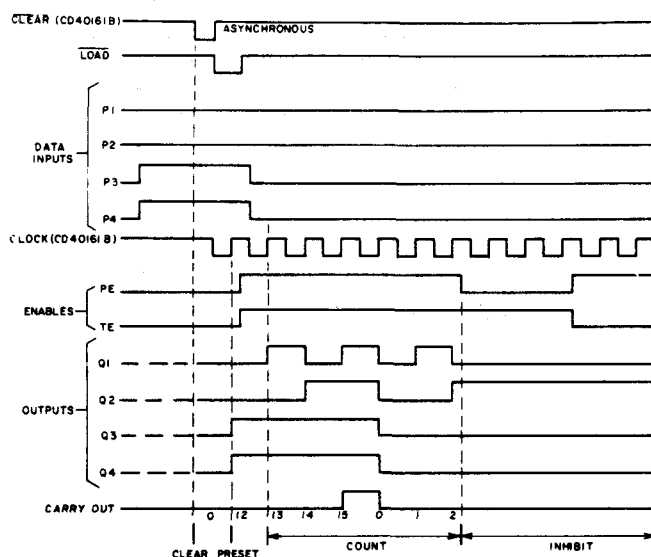


TRUTH TABLE

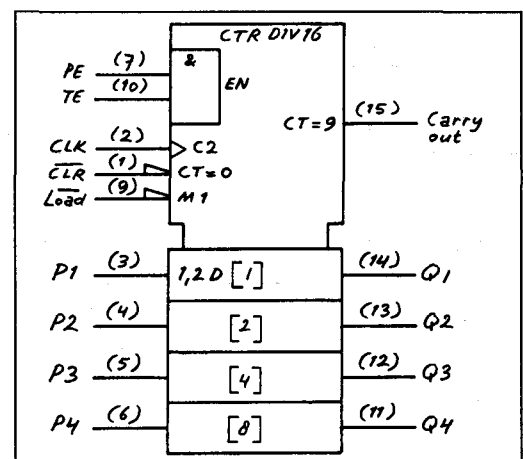
CLOCK	$\overline{\text{CLR}}$	LOAD	PE	TE	OPERATION
	1	0	X	X	PRESET
	1	1	0	X	NC
	1	1	X	0	NC
	1	1	1	1	COUNT
X	0	X	X	X	RESET (CD40161B)

1 = HIGH LEVEL    0 = LOW LEVEL    X = DON'T CARE    NC = NO CHANGE

waarheidstabel



timing



logisch symbol

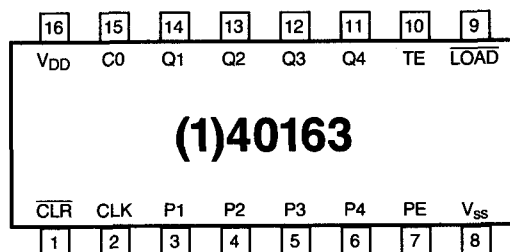
o.a. leverbaar: MC 140161 B  
CD 40161 B  
HEF 40161 B

## 5.3 (1)4xxx-serie CMOS

**(1)40163**

presetbare 4-bit binaire teller met  
synchrone clear

Figuur 4/5.3-163

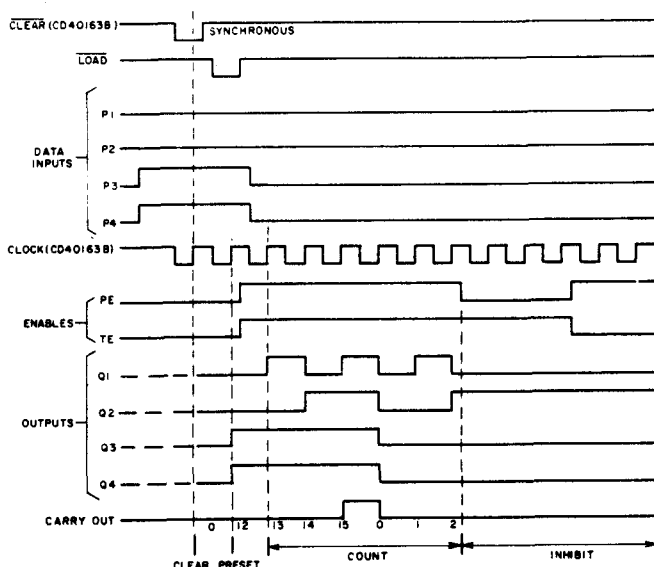


TRUTH TABLE

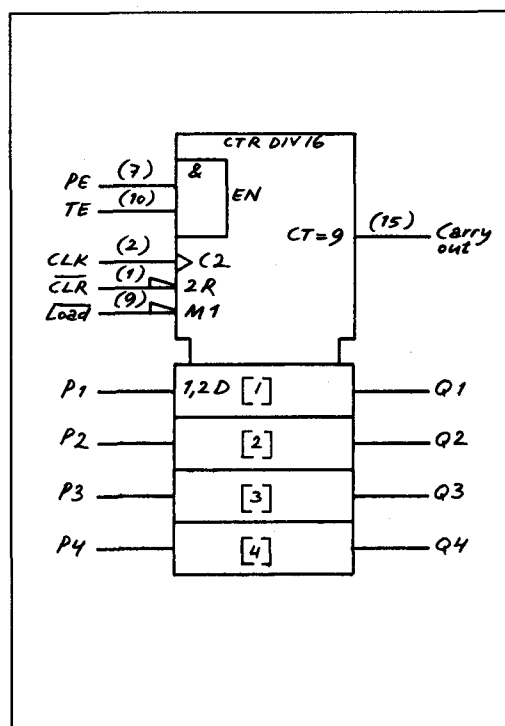
CLOCK	$\overline{\text{CLR}}$	$\overline{\text{LOAD}}$	PE	TE	OPERATION
	1	0	X	X	PRESET
	1	1	0	X	NC
	1	1	X	0	NC
	1	1	1	1	COUNT
	0	X	X	X	RESET (CD40163B)
	1	X	X	X	NC (CD40163B)

1 = HIGH LEVEL    0 = LOW LEVEL    X = DON'T CARE    NC = NO CHANGE

waarheidstabel



timing



logisch symbool

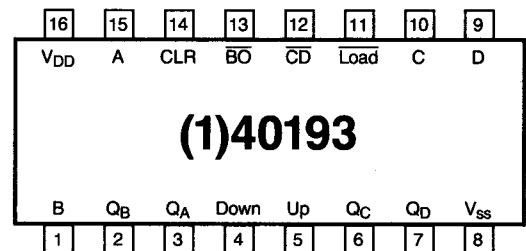
o.a. leverbaar: MC 140163 B  
CD 40163 B  
HEF 40163 B

## 5.3 (1)4xxx-serie CMOS

**(1)40193**

presetbare 4-bit op/neer teller

Figuur 4/5.3-193



TRUTH TABLE

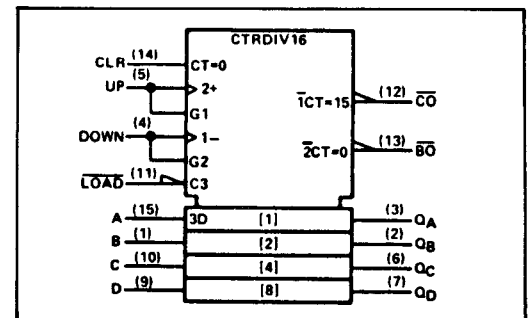
CLOCK UP	CLOCK DOWN	PRESET ENABLE	RESET	ACTION
	1	1	0	COUNT UP
	1	1	0	NO COUNT
1		1	0	COUNT DOWN
1		1	0	NO COUNT
X	X	0	0	PRESET
X	X	X	1	RESET

1 = HIGH LEVEL

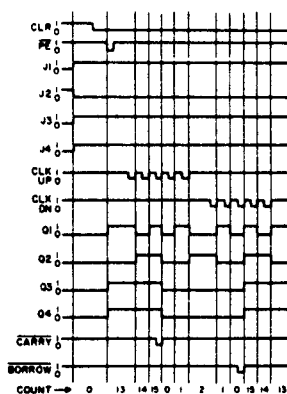
0 = LOW LEVEL

X = DON'T CARE

waarheidstabel



logisch symbool



timing

preset enable = load

J<sub>1</sub> = A inputQ<sub>1</sub> = QA output

o.a. leverbaar: CD 40193 B  
 MSM 40193 B  
 HEF 40193 B

## Deel 4: Flip-Flops, latches, tellers en schuifregisters

## 5.3 (1)4xxx-serie CMOS

## 5.4 10k-serie ECL

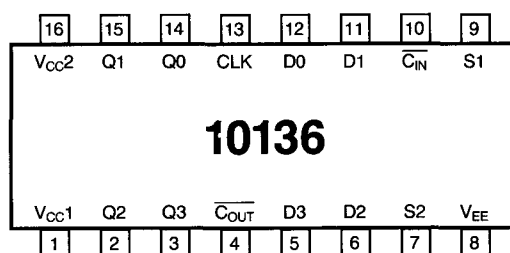
## 4/5.4

Binaire tellers  
10k-serie ECL

## 10136

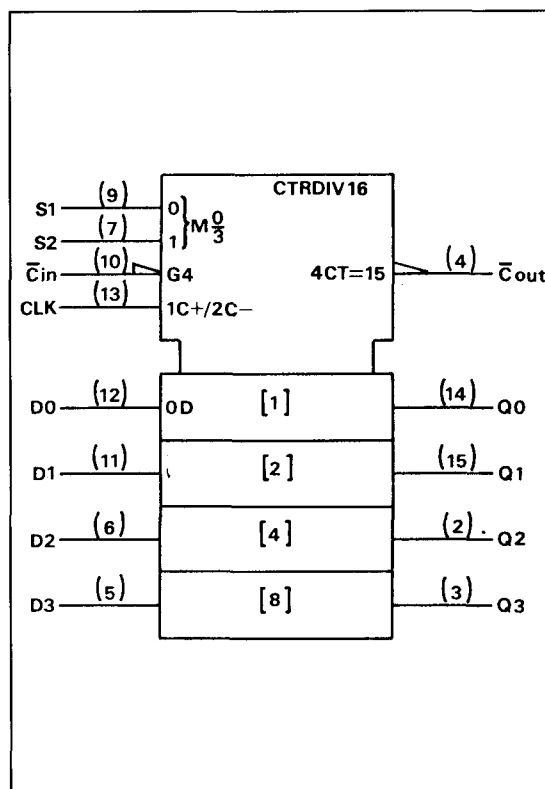
universele hexadecimale (16)teller  
(op/neer-tellen, presetten, stoppen)  
 $f_{\max} > 100 \text{ MHz}$

Figuur 4/5.4-136



## Parameters bij 25°C

$I_E$	min typ max	20 26	mA	Stroom uit voeding ( $V_{EE} = -5,2 \text{ V}$ )
$I_{IL}$	min typ max	0.5	$\mu\text{A}$	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	245	$\mu\text{A}$	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.85 -1.65	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.96 -0.81	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.63	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.98	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
$P$	typ	100	mW/ package	Dissipatie
$t_d$	typ	2.0	ns	Vertragingstijd
fanout ZIN		1 50	50 Ohm-lijn(en) kOhm pull-down weerstanden	



logisch symbol

## FUNCTION SELECT TABLE

S1	S2	OPERATING MODE
L	L	Preset (Program)
L	H	Increment (Count Up)
H	L	Decrement (Count Down)
H	H	Hold (Stop Count)

INPUTS								OUTPUTS				
S1	S2	D0	D1	D2	D3	Carry IN	Clock 2	Q0	Q1	Q2	Q3	Carry Out
L	L	L	L	H	H	$\phi$	H	L	L	H	H	L
L	H	$\phi$	$\phi$	$\phi$	$\phi$	L	H	L	L	H	H	H
L	H	$\phi$	$\phi$	$\phi$	$\phi$	L	H	L	H	H	H	H
L	H	$\phi$	$\phi$	$\phi$	$\phi$	L	H	H	H	H	H	L
L	H	$\phi$	$\phi$	$\phi$	$\phi$	H	L	H	H	H	H	H
L	H	$\phi$	$\phi$	$\phi$	$\phi$	H	H	H	H	H	H	H
L	L	H	H	L	L	$\phi$	H	H	H	L	L	L
H	L	$\phi$	$\phi$	$\phi$	$\phi$	L	H	L	H	L	L	H
H	L	$\phi$	$\phi$	$\phi$	$\phi$	L	H	L	L	L	L	H
H	L	$\phi$	$\phi$	$\phi$	$\phi$	L	H	L	L	L	L	L
H	L	$\phi$	$\phi$	$\phi$	$\phi$	L	H	H	H	H	H	H

$\phi =$  Don't care.

1 = Truth table shows logic states assuming inputs vary in sequence shown from top to bottom.

2 - A clock H is defined as a clock input transition from a low to a high logic level.

## 4/5.10

# Timing-karakteristieken van binaire tellers

### Inleiding

#### Timing-karakteristieken

Om de werking van tellers beter te begrijpen is het nuttig om behalve de functionele schema's, de logische symbolen en de waarheidstabellen ook de bijbehorende timing-karakteristieken te bestuderen. Het kan voor een bepaald ontwerp bijvoorbeeld heel belangrijk zijn of een teller op de op- of neergaande flank van de klokpulsen telt. Ook moet bekend zijn of, indien mogelijk, het laden en/of resetten synchroon (met behulp van een klokpuls) of asynchroon geschiedt. Deze gegevens bepalen de momenten

waarop de data en stuursignalen aanwezig moeten zijn. Door middel van een tijddiagram kan de samenhang van de signalen eenvoudig worden aangegeven, zodat de werking van de teller duidelijker wordt.

#### TTL-tellers

Het bovenstaande geldt voor tellers in het algemeen en dus ook voor binaire tellers. De volgende tijddiagrammen vormen een aanvulling op de beschrijvingen van de binaire tellers van de 74xx-serie TTL en HC (deel 4/5.2). De binaire tellers van de andere series zijn ter plekke reeds van tijddiagrammen voorzien.

## 5.10 Timing-karakteristieken van binaire tellers

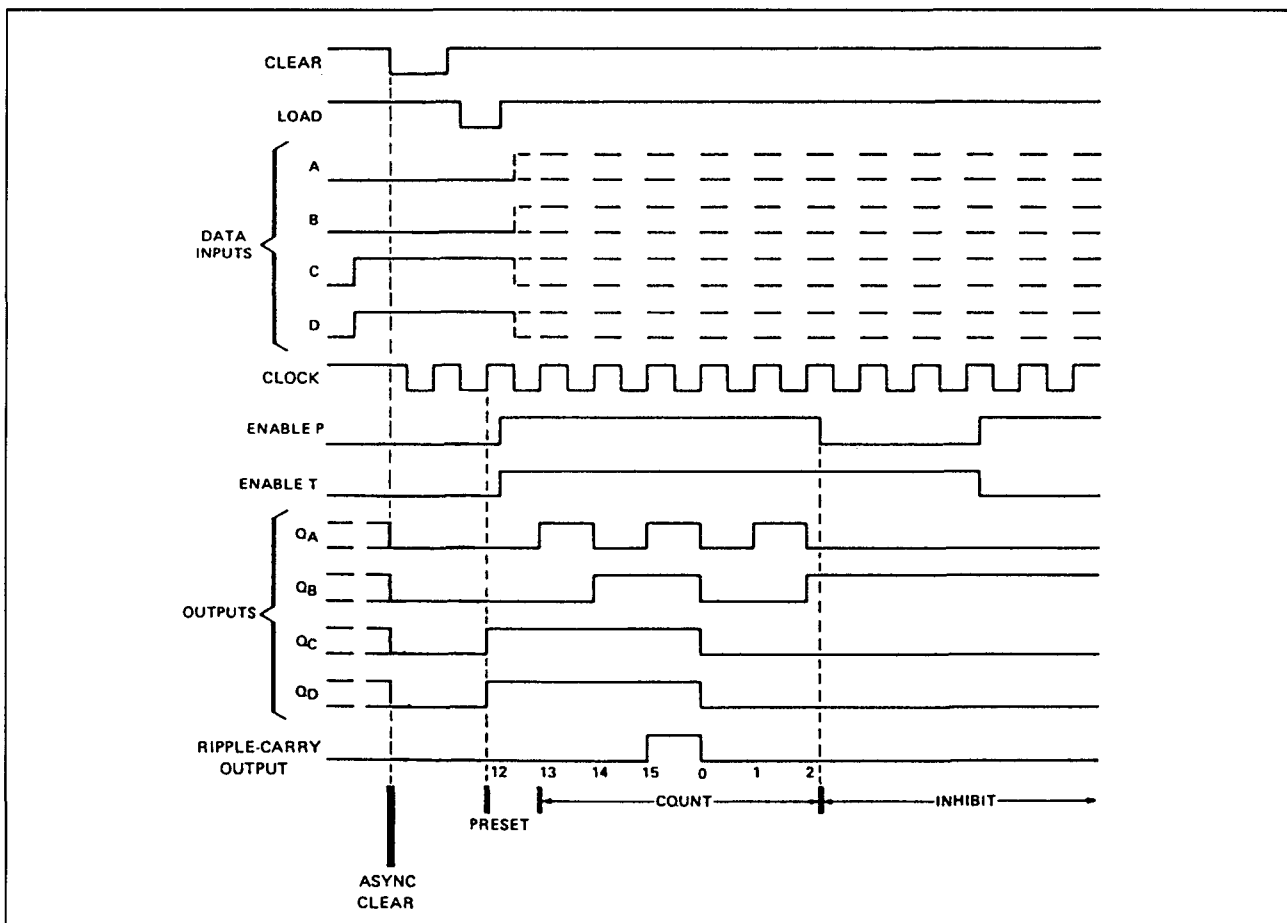
## 74161

**Beschrijving**

De 74161 is een 4 bit binaire teller met synchrone preset en direkte (asynchrone) clear.

**Volgorde van gebeurtenissen**

- clear;
- preset op binair 12;
- tellen tot 13, 14, 15, 0, 1 en 2;
- inhibit.



Figuur 4/5.10-1: De timing-karakteristiek van de 74161.



## 5.10 Timing-karakteristieken van binaire tellers

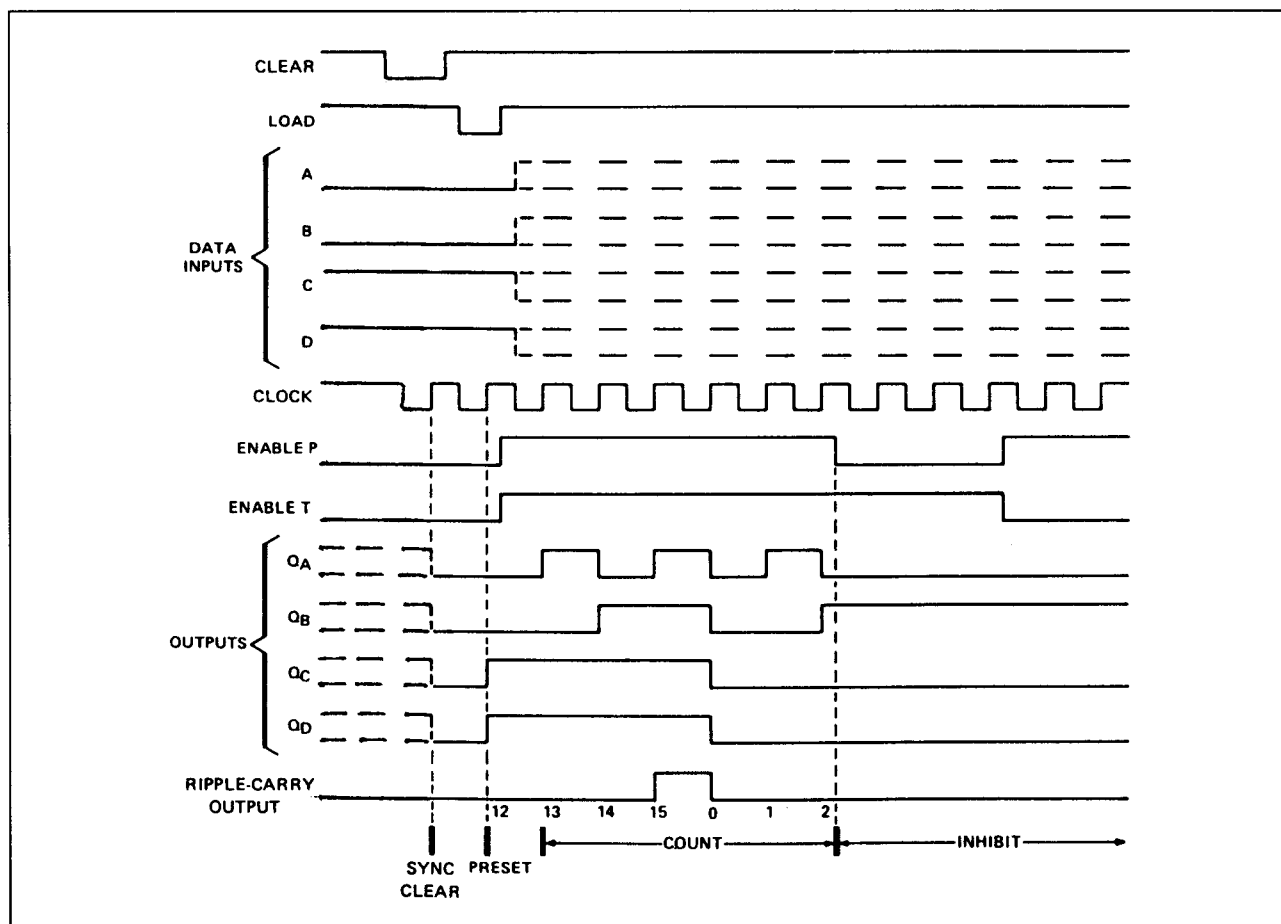
## 74163

**Beschrijving**

De 74163 is een 4 bit binaire teller met synchrone preset en clear.

**Volgorde van gebeurtenissen**

- clear;
- preset op binair 12;
- tellen tot 13, 14, 15, 0, 1 en 2;
- inhibit.



Figuur 4/5.10-2: De timing-karakteristiek van de 74163.

## 5.10 Timing-karakteristieken van binaire tellers

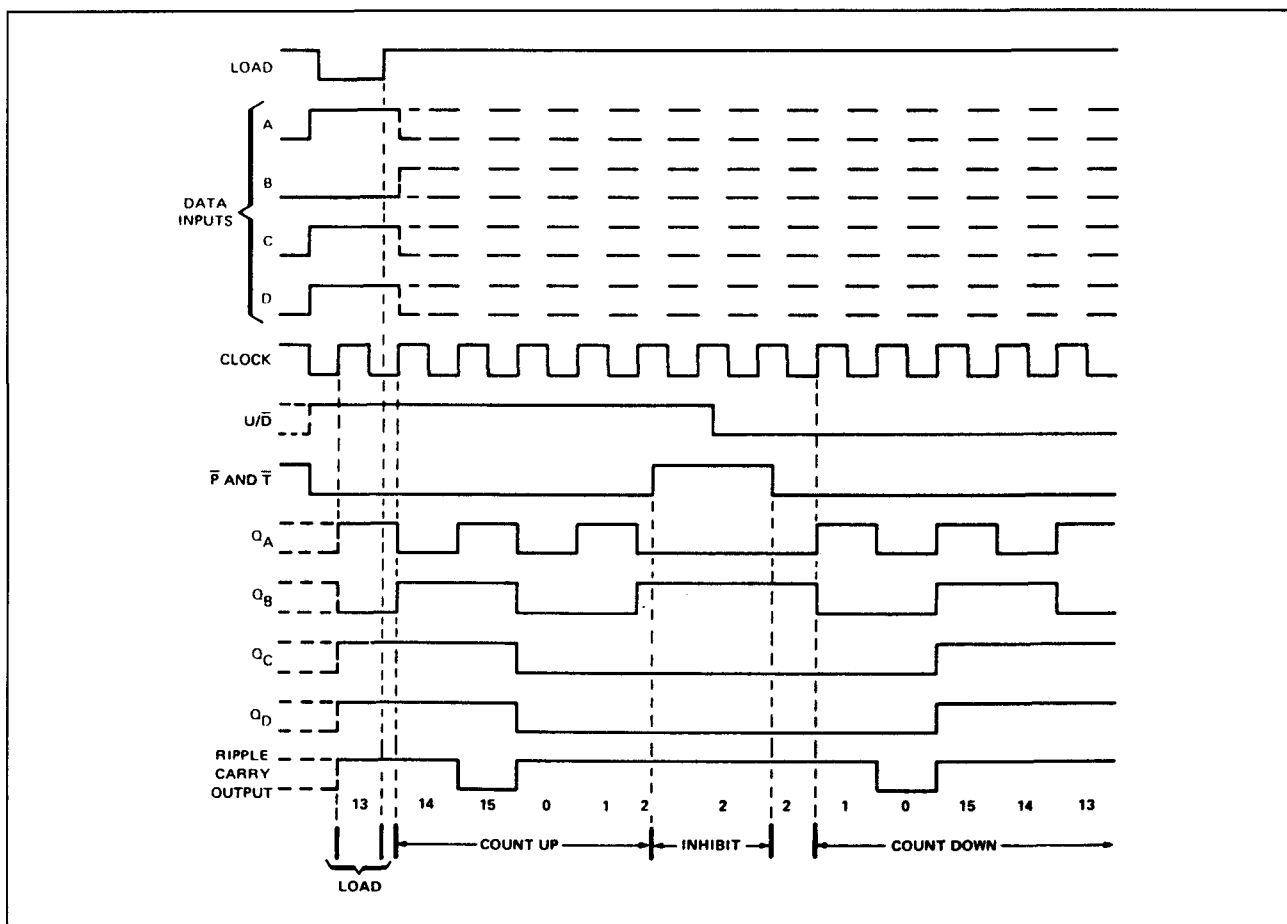
## 74169

**Beschrijving**

De 74169 is een 4 bit synchrone op/neer binaire teller met synchrone preset.

**Volgorde van gebeurtenissen**

- preset op binair 13;
- optellen tot 14, 15 (maximum), 0, 1 en 2;
- inhibit;
- neertellen tot 1, 0 (minimum), 15, 14 en 13.



**Figuur 4/5.10-3:** De timing-karakteristiek van de 74169.

## 5.10 Timing-karakteristieken van binaire tellers

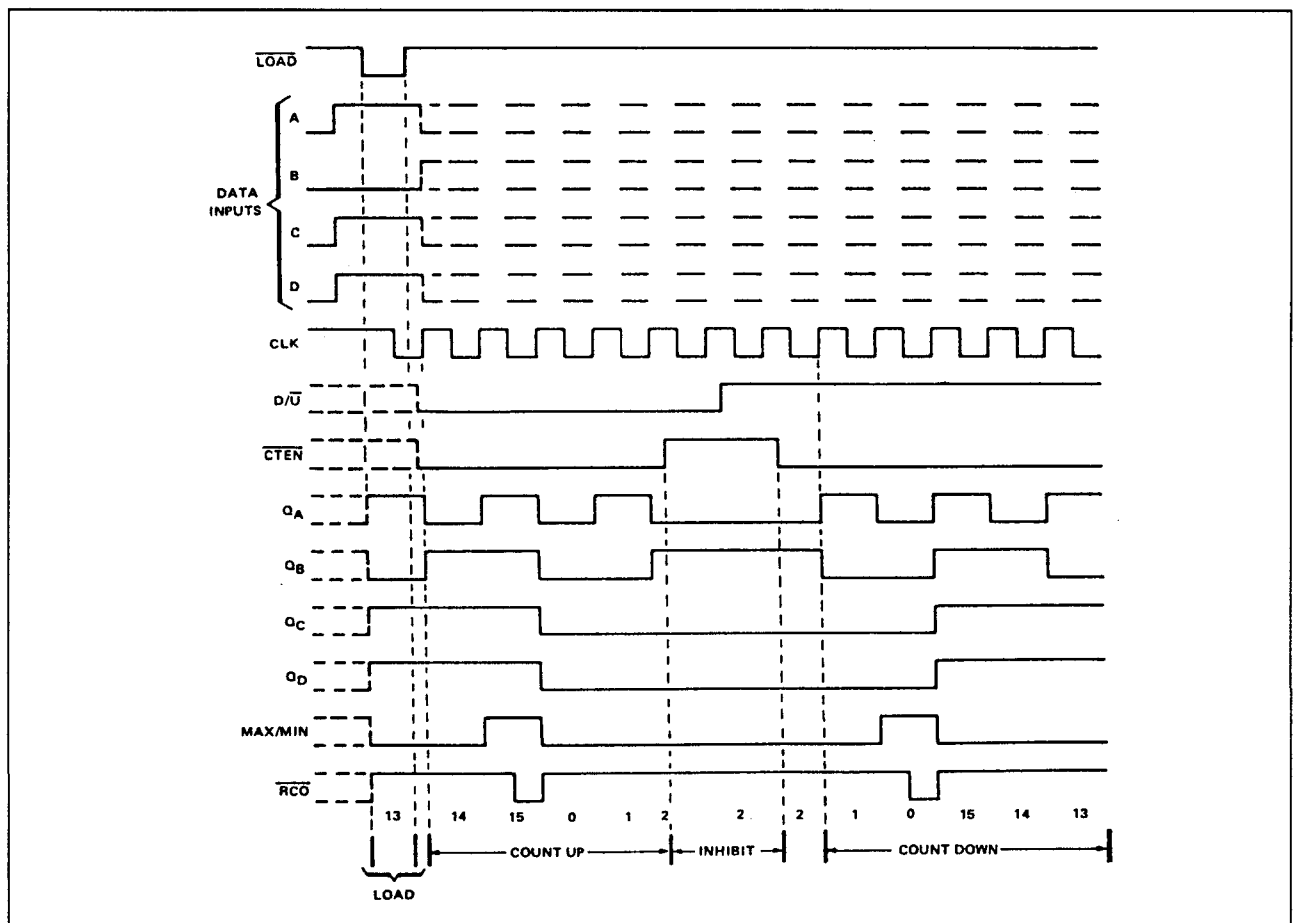
## 74191

**Beschrijving**

De 74191 is een 4 bit synchrone op/neer binaire teller met op/neer-mode control en synchrone preset.

**Volgorde van gebeurtenissen**

- preset op binair 13;
- optellen tot 14, 15 (maximum), 0, 1 en 2;
- inhibit;
- neertellen tot 1, 0 (minimum), 15, 14 en 13.



Figuur 4/5.10-4: De timing-karakteristiek van de 74191.

## 5.10 Timing-karakteristieken van binaire tellers

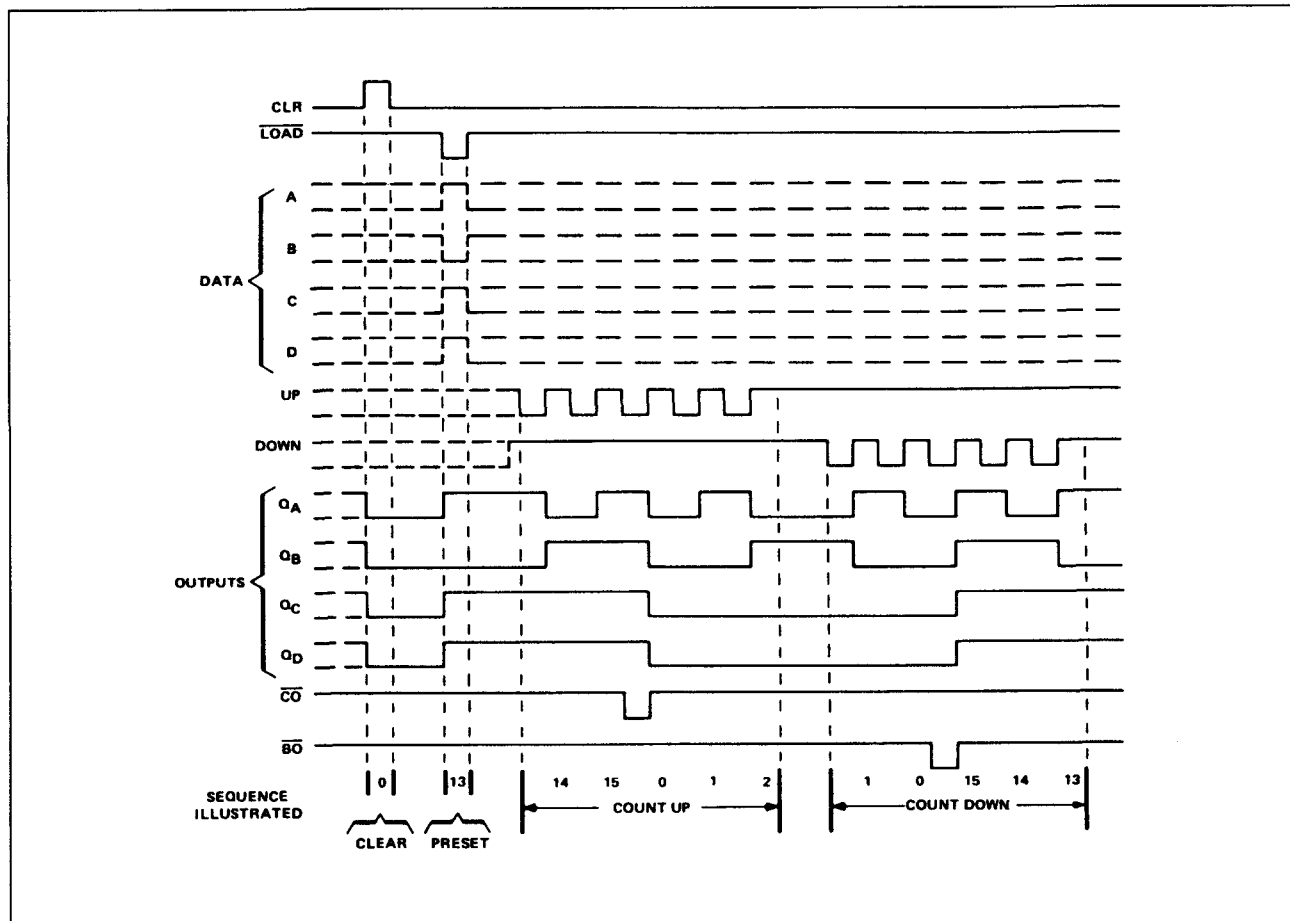
## 74193

**Beschrijving**

De 74193 is een 4 bit synchrone op/neer binaire teller met dubbele klok en asynchrone preset en clear. Clear gaat voor op load, data en tellen. Bij optellen moet de count-down ingang HOOG zijn; bij neertellen moet de count-up HOOG zijn.

**Volgorde van gebeurtenissen**

- clear naar 0;
- preset op binair 13;
- optellen tot 14, 15, carry, 0, 1 en 2;
- neertellen tot 1, 0, borrow, 15, 14 en 13.



Figuur 4/5.10-5: De timing-karakteristiek van de 74193.

## 5.10 Timing-karakteristieken van binaire tellers

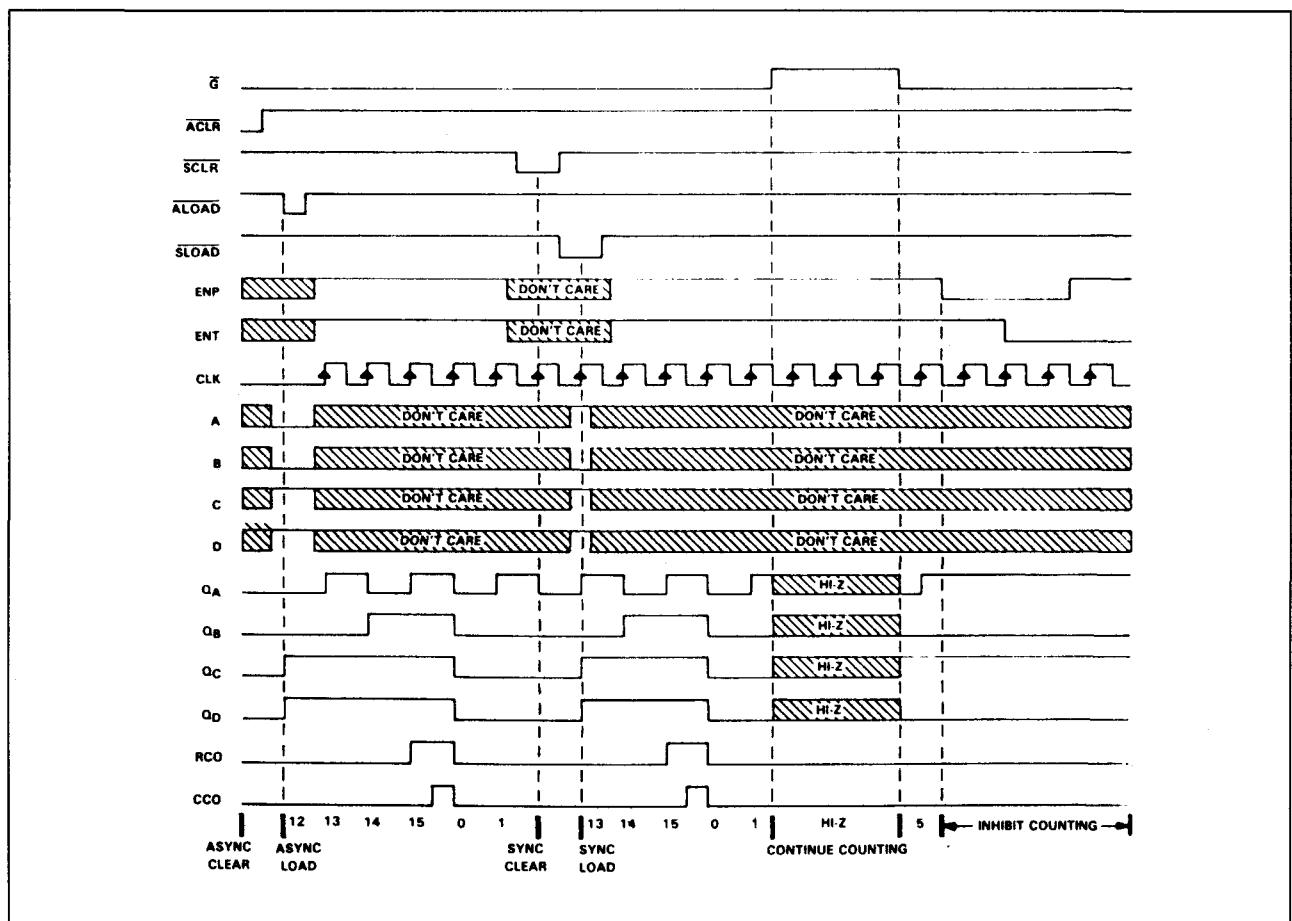
## 74561

**Beschrijving**

De 74561 is een 4 bit synchrone binaire teller met 3-state uitgangen en (naar keuze) synchrone of asynchrone preset en clear.

**Volgorde van gebeurtenissen**

- asynchroon clearen;
- asynchroon laden met 12;
- tellen tot 13, 14, 15, ripple-carry en clocked-carry, 0 en 1;
- synchroon clearen naar 0;
- synchroon laden met 13;
- tellen (ook met hoog-impedante uitgangen);
- inhibit.



Figuur 4/5.10-6: De timing-karakteristiek van de 74561.

## 5.10 Timing-karakteristieken van binaire tellers

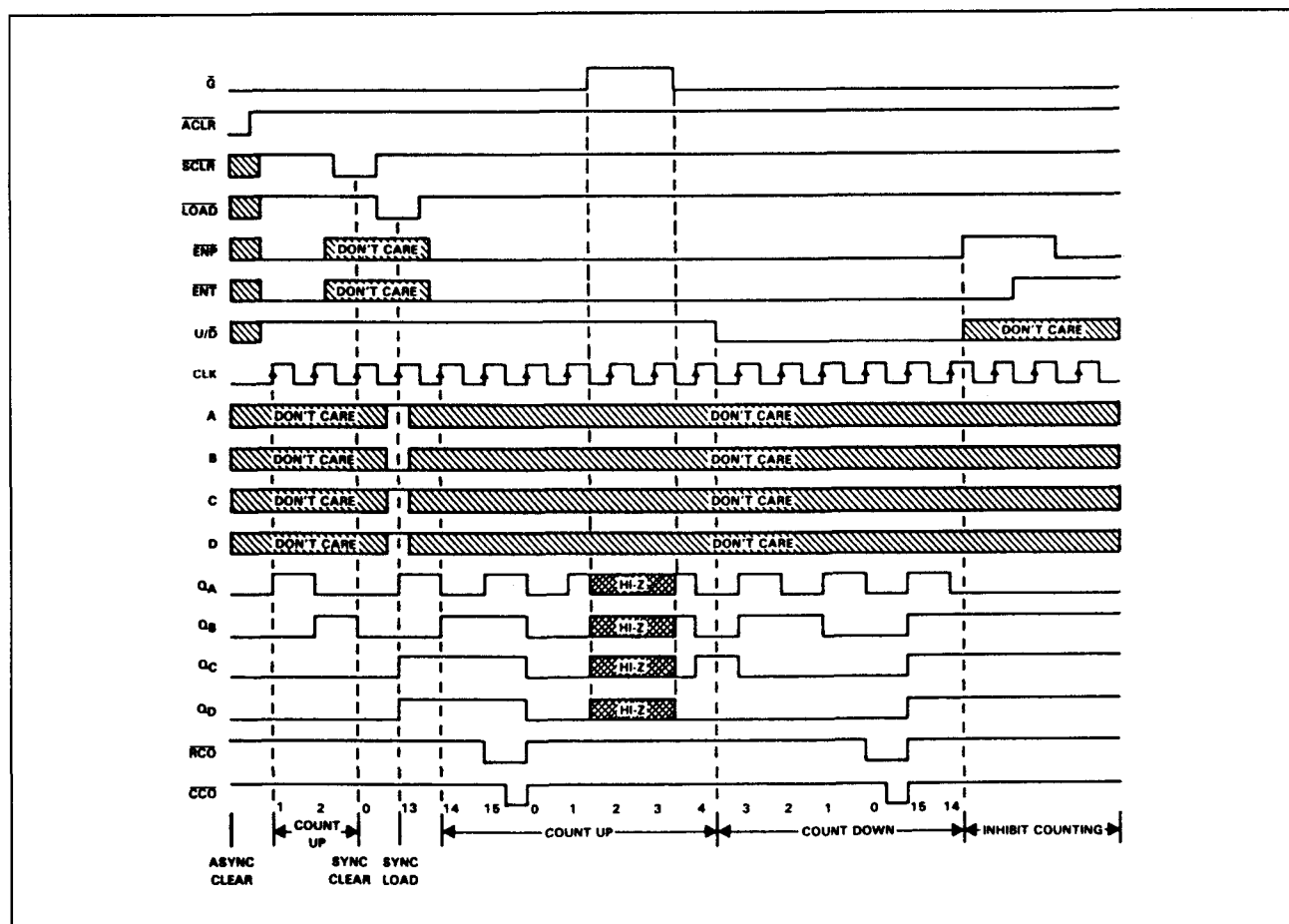
## 74569

**Beschrijving**

De 74569 is een 4 bit synchrone op/neer binaire teller met 3-state uitgangen, synchrone preset en synchrone of asynchrone clear.

**Volgorde van gebeurtenissen**

- asynchroon clearen;
- optellen tot 1 en 2;
- synchroon clearen;
- synchroon laden met 13;
- optellen tot 14, 15, ripple-carry en clocked-carry, 0, 1, 2, 3, 4 (ook met hoog-impedante uitgangen);
- neertellen tot 3, 2, 1, 0, ripple-carry en clocked-carry, 15 en 14;
- inhibit.



Figuur 4/5.10-7: De timing-karakteristiek van de 74569.

## 5.10 Timing-karakteristieken van binaire tellers

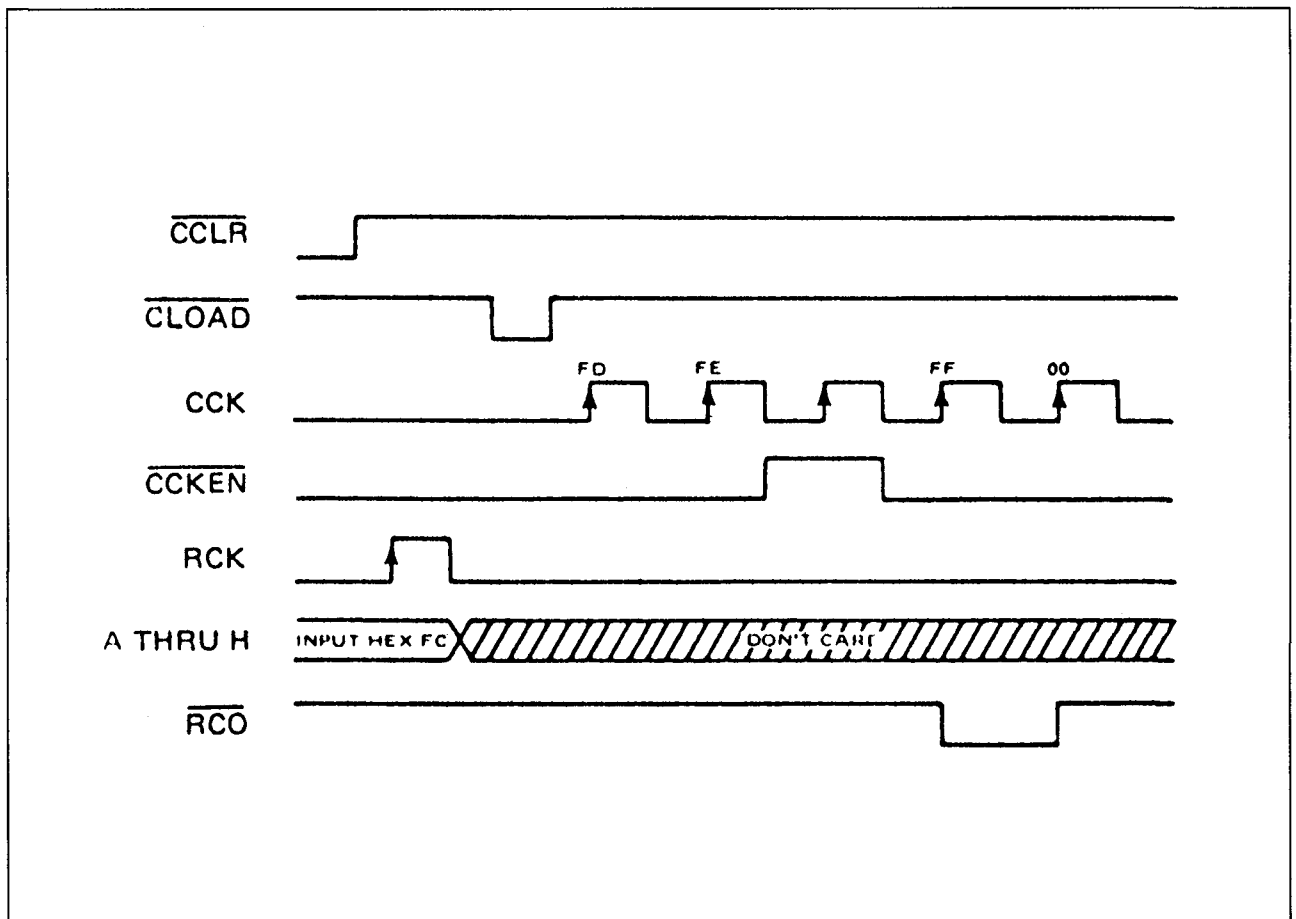
## 74592

**Beschrijving**

De 74592 is een 8 bit binaire teller met input-registers en asynchrone preset (load) en clear.

**Volgorde van gebeurtenissen**

- clear;
- preset op binair 12 (= hex FC);
- tellen tot 13, 14;
- clock inhibit;
- doortellen tot 15 (met ripple-carry out) en 0.



Figuur 4/5.10-8: De timing-karakteristiek van de 74592.

## 5.10 Timing-karakteristieken van binaire tellers

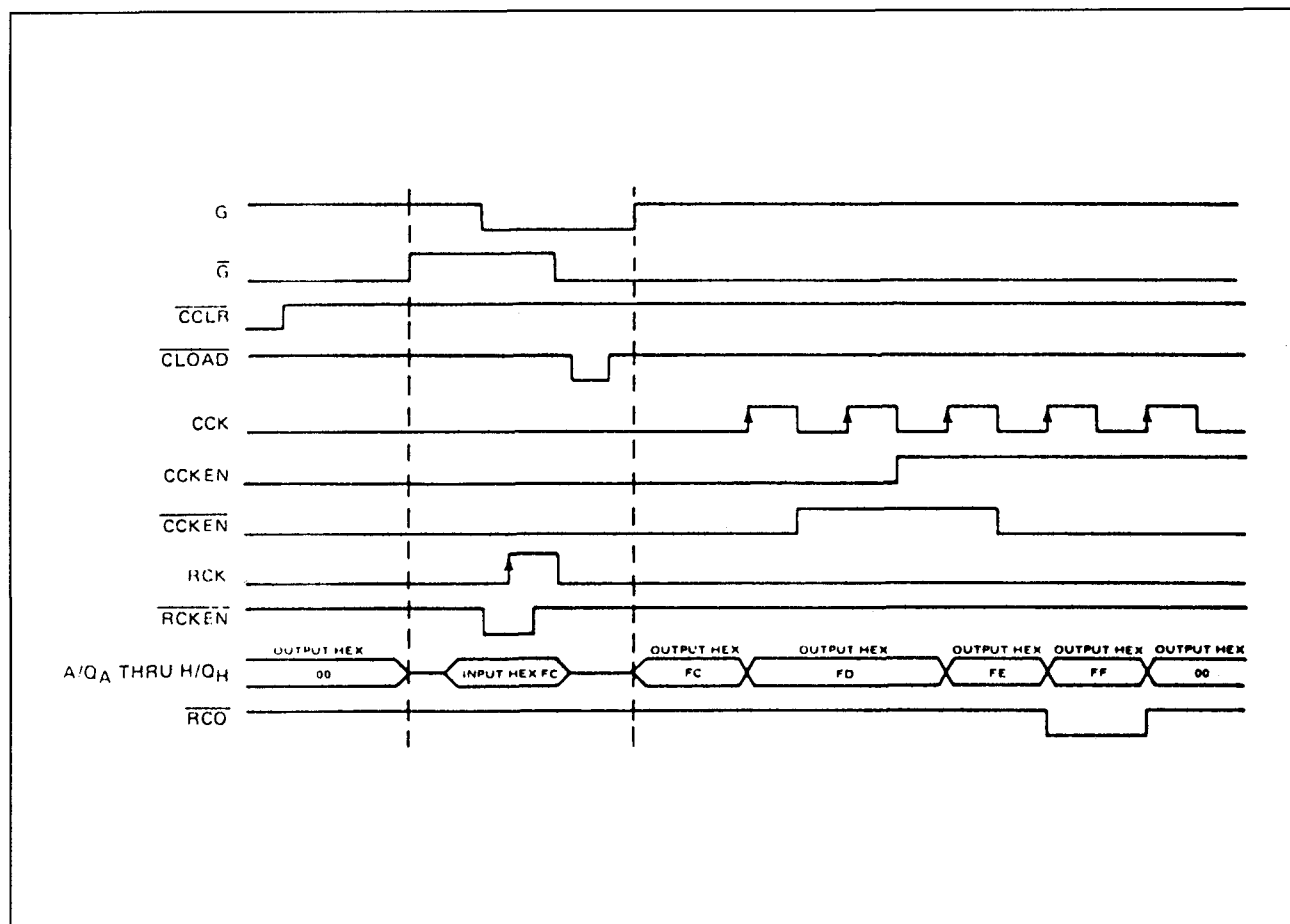
## 74593

**Beschrijving**

De 74593 is een 8 bit binaire teller met 3-state in/uitgangen, input/output-registers en asynchrone preset (load) en clear.

**Volgorde van gebeurtenissen**

- output = 0;
- preset op binair 12 (= hex FC);
- output = 12, tellen tot 13, 14;
- clock inhibit;
- doortellen tot 15 (met ripple-carry out) en 0.



**Figuur 4/5.10-9:** De timing-karakteristiek van de 74593.



## 5.10 Timing-karakteristieken van binaire tellers

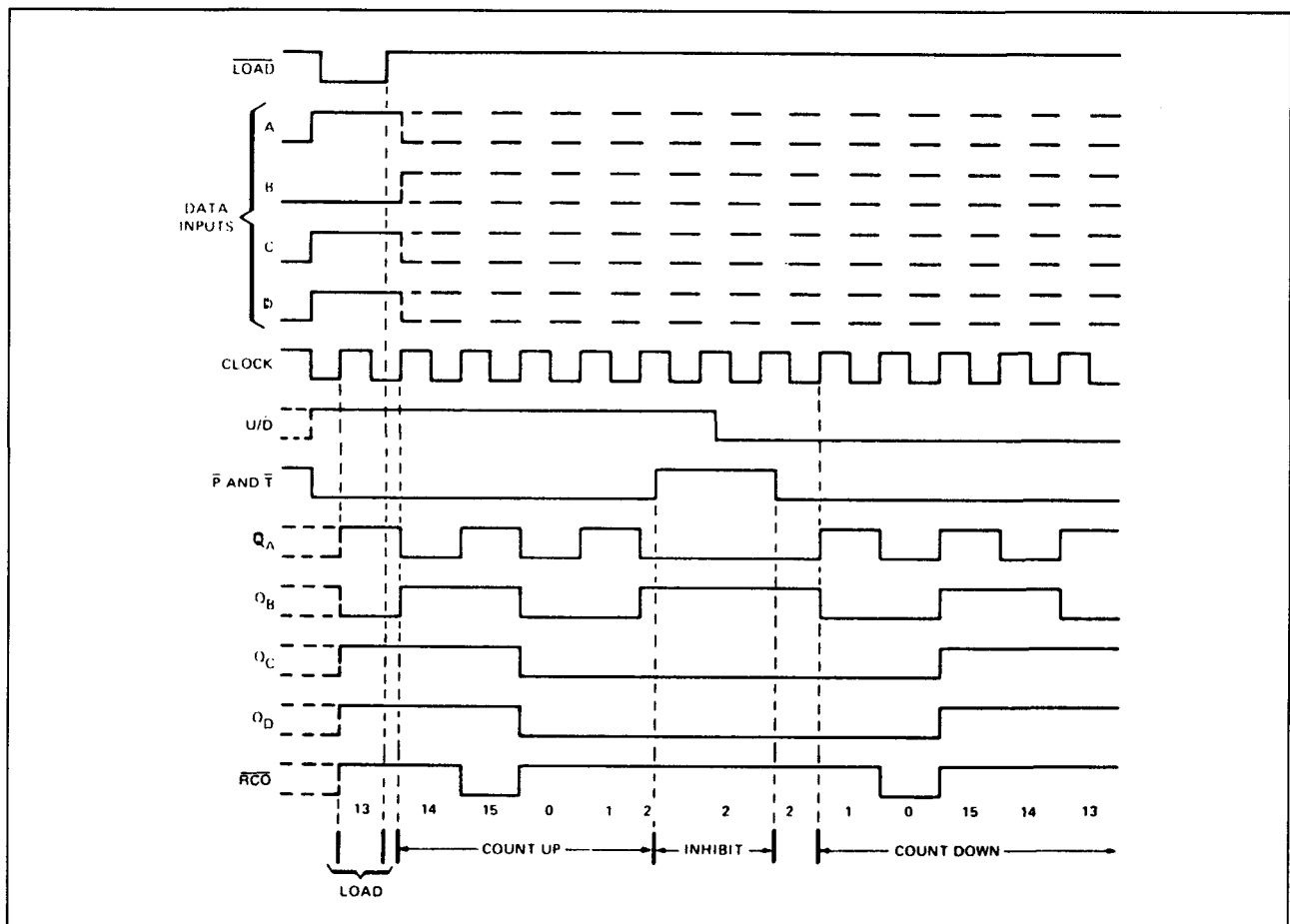
## 74669

**Beschrijving**

De 74669 is een 4 bit synchrone op/neer binaire teller met synchrone preset.

**Volgorde van gebeurtenissen**

- laden met binair 13;
- optellen tot 14, 15 (maximum), 0, 1 en 2;
- inhibit;
- neertellen tot 1, 0 (minimum), 15, 14 en 13.



**Figuur 4/5.10-10:** De timing-karakteristiek van de 74669.

## 5.10 Timing-karakteristieken van binaire tellers

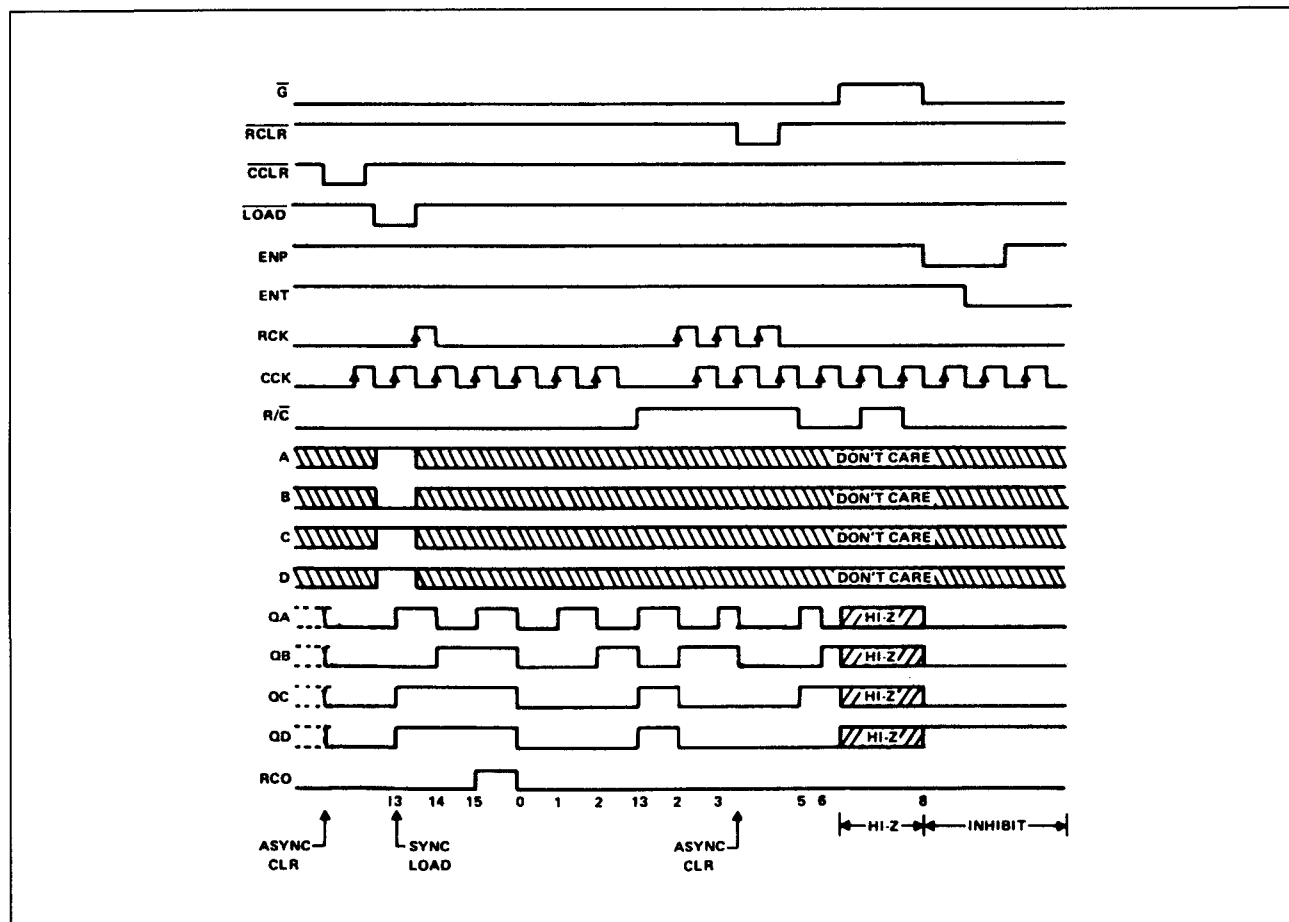
## 74691

**Beschrijving**

De 74691 is een 4 bit synchrone binaire teller met uitgangsregisters en gemultiplexte 3-state uitgangen met synchrone preset (load) en asynchrone (counter en register) clear.

**Volgorde van gebeurtenissen**

- asynchroon clearen teller;
- synchroon laden met 13;
- tellen tot 14, 15, (ripple-carry), 0, 1, 2;
- uitlezen register (13);
- tellen tot 3;
- asynchroon clearen register;
- tellen (ook met hoog-impedante uitgangen);
- inhibit.



Figuur 4/5.10-11: De timing-karakteristiek van de 74691.

## 5.10 Timing-karakteristieken van binaire tellers

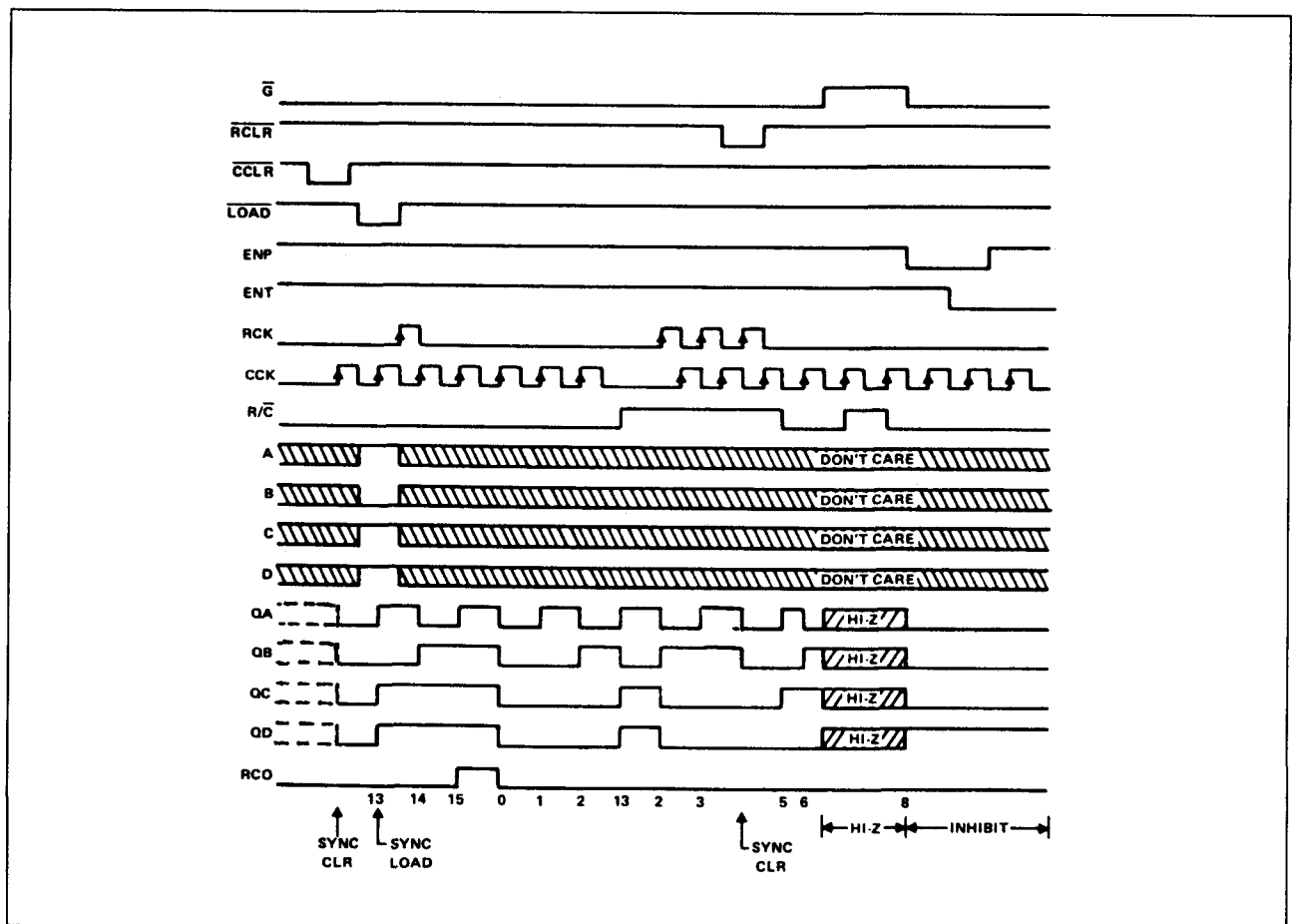
## 74693

**Beschrijving**

De 74693 is een 4 bit synchrone binaire teller met uitgangsregisters en gemultiplexte 3-state uitgangen met synchrone preset en (counter en register) clear.

**Volgorde van gebeurtenissen**

- synchroon clearen teller;
- synchroon laden met 13;
- tellen tot 14, 15, (ripple-carry out), 0, 1, 2;
- uitlezen register (13);
- tellen tot 3;
- synchroon clearen register;
- tellen (ook met hoog-impedante uitgangen);
- inhibit.



**Figuur 4/5.10-12:** De timing-karakteristiek van de 74693.

## 5.10 Timing-karakteristieken van binaire tellers

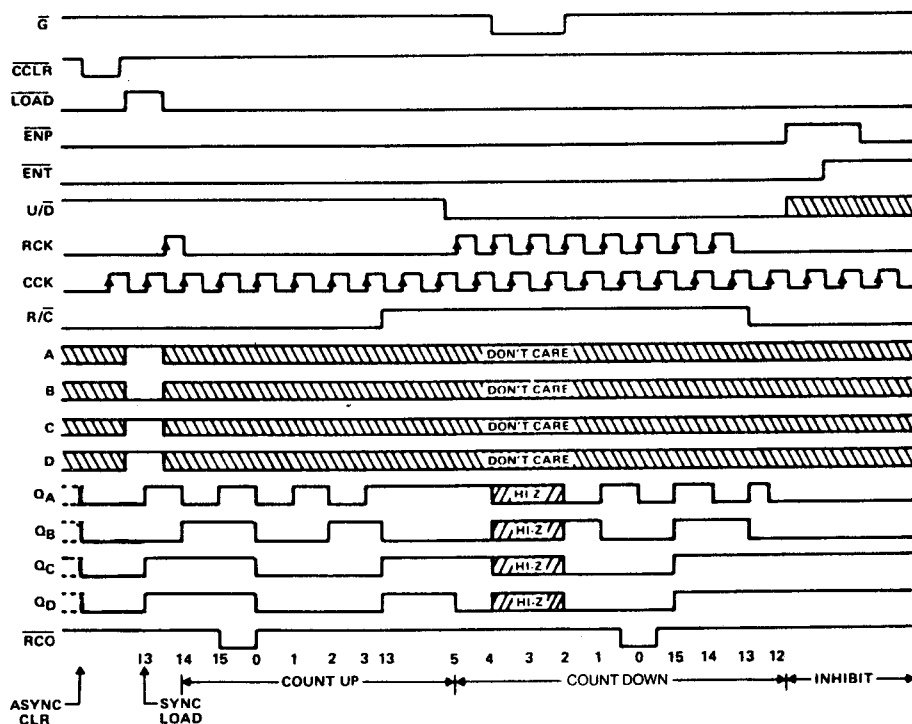
## 74697

**Beschrijving**

De 74697 is een 4 bit synchrone op/neer binaire teller met uitgangsregisters en gemultiplexte 3-state uitgangen met synchrone preset (load) en asynchrone clear.

**Volgorde van gebeurtenissen**

- clear;
- synchroon laden met 13;
- optellen tot 14, 15, (ripple-carry), 0, 1, 2, 3;
- uitlezen register (13) plus doortellen tot 5;
- neertellen tot 4, 3, 2, 1, 0, (ripple-carry), 15, 14, 13, 12 (ook met hoog-impedante uitgangen);
- inhibit.



**Figuur 4/5.10-13:** De timing-karakteristiek van de 74697.

## 5.10 Timing-karakteristieken van binaire tellers

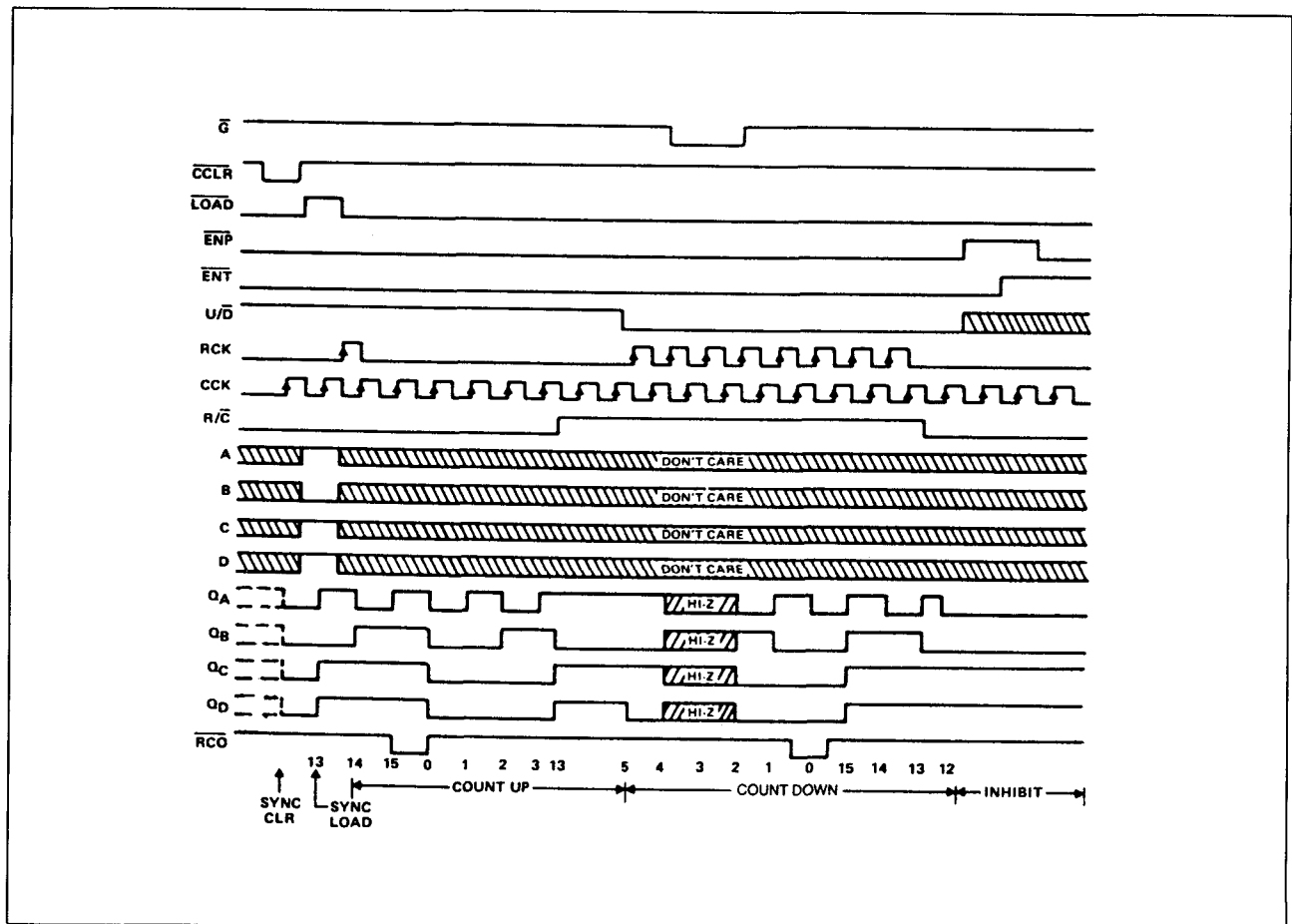
## 74699

**Beschrijving**

De 74699 is een 4 bit synchrone op/neer binaire teller met uitgangsregisters en gemultiplexte 3-state uitgangen met synchrone preset en clear.

**Volgorde van gebeurtenissen**

- synchrone clear;
- synchroon laden met 13;
- optellen tot 14, 15, (ripple-carry), 0, 1, 2, 3;
- uitlezen register (13) plus doortellen tot 5;
- neertellen tot 4, 3, 2, (ook met hoog-impedante uitgangen) 1, 0, (ripple carry), 15, 14, 13, 12;
- inhibit.



Figuur 4/5.10-14: De timing-karakteristiek van de 74699.

## 5.10 Timing-karakteristieken van binaire tellers

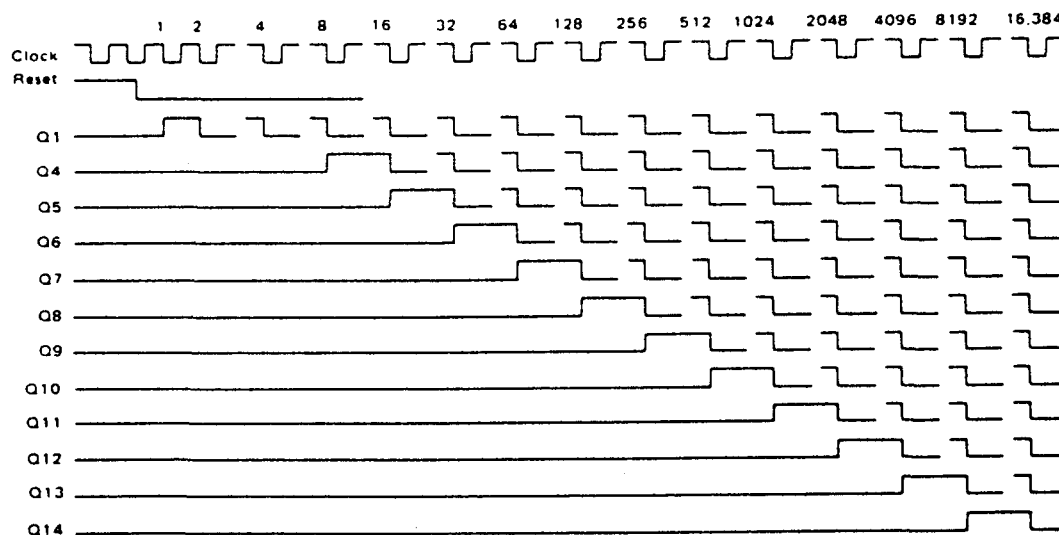
## 744020

**Beschrijving**

De 744020 is een 14 bit asynchrone (ripple-carry) binaire teller met asynchrone clear.

**Volgorde van gebeurtenissen**

- clear (= sperren clock);
- opheffen clear (= tellen).



**Figuur 4/5.10-15:** De timing-karakteristiek van de 744020.

## 5.10 Timing-karakteristieken van binaire tellers

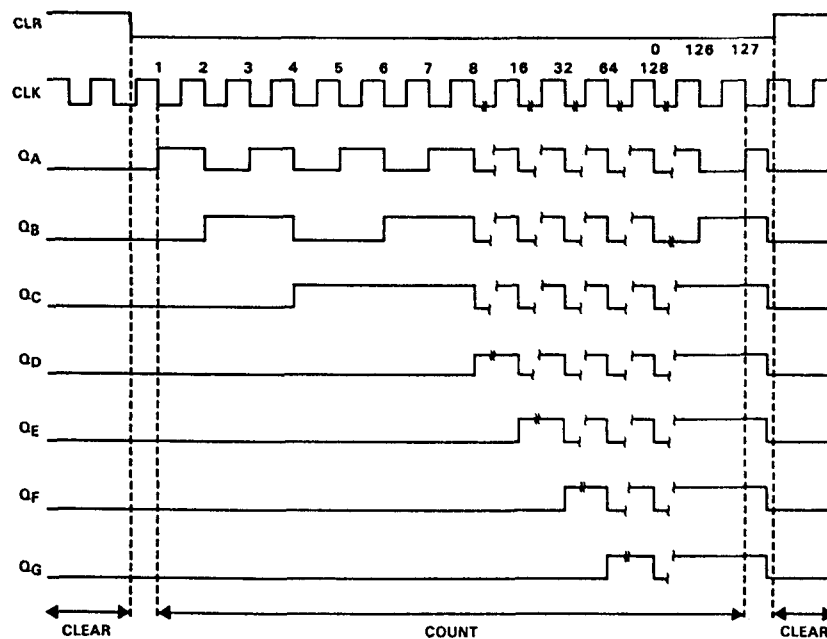
## 744024

**Beschrijving**

De 744024 is een 7 bit asynchrone (ripple-carry) binaire teller met asynchrone clear.

**Volgorde van gebeurtenissen**

- clear (= sperren clock);
- opheffen clear (= tellen).



Figuur 4/5.10-16: De timing-karakteristiek van de 744024.

## 5.10 Timing-karakteristieken van binaire tellers

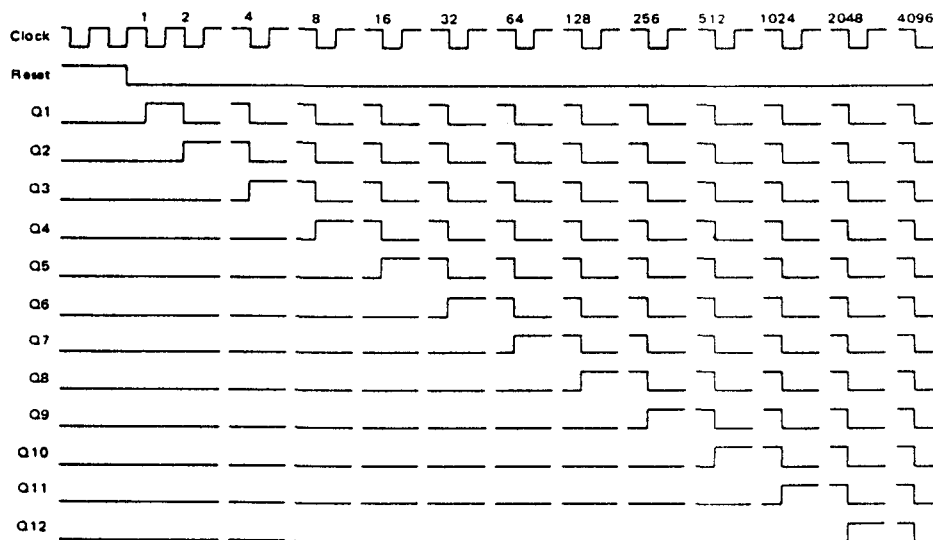
## 744040

**Beschrijving**

De 744040 is een 12 bit asynchrone (ripple-carry) binaire teller met asynchrone clear.

**Volgorde van gebeurtenissen**

- clear (= sperren clock);
- opheffen clear (= tellen).



Figuur 4/5.10-17: De timing-karakteristiek van de 744040.



## 4/6

## BCD-tellers

## Inhoud

4/6.1    **Achtergrond-informatie**  
(aanvulling 20)4/6.2    **BCD-tellers 74xx-serie TTL en HC**  
(basiswerk + aanvulling 1 + 15 + 20)

7490	10-teller (2 en 5)
74160	synchrone 10-teller met directe clear
74162	synchrone 10-teller met synchrone clear
74162	synchrone op/neer 10-teller
74176	instelbare 10-teller (2 en 5)
74190	synchrone op/neer 10-teller (BCD)
74192	synchrone op/neer 10-teller met aparte op-/neer-clock-ingangen (BCD met clear)
74196	instelbare 10-teller (2 en 5)
74290	10-teller (2 en 5)
74390	2 x 10-teller (2 en 5 of BCD)
74490	2 x 10-teller
74560	synchrone 10-teller met 3-state uitgangen
74568	synchrone op/neer 10-teller met 3-state uitgangen
74668	synchrone op/neer 10-teller
74690	synchrone 10-teller met uitgangsregisters en gemultiplexte 3-state uitgangen
74692	synchrone 10-teller met uitgangsregisters en gemultiplexte 3-state uitgangen
Blz. 19 ? - 74696	synchrone op/neer 10-teller met uitgangsregisters en gemultiplexte 3-state uitgangen
Blz. 20 ? - 74698	synchrone op/neer 10-teller met uitgangsregisters en gemultiplexte uitgangen
7468	2 x 10-teller

4/6.3    **BCD-tellers (1)4xxx-serie CMOS**  
(aanvulling 15)

(1)4510	presetbare BCD op/neer-teller
(1)4518	2 x 10-tellers

- (1)4534 "real-time" 5-decaden teller
- (1)4537 4-voudige statische decaden teller
- (1)40160 presetbare 10-teller met asynchrone clear
- (1)40162 presetbare 10-teller met synchrone clear
- (1)40192 presetbare op/neer 10-teller

**4/6.4 BCD-tellers 10 k-serie ECL**  
(aanvulling 20)  
10137 universele decade-teller

**4/6.10 Timing-karakteristieken van BCD-tellers**  
(aanvulling 51)

## 4/6.1

## Achtergrond-informatie

**Inleiding**

In verband met ons gebruikelijke tientallige stelsel nemen decade-tellers (10-tellers) een zeer belangrijke plaats in de logika in. Net als 'gewone' binaire tellers worden zij samengesteld uit flip-flop's. Alleen wordt hierbij dan niet tot de maximaal haalbare binaire waarde geteld, maar wordt de waarde 9 (= binair 1001) gedetecteerd, waarop de teller dan opnieuw vanaf 0000 begint te tellen (en eventueel een carry-sigitaal afgeeft).

Ook decade-tellers kunnen weer synchroon of asynchroon werken en op- of neertellen.

In figuur 4/6.1-1 is te zien hoe een zeer eenvoudige 10-teller kan worden opgebouwd uit vier master-slave flip-flop's en een NAND-poort. Het resultaat is een asynchrone teller die op 0000 wordt gereset telkens als de stand 1010 (= decimaal 10) wordt bereikt. Deze schakeling heeft behalve zijn eenvoud een aantal nadelen:

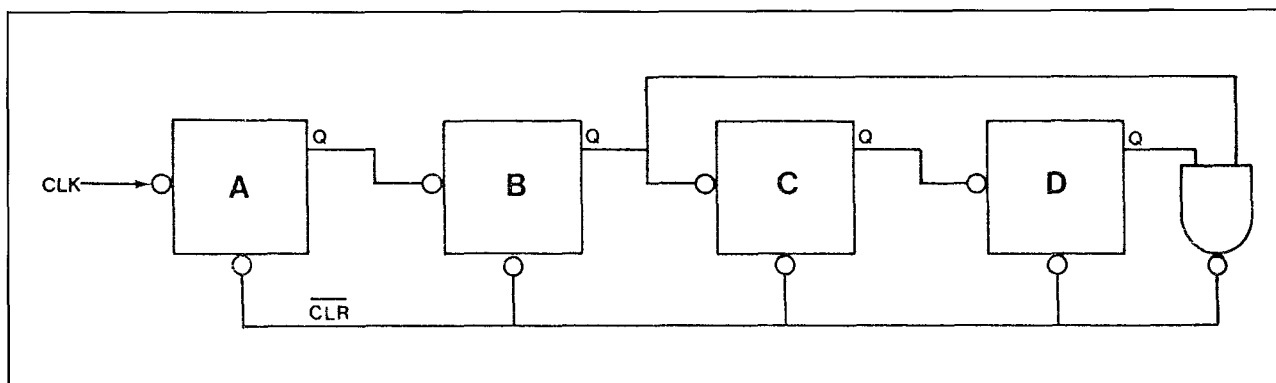
- aan de uitgang van flip-flop B ontstaat een 'spike' (zeer korte, ongedefinieerde puls);
- het reset-sigitaal is zeer kort doordat het wegvalt op het moment dat één van de flip-flop's gereset is. De kans dat de andere flip-flop dan nog niet gereset is, is zeer groot.

Deze schakeling is dus niet betrouwbaar genoeg voor praktische toepassingen.

Een iets betrouwbaarder oplossing is de schakeling van figuur 4/6.1-2 waarin de resetpuls iets wordt vertraagd. Op de tiende klokpuls verschijnt dan in elk geval een puls aan de deel-door-10 uitgang.

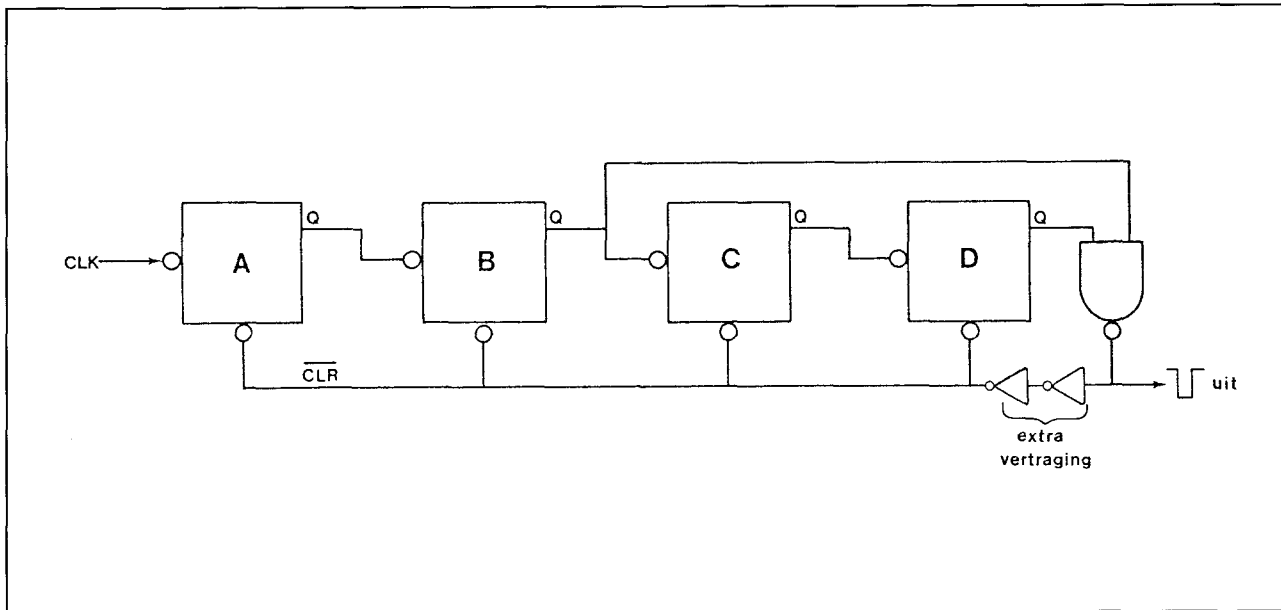
**Decade teller 7490**

De 7490 is een decade teller die in de praktijk (nog) veel gebruikt wordt. Ook deze teller bestaat uit vier master-slave flip-flop's, die inwendig zodanig zijn doorverbonden dat een gedeeld-door-2 en een gedeeld-door-5 teller ontstaan (zie figuur 4/6.1-3 en de bijbehoren-



**Figuur 4/6.1-1:** Eenvoudige decade-teller waarbij gereset wordt op de stand 1010 (= decimaal 10).

## 6.1 Achtergrond-informatie



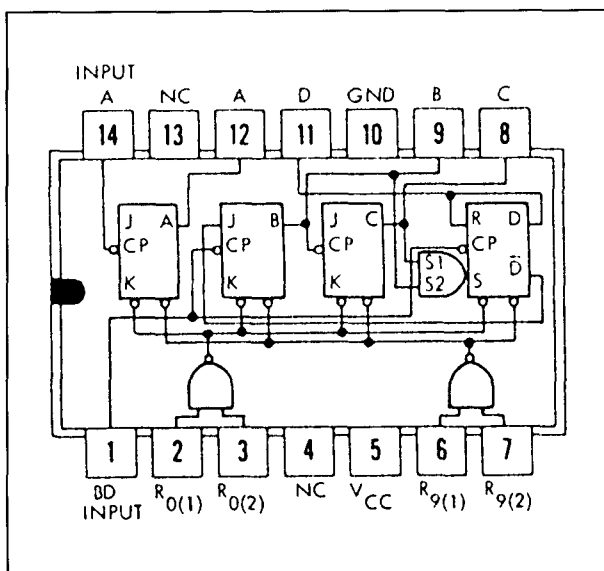
**Figuur 4/6.1-2:** Dezelfde teller, met extra vertraging van het reset-sigitaal (= gedeeld-door-10 uitgang).

de waarheidstabel 4/6.1-4). Dit IC is bovendien voorzien van directe resetlijnen, waarmee de uitgangen op binair-gecodeerd-decimaal (BCD) nul of negen kunnen worden gezet, waarbij verder tellen op dat moment dan niet mogelijk is (inhibit).

Aangezien de uitgang van flip-flop A niet in-

wendig is doorverbonden met de opvolgende trappen, kan op drie verschillende (onafhankelijke) manieren worden geteld:

- Bij gebruik als binair-gecodeerd-decimale decade teller moet de BD-ingang uitwen-



**Figuur 4/6.1-3:** De decade-teller 7490.

BCD COUNT SEQUENCE  
(See Note 1)

COUNT	OUTPUT			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

**Figuur 4/6.1-4:** Waarheidstabel (alleen tellen) van de 7490.

### 6.1 Achtergrond-informatie

dig op de A-uitgang worden aangesloten. De klokpulsen komen binnen op de A-ingang, waarna wordt geteld volgens waarheidstabel 4/6.1-4 en de linker kolom in tabel 4/6.1-1.

- Indien een symmetrische gedeeld-door-10 uitgangspuls gewenst is, bijvoorbeeld voor gebruik bij frequentie-synthesizers, moet de D-uitgang uitwendig worden aangesloten op de A-ingang. De klokpulsen komen dan op de BD-ingang binnen en de gedeeld-door-10 golfvorm aan de A-uitgang is symmetrisch (zie tabel 4/6.1-1, mode 2).
- Bij toepassing als 'losse' gedeeld-door-2 teller en gedeeld-door-5 teller zijn geen externe verbindingen nodig. Flip-flop A werkt gewoon als tweedeler en de BD-ingang ontvangt de klokpulsen voor de deel-door-5 functie, met B, C en D als uitgangen (zie tabel 4/6.1-1, mode 3). In deze mode werken beide tellers onafhankelijk van elkaar, maar zij worden wel tegelijk gereset.

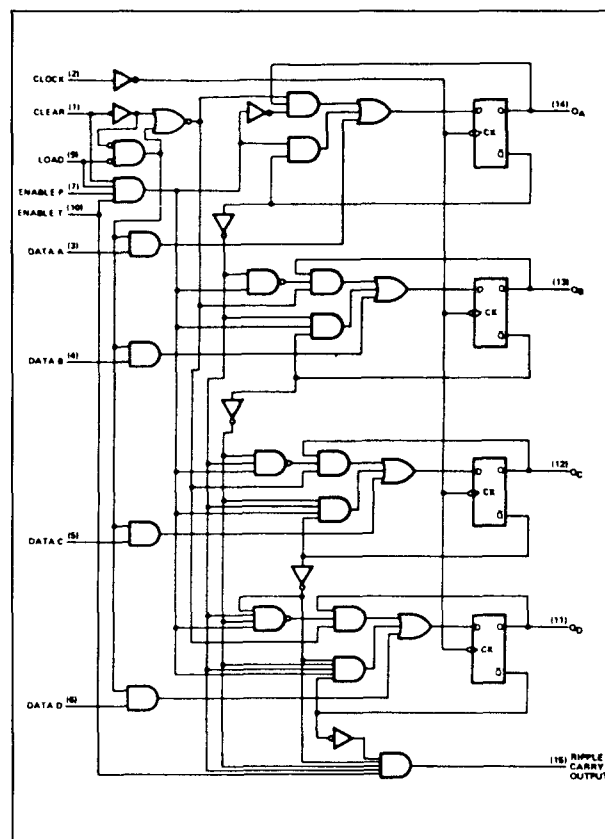
MODE 1 (BCD)				MODE 2 (SYMMETRICAL DIVIDE-BY-TEN)				MODE 3 (DIVIDE-BY-FIVE)		
A	B	C	D	A	B	C	D	B	C	D
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	1	0	0
0	1	0	0	0	0	1	0	0	1	0
1	1	0	0	0	1	1	0	1	1	0
0	0	1	0	0	0	0	1	0	0	1
1	0	1	0	1	0	0	0	0	0	0
0	1	1	0	1	1	0	0	0	1	0
1	1	1	0	1	0	1	0	0	1	0
0	0	0	1	1	1	1	0	1	1	0
1	0	0	1	1	0	0	1	0	0	1

Tabel 4/6.1-1: Waarheidstabellen voor de 3 mogelijke bedrijfsmoden van de decade-teller 7490.

#### Synchrone decade-teller

Het zal duidelijk zijn dat ook de 7490 een asynchrone 'ripple-counter' is.

Moet van een 4-bit binaire teller een synchrone decade-teller worden vervaardigd, dan kan bijvoorbeeld een synchrone teller met synchrone 'LOAD'-ingang, zoals de



Figuur 4/6.1-5: 4-bit synchrone binaire teller 74LS161.

74LS161 worden gebruikt. In figuur 4/6.1-5 is het functionele blokschema van deze teller te zien, met in figuur 4/6.1-6 het bijbehorende tijddiagram.

Verbinden we nu de LOAD-ingang van de 74LS161 via een NAND-poort met de uitgangen A en D, dan zal de LOAD-ingang LAAG worden wanneer de stand 1001 (decimaal 9) is bereikt (zie figuur 4/6.1-7). Met de volgende klokpuls wordt dan de stand 0000 (afkomstig van de ingangen A, B, C en D) geladen. De zo gevormde teller telt dus synchroon op van 0000 tot en met 1001.

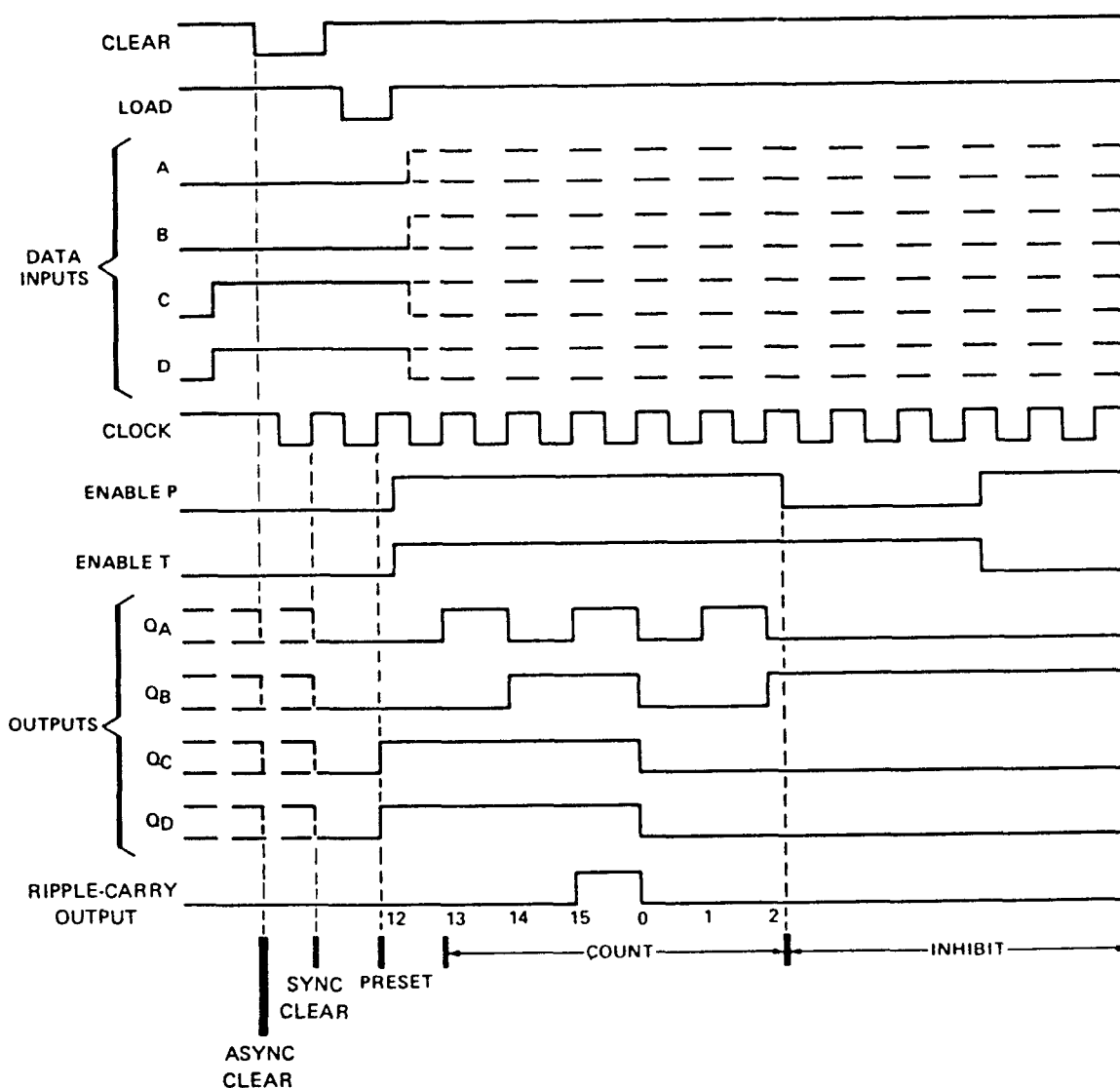
Uiteraard zijn er complete synchrone decade-tellers, zoals de 74LS160 en 74LS162, waarvan in figuur 4/6.1-8 het functionele blokschema te zien is. We zien dat er inwendige doorverbindingen zijn voor het decade-tellen.

## 6.1 Achtergrond-informatie

## typical clear, preset, count, and inhibit sequences

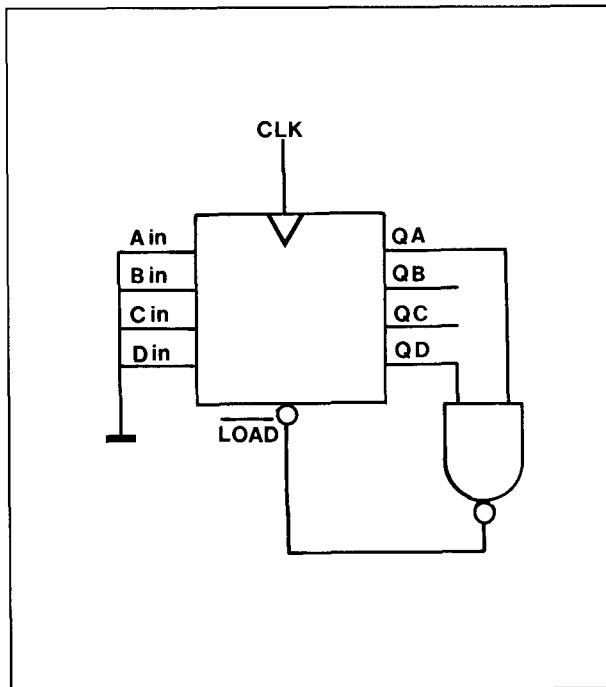
Illustrated below is the following sequence:

1. Clear outputs to zero ('161 and 'LS161A are asynchronous; '163, 'LS163A, and 'S163 are synchronous)
2. Preset to binary twelve
3. Count to thirteen, fourteen fifteen, zero, one, and two
4. Inhibit

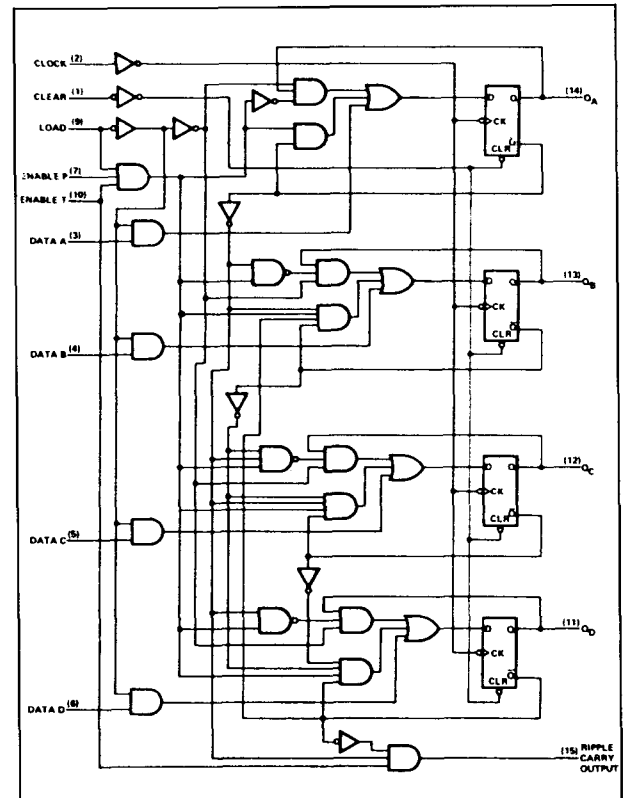


Figuur 4/6.1-6: Tijddiagram van de 74LS161.

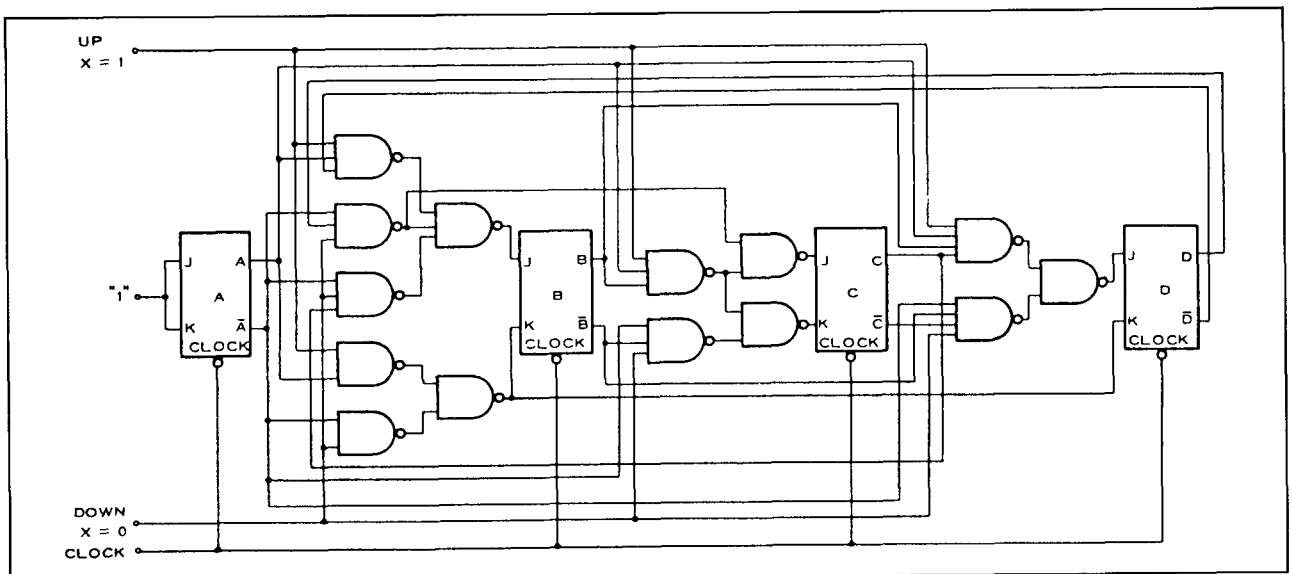
## 6.1 Achtergrond-informatie



**Figuur 4/6.1-7:** Synchrone decade-teller, opgebouwd uit een 74LS161 en een NAND-poort (bij 1001 wordt LOAD LAAG, op 10e klokpuls wordt 0000 geladen).



**Figuur 4/6.1-8:** Functioneel blokschema van de synchrone decade-teller 74LS160.



**Figuur 4/6.1-9:** Synchrone op-/neer decade-teller.

## 6.1 Achtergrond-informatie

**Op-/neer tellers**

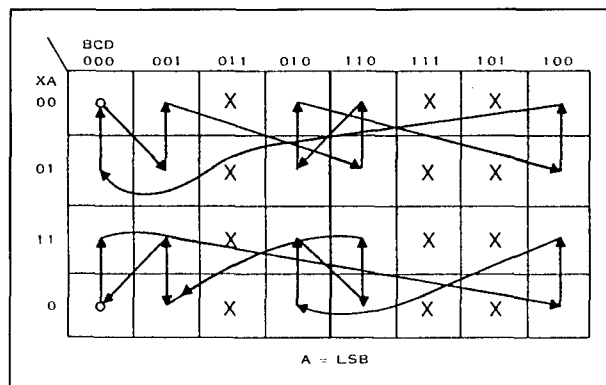
Synchrone tellers hebben het voordeel dat geteld wordt zonder dat daarbij grote vertragingen van de klokpulsen optreden. Zij gebruiken echter meestal meer componenten (extra poorten) dan andere soorten tellers, terwijl het ontwerpen ervan iets moeilijker is.

DEC.	PRESENT STATE				NEXT STATES							
					X = 1				X = 0			
	D	C	B	A	D	C	B	A	D	C	B	A
0	0	0	0	0	0	0	0	1	1	0	0	1
1	0	0	0	1	0	0	1	0	1	0	0	0
2	0	0	1	0	0	0	1	1	0	0	1	0
3	0	0	1	1	0	0	0	0	0	0	1	1
4	0	1	0	0	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	1	0	0	1	1	0
6	0	1	1	0	0	1	1	1	0	0	1	1
7	0	1	1	1	1	0	0	0	0	1	1	0
8	1	0	0	0	1	0	0	0	1	0	1	1
9	1	0	0	1	0	0	0	1	0	1	0	0

X = 1 (COUNT UP)  
X = 0 (COUNT DOWN)

**Tabel 4/6.1-2:** Waarheidstabel van de synchrone op-/neer decade-teller van figuur 4/6.1-9.

In figuur 4/6.1-9 is het ontwerp van een synchrone decade-teller te zien die kan op- en neertellen. De bijbehorende waarheidstabel is te zien in tabel 4/6.1-2. In de 'transition map' (figuur 4/6.1-10) is de toestand van de flip-flop's nog eens op een iets andere manier te zien.



**Figuur 4/6.1-10:** Overgangstoestanden (transition map) in de synchrone op-/neer decade-teller.

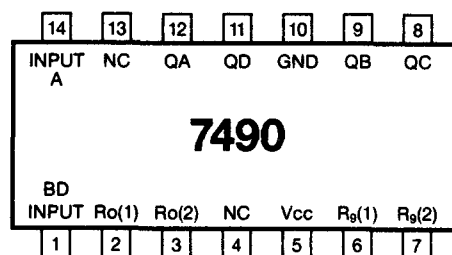


## 4/6.2

BCD-tellers  
74xx-serie TTL en HC

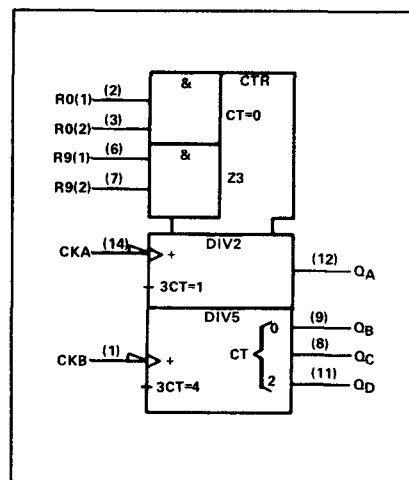
## 7490

2- en 5-deler



Figuur 4/6-90.

LOGICA	TTL <sup>2)</sup>	L	F	S	LS	AS	ALS	C	HC	
	VARIABLE PARAMETERS									Eenheid
I <sub>cc</sub>	29	5.5			9			0.05 <sup>3)</sup>		mA
I <sub>os</sub>	-18 -57	-3 -15			-20 -100					mA
T <sub>plh</sub>	32 <sup>1)</sup>	175 <sup>1)</sup>			32 <sup>1)</sup>			450 <sup>1)</sup>		ns
T <sub>phl</sub>	34 <sup>1)</sup>	190 <sup>1)</sup>			34 <sup>1)</sup>			450 <sup>1)</sup>		ns
f <sub>max</sub>	42	11			42			2		MHz

1) A to Q<sub>D</sub> 2) 7490A 3)  $\mu$ ABCD COUNT SEQUENCE  
(See Note A)

COUNT	OUTPUT			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

BI-QUINARY (5-2)  
(See Note B)

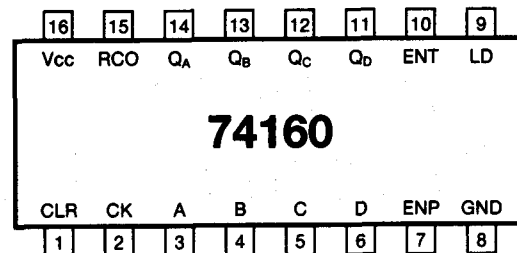
COUNT	OUTPUT			
	Q <sub>A</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

RESET/COUNT FUNCTION TABLE

RESET INPUTS				OUTPUT			
R <sub>0</sub> (1)	R <sub>0</sub> (2)	R <sub>9</sub> (1)	R <sub>9</sub> (2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

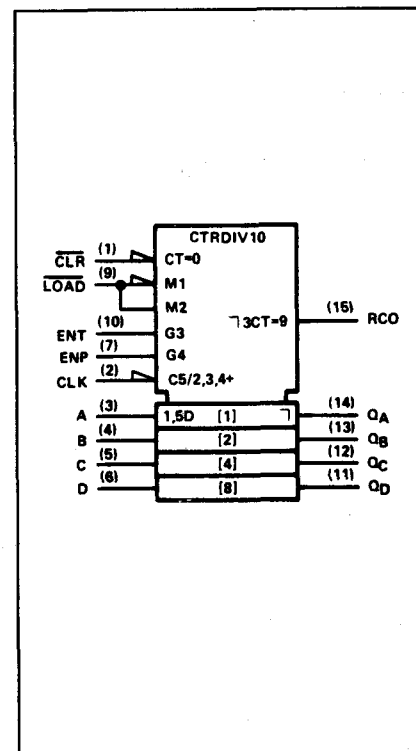
## 74160

synchrone 10-teller  
met directe clear



Figuur 4/6-160.

LOGICA	TTL	L	F <sup>6)</sup>	S	LS <sup>7)</sup>	AS	ALS <sup>8)</sup>	C	HC		
	VARIABLE PARAMETERS									Eenheid	
I <sub>cc</sub>	H L	59 63		50 -50		18 19	35	12	0.05 <sup>9)</sup>	80 <sup>9)</sup>	mA
I <sub>os</sub>		-18 -57		-60 -150		-20 -100	-30 -112	-30 -112			mA
T <sub>plh</sub> <sup>1)</sup>		13		5.5		13	1	4 15	250	25	ns
T <sub>phl</sub> <sup>1)</sup>		15		7.5		18	2	6 20	250	25	ns
f <sub>max</sub>		32		100		32	75	40	3	21	MHz
T <sub>plh</sub> <sup>2)</sup>		23		5.0 14		20	1 <sup>4)</sup> 3 <sup>5)</sup>	5 20	290	24	ns
T <sub>phl</sub> <sup>2)</sup>		23		5.0 14		18	2	5 20	290	24	ns
T <sub>plh</sub> <sup>3)</sup>		17		6.0		13	1	4 15	250	25	ns
T <sub>phl</sub> <sup>3)</sup>		19		6.0		18	2	6 20	250	25	ns

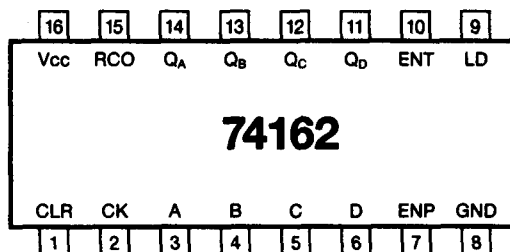


<sup>1)</sup> Clock high to Q <sup>2)</sup> Clock to Ripple Carry <sup>3)</sup> Clock low to Q <sup>4)</sup> Load high <sup>5)</sup> Load Low  
<sup>6)</sup> 74 ALS 160 B <sup>7)</sup> 74 LS 160 A <sup>8)</sup> 74 F 160 A <sup>9)</sup>  $\mu$ A

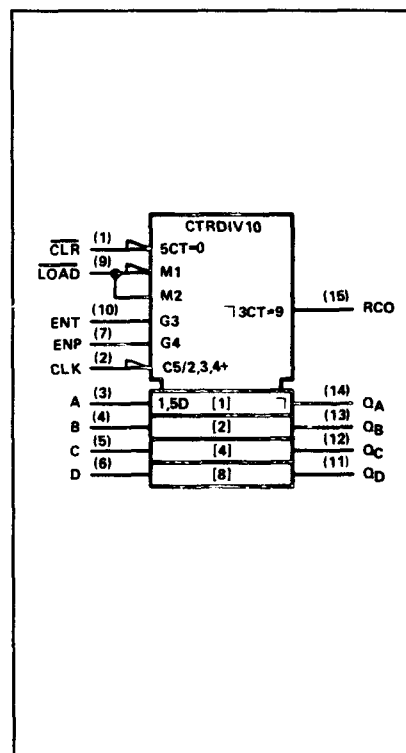
## 74162

synchrone 10-teller  
met synchrone clear

Figuur 4/6-162.



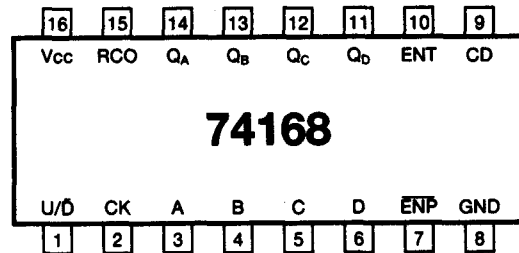
LOGICA	TTL	L	F <sup>3)</sup>	S	LS <sup>2)</sup>	AS	ALS <sup>1)</sup>	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	H L	59 63	50 -50	95	18 19	35	12	0.05 <sup>8)</sup>	80 <sup>8)</sup>	mA
I <sub>os</sub>		-18 -57	-60 -150	-40 -100	-20 -100	-30 -112	-30 -112			mA
T <sub>plh</sub> <sup>4)</sup>		13	5.5	8	13	1 7	4 15	250	25	ns
T <sub>phl</sub> <sup>4)</sup>		15	7.5	10	18	2 13	6 20	250	25	ns
f <sub>max</sub>		32	100	70	32	75	40	3	40	MHz
T <sub>plh</sub> <sup>5)</sup>		23	5.0 14	14	20	1 8 7 16.5	5 20	290	24	ns
T <sub>phl</sub> <sup>5)</sup>		23	5.0 14	17	18	2 12.5	5 20	290	24	ns
T <sub>plh</sub> <sup>6)</sup>		17	6.0	8	13	1 7	4 15	250	25	ns
T <sub>phl</sub> <sup>6)</sup>		19	6.0	10	18	2 13	6 20	250	25	ns



1) 74 ALS 162 B 2) 74 LS 162 A 3) 74 F 162 A 4) Clock high to Q 5) Clock to Ripple carry  
6) Clock low to Q 7) Load high / low 8)  $\mu$ A

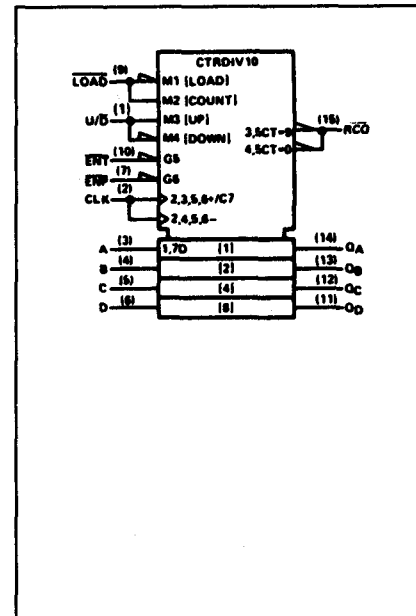
## 74168

synchrone op/neer 10-teller



Figuur 4/6-168.

LOGICA	TTL	L	F	S	LS	AS	ALS <sup>1)</sup>	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>			50	100		41	15			mA
I <sub>os</sub>			-60 -150	-40 -100		-30 -112	-30 -112			mA
down T <sub>plh</sub> <sup>2)</sup> up			12.0	14		3	3			ns
down T <sub>phi</sub> <sup>2)</sup> up			8.5	20		2	6			ns
down f <sub>max</sub> up			115	55		75	40			MHz
down T <sub>plh</sub> <sup>3)</sup> up			6.5	8		1	2			ns
down T <sub>phi</sub> <sup>3)</sup> up			9.0	11		2	5			ns

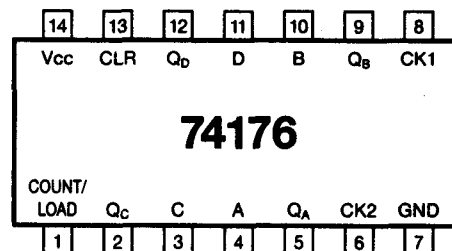


<sup>1)</sup> 74 ALS 168 B   <sup>2)</sup> Clock to Ripple carry   <sup>3)</sup> Clock to Q

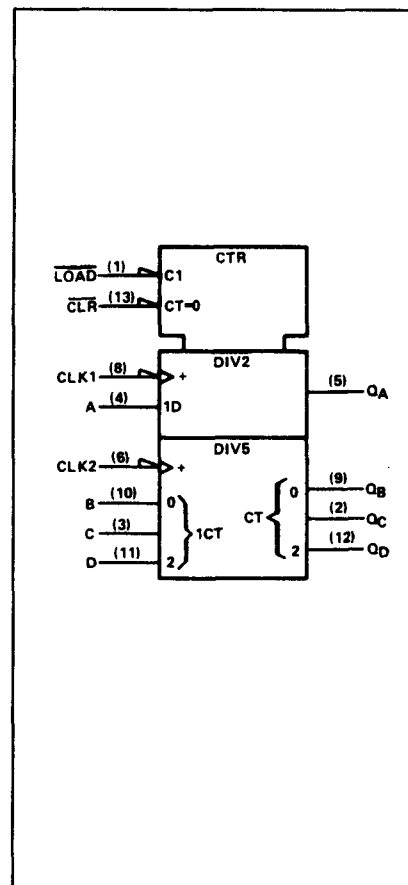
## 74176

## instelbare 10-teller (2x5)

Figuur 4/6-176.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
Icc	30									mA
Ios	-18 -57									mA
Tplh <sup>1)</sup>	8									ns
Tphl <sup>1)</sup>	11									ns
fmax	50									MHz
Tplh <sup>2)</sup>	27									ns
Tphl <sup>2)</sup>	34									ns
Tplh <sup>3)</sup>	19									ns
Tphl <sup>3)</sup>	31									ns
Tplh <sup>4)</sup>	29									ns
Tphl <sup>5)</sup>	32									ns



- 1) Clock 1 to QA 2) Clock 2 to QC 3) A,B,C,D to QA, QB, QC, QD 4) Load to Any Output  
5) Load/Clear to Any Output

DECADE (BCD)  
(See Note A)

COUNT	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

BI-QUINARY (5-2)  
(See Note B)

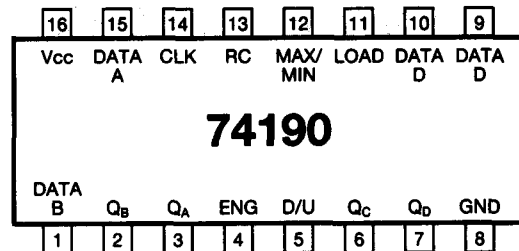
COUNT	Q <sub>A</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

H = high level, L = low level

NOTES: A. Output QA connected to clock-2 input.  
B. Output QD connected to clock-1 input.

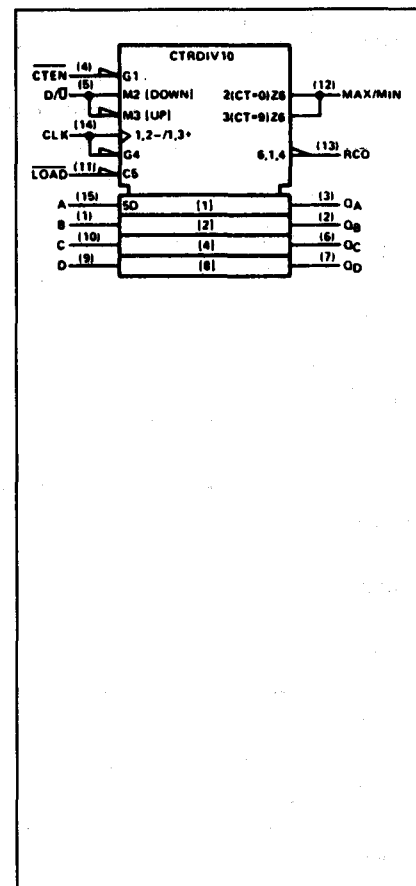
## 74190

## Synchrone op/neer 10-teller



Figuur 4/6-190.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	65		38		20		12		80 <sup>5)</sup>	mA
I <sub>os</sub>	-18 -65		-60 -150		-20 -100		-30 -112			mA
T <sub>plh</sub> <sup>1)</sup>	16		3.0 7.5		16		3 18		31	ns
T <sub>phl</sub> <sup>1)</sup>	24		5.0 11.0		24		3 18		31	ns
f <sub>max</sub>	25		100		25		25		42	MHz
T <sub>plh</sub> <sup>2)</sup>	13		3.0 7.5		13		5 20		17	ns
T <sub>phl</sub> <sup>2)</sup>	16		3.0 7.0		16		5 20		17	ns
T <sub>plh</sub> <sup>3)</sup>	28		6.0 13.0		28		8 31		39	ns
T <sub>phl</sub> <sup>3)</sup>	37		5.0 11.0		37		8 31		39	ns
T <sub>plh</sub> <sup>4)</sup>	14		3.0 7.0		20		4 21		36	ns
T <sub>phl</sub> <sup>4)</sup>	35		6.0 6.0		27		4 21		36	ns

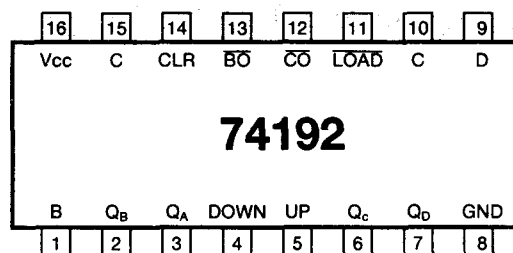


<sup>1)</sup> Clock to Q<sub>N</sub>   <sup>2)</sup> Clock to Ripple Clock   <sup>3)</sup> Clock to Max/Min.   <sup>4)</sup> D<sub>N</sub> to Q<sub>N</sub>   <sup>5)</sup> μA

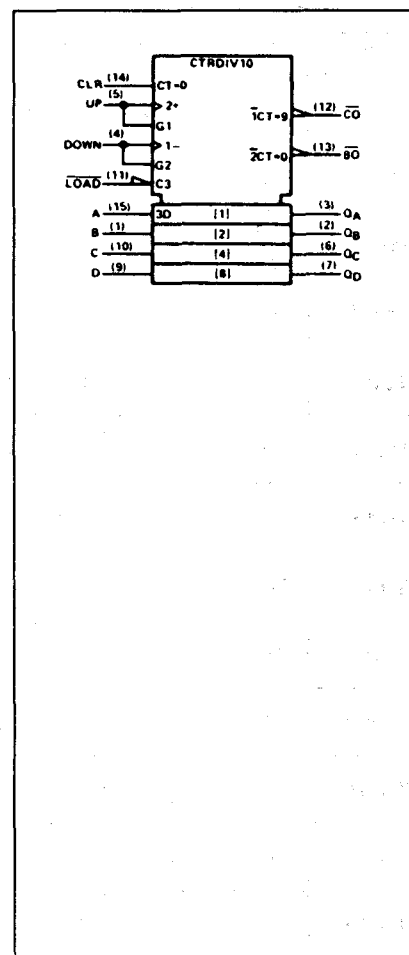
## 74192

Synchrone op/neer 10-teller  
met clear en aparte klok-ingangen

Figuur 4/6-192.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	65	5.5	30		19		12	0.05 <sup>6)</sup>	80 <sup>6)</sup>	mA
I <sub>os</sub>	-18 -65	-3 -15	-60 -150		-20 -100		-30 -112			mA
T <sub>plh</sub> <sup>1)</sup>	17	30	7.0		17		4 16	120	24	ns
T <sub>phl</sub> <sup>1)</sup>	16	60	6.0		18		5 18	120	24	ns
f <sub>max</sub>	32	8	125		32		25	4	55	MHz
T <sub>plh</sub> <sup>2)</sup>	16	30	7.0		16		4 16	120	24	ns
T <sub>phl</sub> <sup>2)</sup>	16	50	6.0		15		5 18	120	24	ns
T <sub>plh</sub> <sup>3)</sup>	25	45	6.5		27		4 19	250	40	ns
T <sub>phl</sub> <sup>3)</sup>	31	75	9.5		30		4 17	250	40	ns
T <sub>plh</sub> <sup>4)</sup>	27	55	8.5		24		8 30	300	40	ns
T <sub>phl</sub> <sup>4)</sup>	29	105	10		25		8 28	300	40	ns
T <sub>phl</sub> <sup>5)</sup>	22	95	11		23		5 17		36	ns

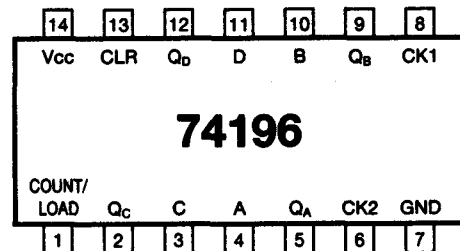


1) Count-up to Carry 2) Count-down to borrow 3) Count to Q 4) Load to Q 5) Clear to Q  
6)  $\mu A$

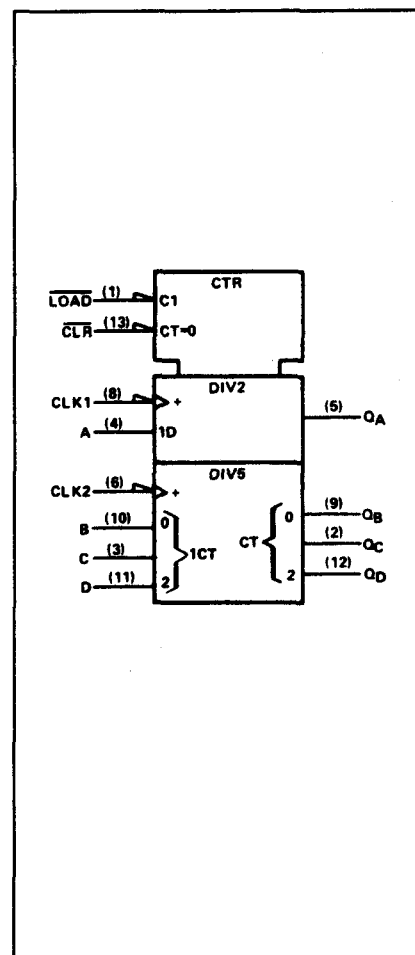
# 74196

## Instelbare 10-teller (2x5)

Figuur 4/6-196.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	48			75	16					mA
Ios	-18 -57			-30 -110	-20 -100					mA
Tplh <sup>1)</sup>	7			5	8					ns
Tphi <sup>1)</sup>	10			6.0	13					ns
fmax	70			140	40					MHz
Tplh <sup>2)</sup>	24			12	38					ns
Tphi <sup>2)</sup>	28			16	41					ns
Tplh <sup>3)</sup>	16			7	20					ns
Tphi <sup>3)</sup>	25			12	29					ns
Tplh <sup>4)</sup>	22			10	27					ns
Tphi <sup>4)</sup>	24			12	30					ns
Tphi <sup>5)</sup>	25			26	34					ns

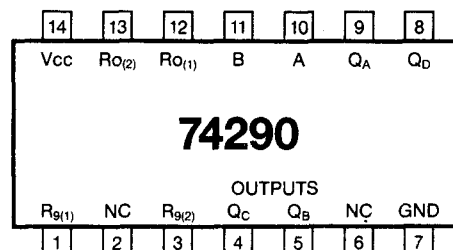


1) Clock1 to QA 2) Clock2 to QC 3) DN to QN 4) Load to Any Output  
5) Clear to Any Output



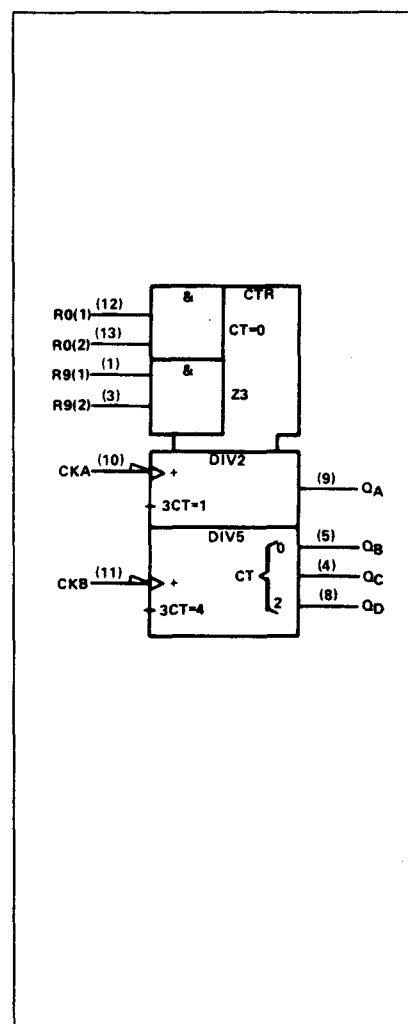
## 74290

## 2- en 5-deler



Figuur 4/6-290.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	29				9					mA
Ios	-18 -57				-20 -100					mA
Tplh <sup>1)</sup>	10				10					ns
Tphi <sup>1)</sup>	12				12					ns
f max	42				42					MHz
Tplh <sup>2)</sup>	32				32					ns
Tphi <sup>2)</sup>	34				34					ns
Tplh <sup>3)</sup>	10				10					ns
Tphi <sup>3)</sup>	14				14					ns
Tplh <sup>4)</sup>	21				21					ns
Tphi <sup>4)</sup>	23				23					ns
Tplh <sup>5)</sup>	21				21					ns
Tphi <sup>5)</sup>	23				23					ns



1) A to QA 2) A to QD 3) B to QB 4) B to QC 5) B to QD

BCD COUNT SEQUENCE  
(See Note A)

COUNT	OUTPUT
	Q <sub>D</sub> Q <sub>C</sub> Q <sub>B</sub> Q <sub>A</sub>
0	L L L L
1	L L L H
2	L L H L
3	L L H H
4	L H L L
5	L H L H
6	L H H L
7	L H H H
8	H L L L
9	H L L H

BI-QUINARY (5-2)  
(See Note B)

COUNT	OUTPUT
	Q <sub>A</sub> Q <sub>D</sub> Q <sub>C</sub> Q <sub>B</sub>
0	L L L L
1	L L L H
2	L L H L
3	L L H H
4	L H L L
5	H L L L
6	H L L H
7	H L H L
8	H L H H
9	H H L L

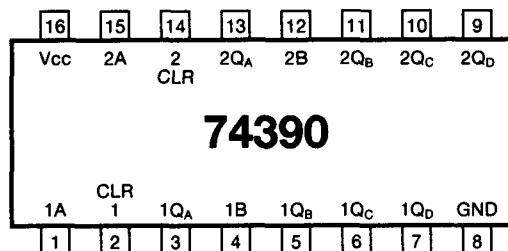
RESET/COUNT FUNCTION TABLE

RESET INPUTS				OUTPUT			
R <sub>0</sub> (1)	R <sub>0</sub> (2)	R <sub>9</sub> (1)	R <sub>9</sub> (2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

NOTES:  
A. Output QA is connected to input B for BCD count.  
B. Output QD is connected to input A for bi-quinary count.  
C. Output QA is connected to input B.

## 74390

## 2 10-tellers (2x5)



Figuur 4/6-390.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	42				15				80 <sup>7)</sup>	mA
I <sub>os</sub>	-18 -57				-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>	12				12				16	ns
T <sub>phl</sub> <sup>1)</sup>	13				13				16	ns
f <sub>max</sub> A to QA B to QB	35				35				50	MHz
	30				20				50	
T <sub>plh</sub> <sup>2)</sup>	37				37				35	ns
T <sub>phl</sub> <sup>2)</sup>	39				39				35	ns
T <sub>plh</sub> <sup>3)</sup>	13				13				18	ns
T <sub>phl</sub> <sup>3)</sup>	14				14				18	ns
T <sub>plh</sub> <sup>4)</sup>	24				24				26	ns
T <sub>phl</sub> <sup>4)</sup>	26				26				26	ns
T <sub>plh</sub> <sup>5)</sup>	13				13				18	ns
T <sub>phl</sub> <sup>5)</sup>	24				14				18	ns
T <sub>phl</sub> <sup>6)</sup>	24				24				17	ns

BCD COUNT SEQUENCE  
(EACH COUNTER)  
(See Note A)

COUNT	OUTPUT			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

BI-QUINARY (5-2)  
(EACH COUNTER)  
(See Note B)

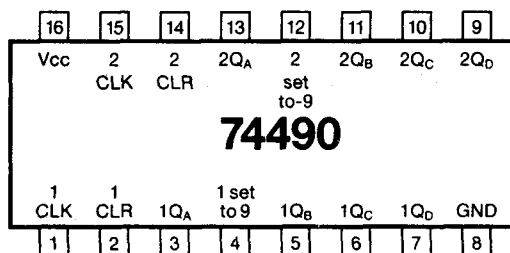
COUNT	OUTPUT			
	Q <sub>A</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

NOTES: A. Output Q<sub>A</sub> is connected to input B for BCD count.  
B. Output Q<sub>D</sub> is connected to input A for bi-quinary count.

<sup>1)</sup> A to Q<sub>A</sub> <sup>2)</sup> A to Q<sub>C</sub> <sup>3)</sup> B to Q<sub>B</sub> <sup>4)</sup> B to Q<sub>C</sub> <sup>5)</sup> B to Q<sub>D</sub> <sup>6)</sup> Clear to Any Output <sup>7)</sup>  $\mu$ A

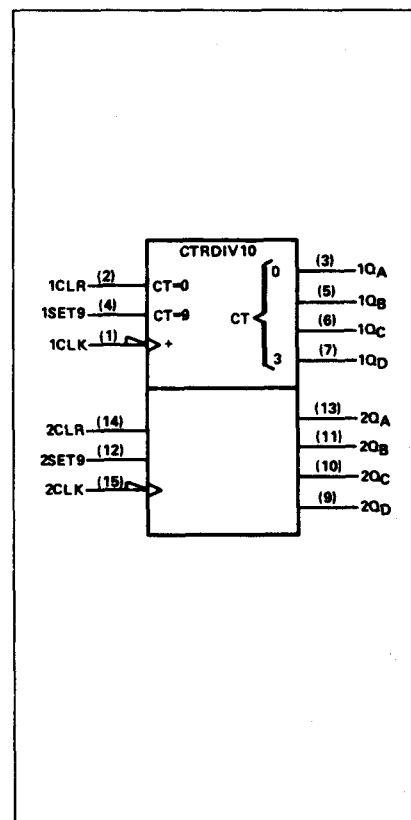
## 74490

## 2 10-tellers



Figuur 4/6-490.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	45				15				80 <sup>5)</sup>	mA
I <sub>os</sub>	-18 -57				-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>	12				12				15	ns
T <sub>phl</sub> <sup>1)</sup>	13				13				15	ns
f <sub>max</sub>	35				35				31	MHz
T <sub>plh</sub> <sup>2)</sup>	24				24				23	ns
T <sub>phl</sub> <sup>2)</sup>	26				26				23	ns
T <sub>plh</sub> <sup>3)</sup>	32				32				30	ns
T <sub>phl</sub> <sup>3)</sup>	36				36				30	ns
T <sub>plh</sub> <sup>4)</sup>	24				24				17	ns



1) Clock to Q<sub>A</sub> 2) Clock to Q<sub>B</sub>, Q<sub>D</sub> 3) Clock to Q<sub>C</sub> 4) Clear to Any Output 5)  $\mu$ A

BCD COUNT SEQUENCE  
(EACH COUNTER)

COUNT	OUTPUT			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

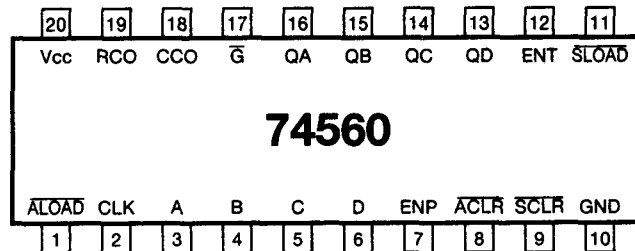
CLEAR/SET-TO-9  
FUNCTION TABLE  
(EACH COUNTER)

INPUTS		OUTPUTS			
CLEAR	SET-TO-9	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
H	L	L	L	L	L
L	H	H	L	L	H
L	L	COUNT			

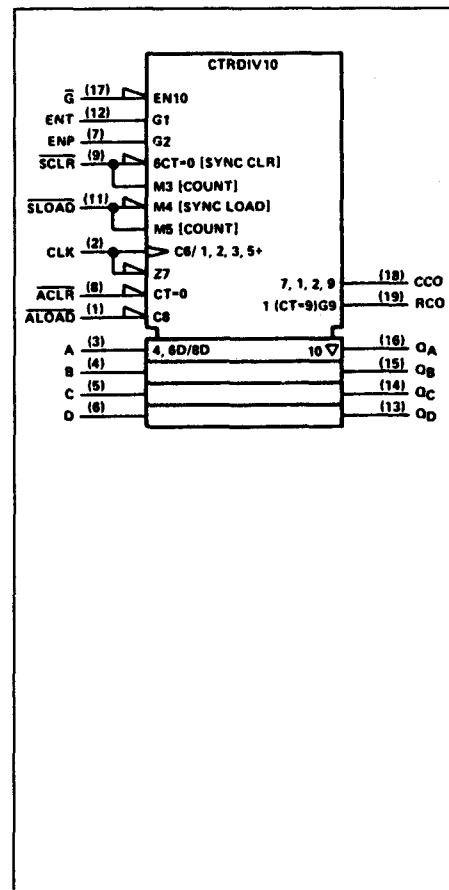
## 74560

Synchrone 10-teller  
met 3-state uitgangen

Figuur 4/6-560.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
Icc Dis <sup>H</sup> L							21 22 17			mA
Ios							-30 -112			mA
Tplh <sup>1)</sup>							4 12			ns
Tphl <sup>1)</sup>							5 18			ns
fmax							20			MHz
Tplh <sup>2)</sup>							9 29			ns
Tphl <sup>2)</sup>							8 24			ns
Tplh <sup>3)</sup>							8 26			ns
Tphl <sup>3)</sup>							5 16			ns
Tplh <sup>4)</sup>							8 30			ns
Tphl <sup>4)</sup>							7 22			ns



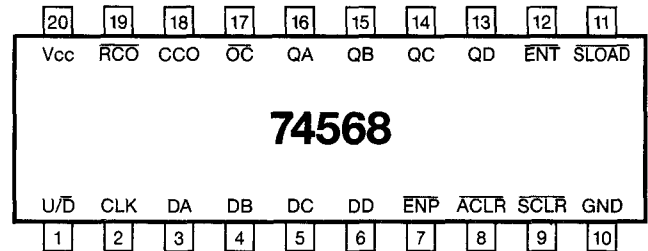
1) Clock to Q<sub>N</sub> 2) Clock to RCO 3) Clock to CCO 4) D<sub>N</sub> to Q<sub>N</sub> 5) 74 ALS 560A

INPUTS								OPERATION
G	ACLR	ALOAD	SCLR	SLOAD	ENT	ENP	CLK	
H	X	X	X	X	X	X	X	Q Outputs Disabled
L	L	X	X	X	X	X	X	Asynchronous Clear
L	H	L	X	X	X	X	X	Asynchronous Load
L	H	H	L	X	X	X	↑	Synchronous Clear
L	H	H	H	L	X	X	↑	Synchronous Load
L	H	H	H	H	H	H	↑	Count
L	H	H	H	H	L	X	X	Inhibit Counting
L	H	H	H	H	X	L	X	Inhibit Counting

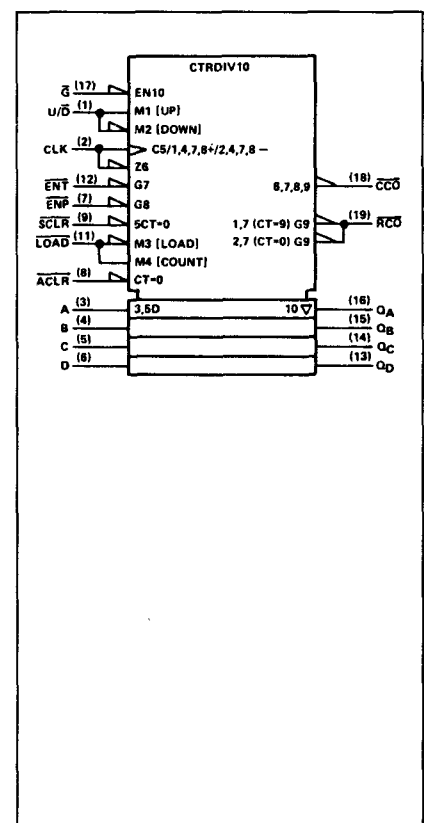
## 74568

Synchrone op/neer 10-teller  
met 3-state uitgangen

Figuur 4/6-568.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub> Dis <sup>H</sup> <sub>L</sub>							16 20 20			mA
I <sub>os</sub>							-30 -112			mA
T <sub>plh</sub> <sup>1)</sup>							4 13			ns
T <sub>phl</sub> <sup>1)</sup>							7 16			ns
f <sub>max</sub>							20			MHz
T <sub>plh</sub> <sup>2)</sup>							12 28			ns
T <sub>phl</sub> <sup>3)</sup>							10 19			ns
T <sub>plh</sub> <sup>3)</sup>							5 13			ns
T <sub>phl</sub> <sup>3)</sup>							6 25			ns
T <sub>plh</sub> <sup>4)</sup>							9 20			ns

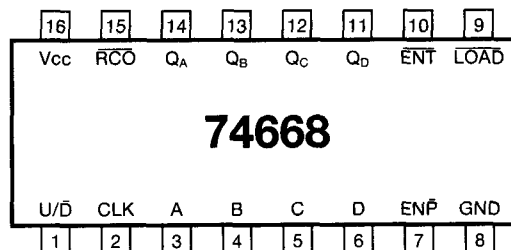


1) Clock to Q<sub>N</sub> 2) Clock to  $\overline{RCO}$  3) Clock to  $\overline{CCO}$  4)  $\overline{ACLR}$  to Q 5) 74 ALS 568 A

INPUTS								OPERATION
$\overline{G}$	$\overline{ACLR}$	$\overline{SCLR}$	$\overline{LOAD}$	$\overline{ENT}$	$\overline{ENP}$	$\overline{U/D}$	CLK	
H	X	X	X	X	X	X	X	Q Outputs Disabled
L	L	X	X	X	X	X	X	Asynchronous Clear
L	H	L	X	X	X	X	↑	Synchronous Clear
L	H	H	L	X	X	X	↑	Load
L	H	H	H	L	L	H	↑	Count Up
L	H	H	H	L	L	L	↑	Count Down
L	H	H	H	H	X	X	X	Inhibit Count
L	H	H	H	X	H	X	X	Inhibit Count

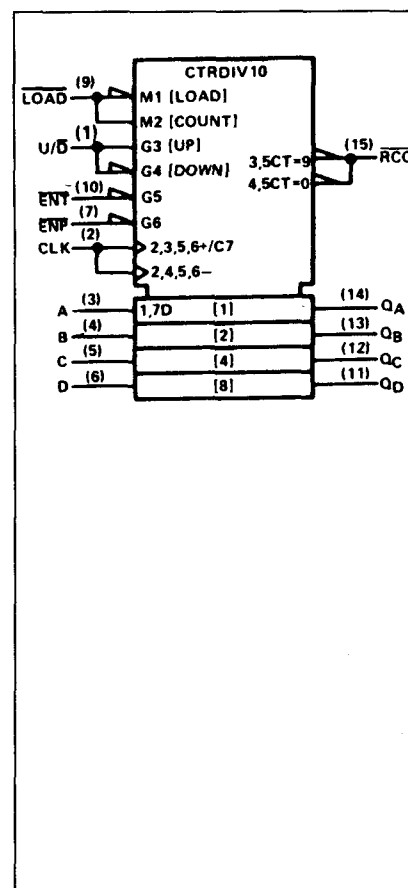
## 74668

## Synchrone op/neer 10-teller



Figuur 4/6-668.

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>					20					mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> <sup>(1)</sup>					26					ns
T <sub>phl</sub> <sup>(1)</sup>					40					ns
f <sub>max</sub>					32					MHz
T <sub>plh</sub> <sup>(2)</sup>					18					ns
T <sub>phl</sub> <sup>(2)</sup>					18					ns
T <sub>plh</sub> <sup>(3)</sup>					11					ns
T <sub>phl</sub> <sup>(3)</sup>					29					ns
T <sub>plh</sub> <sup>(4)</sup>					22					ns
T <sub>phl</sub> <sup>(4)</sup>					26					ns

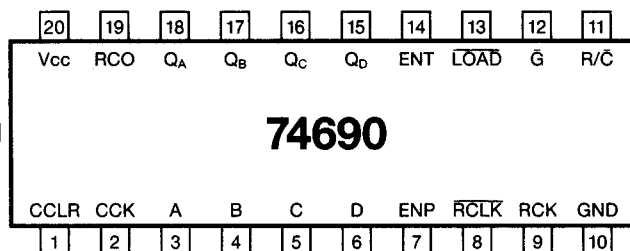


<sup>1)</sup> Clock to  $\overline{RCO}$    <sup>2)</sup> Clock to Any Q   <sup>3)</sup> Enable  $\overline{T}$  to  $\overline{RCO}$    <sup>4)</sup> U/D to  $\overline{RCO}$

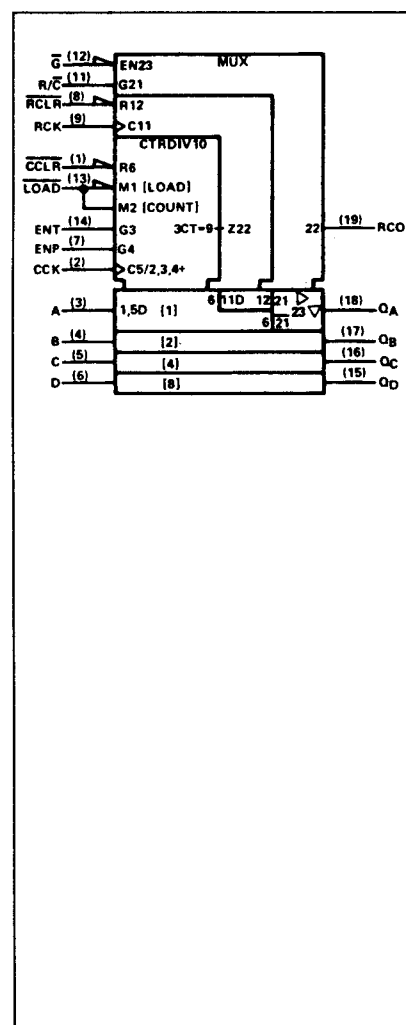
## 74690

Synchrone 10-teller met directe clear, output-registers en gemultiplexte 3-state uitgangen

Figuur 4/6-690.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub> Dis <sup>H</sup> <sub>L</sub>					46 48 48				80 <sup>7)</sup>	mA
I <sub>os</sub>					-30 -130					mA
T <sub>plh</sub> <sup>1)</sup>					23				21	ns
T <sub>phl</sub> <sup>1)</sup>					23				21	ns
f <sub>max</sub>					20					MHz
T <sub>plh</sub> <sup>2)</sup>					12				17	ns
T <sub>phl</sub> <sup>2)</sup>					17				17	ns
T <sub>plh</sub> <sup>3)</sup>					12				15	ns
T <sub>phl</sub> <sup>3)</sup>					17				15	ns
T <sub>plh</sub> <sup>4)</sup>					23				17	ns
T <sub>phl</sub> <sup>5)</sup>					20				16	ns
T <sub>plh</sub> <sup>6)</sup>					16				11	ns
T <sub>phl</sub> <sup>6)</sup>					16				11	ns

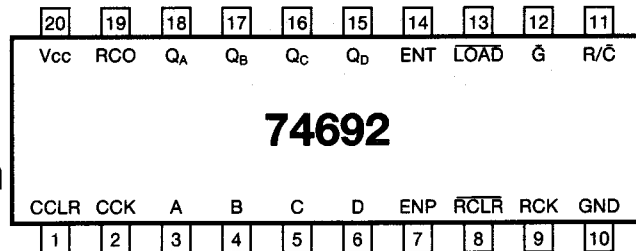


1) CCK to RCO 2) CCK to Q 3) RCK to Q 4) CCLR to Q 5) RCLK to Q 6) R/C to Q 7)  $\mu A$

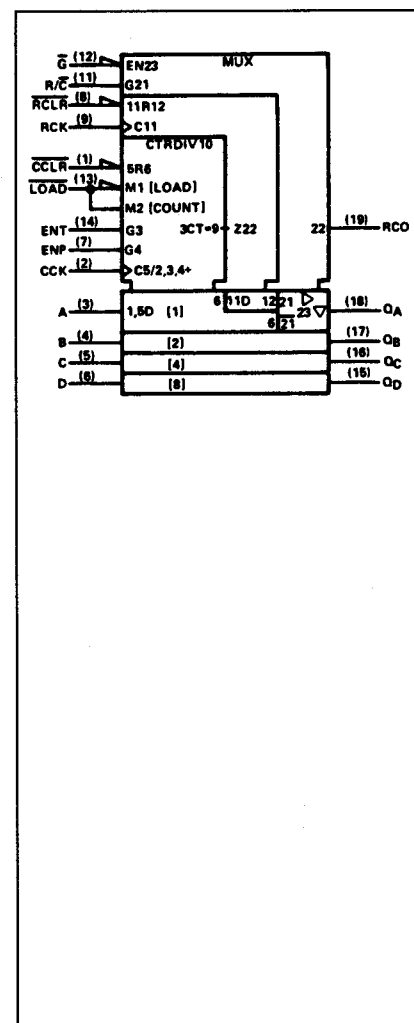
# 74692

Synchrone 10-teller  
met asynchrone clear,  
output registers en  
gemultiplexte 3-state uitgangen

Figuur 4/6-692.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub> Dis <sup>H</sup> <sub>L</sub>					46 48 48				80 <sup>7)</sup>	mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>					23				23	ns
T <sub>phl</sub> <sup>1)</sup>					23				23	ns
f <sub>max</sub>					20					MHz
T <sub>plh</sub> <sup>2)</sup>					12				19	ns
T <sub>phl</sub> <sup>2)</sup>					17				19	ns
T <sub>plh</sub> <sup>3)</sup>					12				17	ns
T <sub>phl</sub> <sup>3)</sup>					17				17	ns
T <sub>plh</sub> <sup>4)</sup>					23				19	ns
T <sub>phl</sub> <sup>5)</sup>					20				17	ns
T <sub>plh</sub> <sup>6)</sup>					16				14	ns
T <sub>phl</sub> <sup>6)</sup>					16				14	ns



1) CCK to RCO 2) CCK to Q 3) RCK to Q 4) CCK to Q (Clear) 5) RCK to Q (Clear)  
6) R/C to Q 7)  $\mu A$

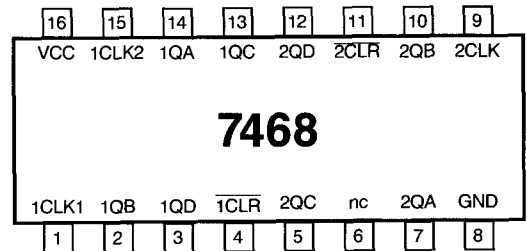
Pag 19 + 20 ??



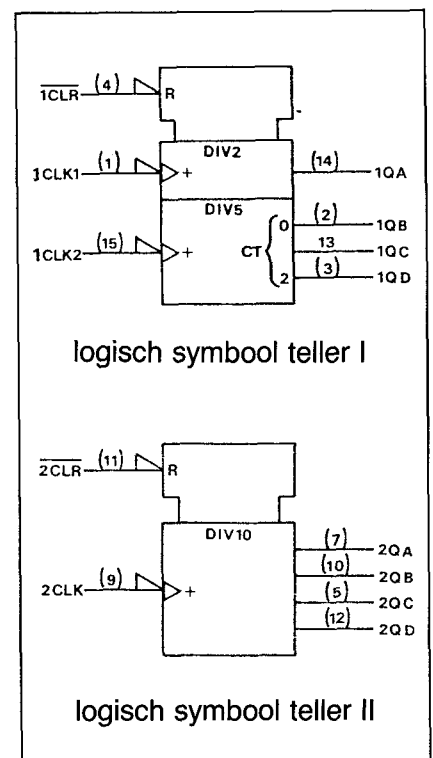
## 7468

2 ± 40 MHz 10-teller

Figuur 4/6.2-68.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>					36					mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> / T <sub>phl</sub> <sup>1)</sup>					7/ 14					ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>2)</sup>					8/ 13					ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>3)</sup>					16/ 19					ns
T <sub>phl</sub> <sup>4)</sup>					20					ns
f <sub>max</sub> <sup>5)</sup>					70					MHz
f <sub>max</sub> <sup>6)</sup>					30					MHz
f <sub>max</sub>					60					MHz



- 1) 1CLK1 → 1QA  
 2) 1CLK2 → 1QD  
 3) 2CLK → 2QD  
 4) CLR → Q  
 5) 1CLK1 → 1QA (typ.)  
 6) 1CLK2 → 1QB, 1QC, 1QD  
 7) 2CLK → 2QA, 2QB, 2QC, 2QD

Decade (see note A)  
 Counter I or II

Bi-Quinary (see note B)  
 Counter I only

COUNT CLOCK 1	OUTPUT			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

COUNT CLOCK 2	OUTPUT			
	Q <sub>A</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

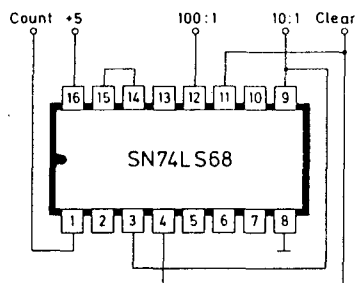
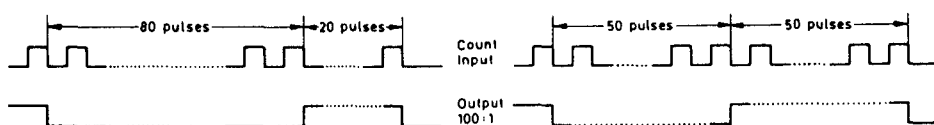
Notes:

A Output Q<sub>A</sub> externally connected to clock 2 input for counter I. For counter II this connection has been made internally.

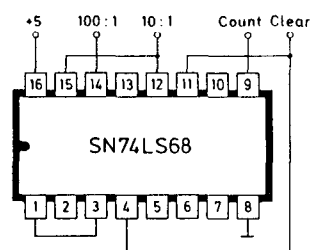
B Output Q<sub>D</sub> externally connected to clock 1 input for counter I.

waarheidstabel

Toepassing:  
100-deler



Asymmetrical frequency division 100:1



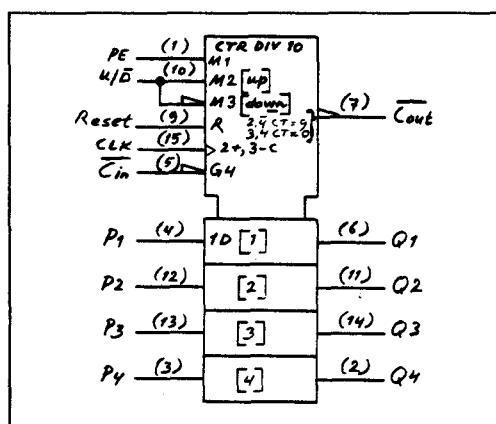
Symmetrical frequency division 100:1

## 4/6.3

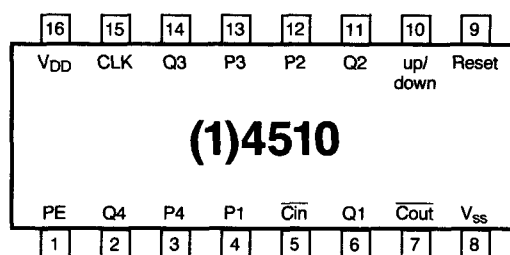
BCD-tellers  
(1)4xxx-serie CMOS

## (1)4510

presetbare BCD op/neer-teller



Figuur 4/6.3-510



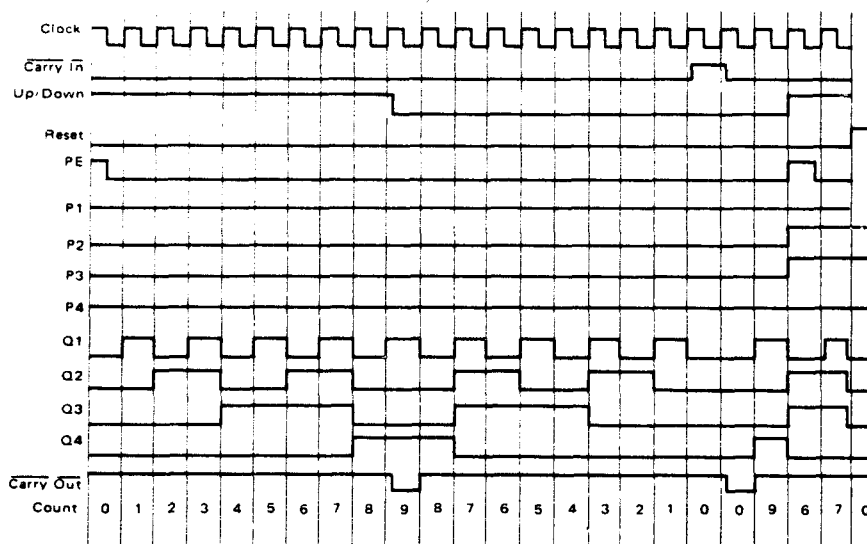
TRUTH TABLE

CARRY IN	UP/DOWN	PRESET ENABLE	RESET	ACTION
1	X	0	0	No Count
0	1	0	0	Count Up
0	0	0	0	Count Down
X	X	1	0	Preset
X	X	X	1	Reset

X = Don't Care

logisch symbool

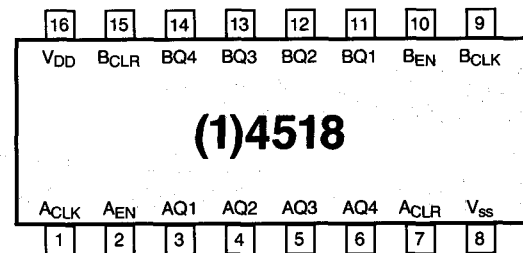
waarheidstabel



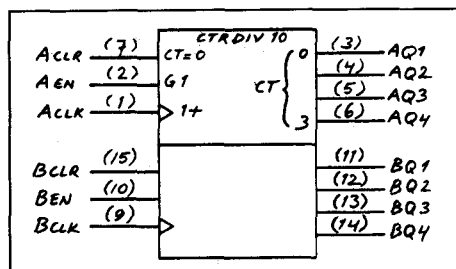
timing

o.a. leverbaar: MC 14510 A/B/C  
CD 4510 B  
HEF 4510 B

## 6.3 (1)4xxx-serie CMOS

**(1)4518****2 10-tellers**

Figuur 4/6.3-518



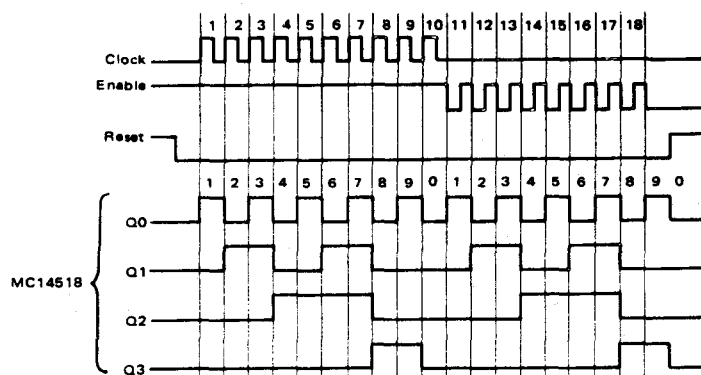
logisch symbool

TRUTH TABLE

CLOCK	ENABLE	RESET	ACTION
	1	0	Increment Counter
0		0	Increment Counter
		0	No Change
X	X	0	No Change
	0	0	No Change
1		0	No Change
X	X	1	Q0 thru Q3 = 0

X = Don't Care

waarheidstabel



timing

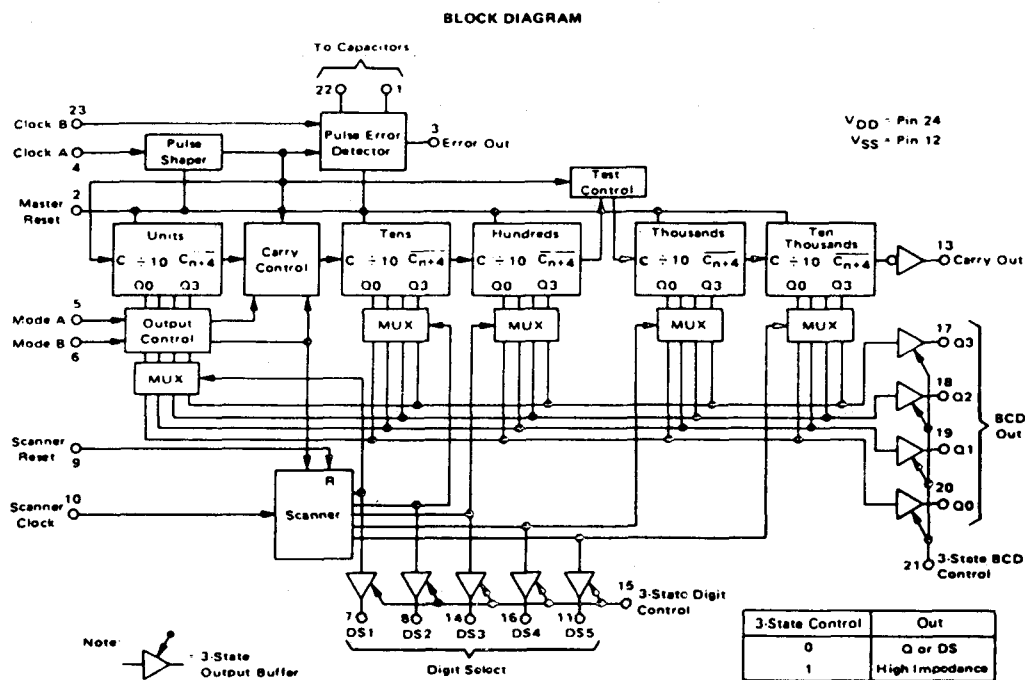
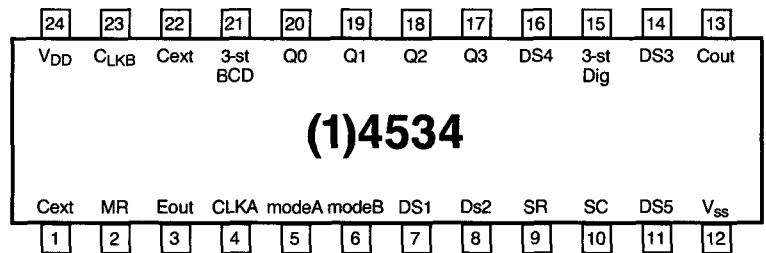
o.a. leverbaar: MC 14518 A/B/C  
 CD 4518 B  
 HEF 4518 B

## 6.3 (1)4xxx-serie CMOS

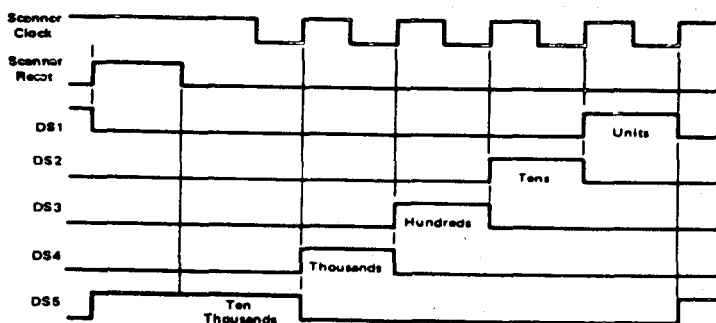
## (1)4534

'Real-time' 5-decaden teller

Figuur 4/6.3-534

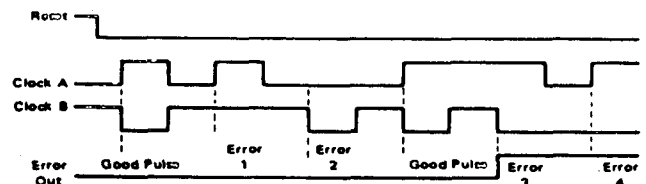


SCANNER TIMING DIAGRAM



Note: If Mode B = 1, the first decade is inhibited and S1 will not go high, and the cycle will be shortened to four steps.  
DS6 is collected automatically when Scanner Reset goes high.

ERROR DETECTION TIMING DIAGRAM



Note: Error detector looks for inverted pulses on Clock B. Whenever a positive edge at Clock A is not accompanied by a negative pulse at Clock B (or vice-versa) within a time period of the one-shots an error is counted. Three errors result in Error Out to go to a "1". If error detection is not needed, tie Clock B high or low and leave Pins 1 and 22 unconnected.

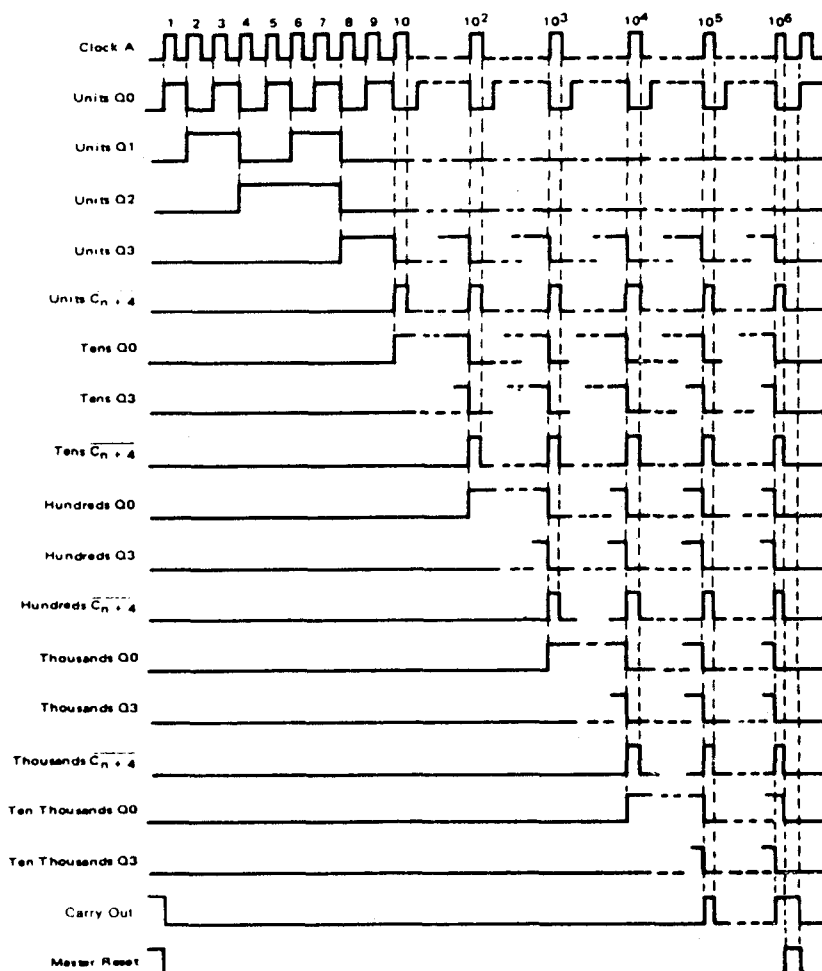
## Deel 4: Flip-Flop's, latches, tellers en schuifregisters

## 6.3 (1)4xxx-serie CMOS

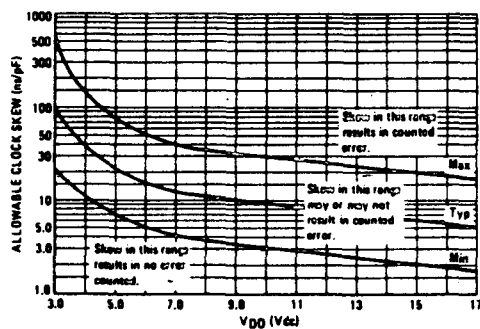
MODE CONTROL TRUTH TABLE

Mode A	Mode B	First Stage Output	Carry to Second Stage	Application
0	0	Normal Count and Display	At 9 to 0 transition of first stage	5-digit Counter
0	1	Inhibited	Input Clock	Test Mode: Clock directly into stages 1, 2, and 4.
1	1	Inhibited	At 4 to 5 transition of first stage	4-digit counter with $\sim 10$ and roundoff at front end.
1	0	Counts 3, 4, 5, 6, 7 = 5 Counts 8, 9, 0, 1, 2 = 0	At 7 to 8 transition of first stage	4-digit counter with 1/2 pence capability

COUNTER TIMING DIAGRAM



CLOCK SKEW RANGE

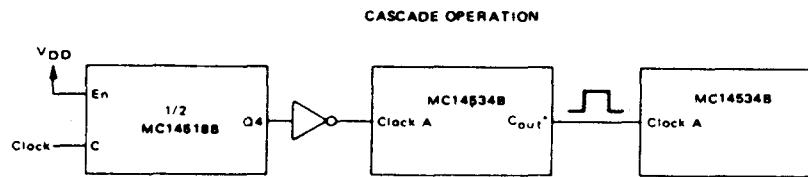


## Notes:

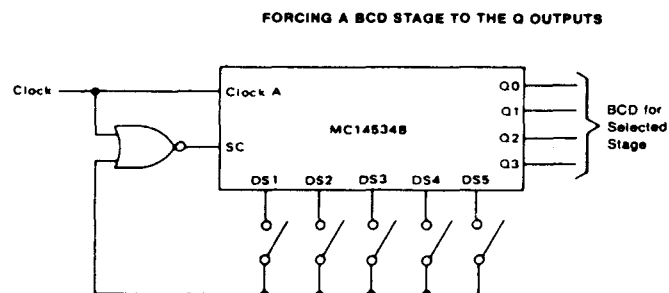
1. The skew is the time difference between the low-to-high transition of CA to the high-to-low transition of C<sub>0</sub> or vice-versa. Capacitors C1 = C22 tied from pins 1 and 22 to V<sub>SS</sub>.
2. This graph is accurate for C1 = C22  $\geq$  100 pF.
3. When the error detection circuitry is not used, pins 1 and 22 are left open.

## 6.3 (1)4xxx-serie CMOS

toepassingsvoorbeelden:



\*Carry Out is high for a single clock period when all five BCD stages go to zero. (Carry Out also goes high when MR is applied.)



When the Q outputs of a given stage are required, this configuration will lock up the selected stage within four clock cycles. The select line feedback may be hardwired or switched.

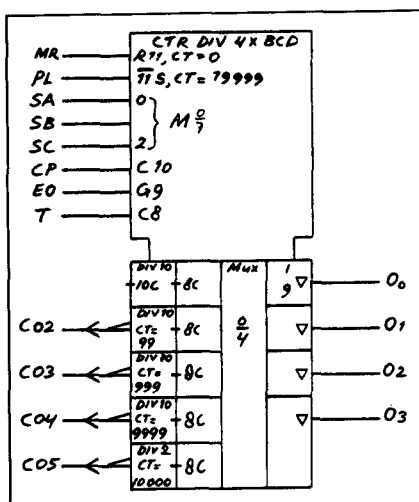
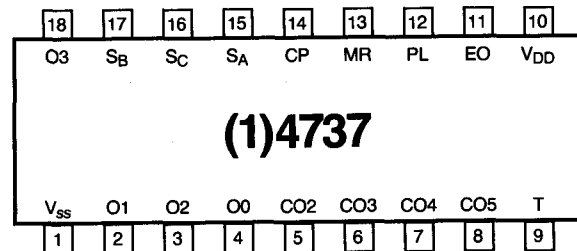
o.a. leverbaar: MC 14534 B  
HEF 4534 B

## 6.3 (1)4xxx-serie CMOS

**(1)4737**

## 4-voudige statische decadenteller

Figuur 4/6.3-737



logisch symbool

**PINNING**

CP	count input
MR	asynchronous reset input
PL	asynchronous preset input
T	transfer input
SA, SB, SC	digit select inputs
EO	output enable input
O <sub>0</sub> to O <sub>3</sub>	BCD outputs
CO <sub>2</sub> to CO <sub>5</sub>	carry outputs

alleen leverbaar:  
HEF 4737 B/V

*Digit select inputs (SA, SB, SC)*

SA	SB	SC	
L	L	L	selects D1 (LSD)
H	L	L	selects D2
L	H	L	selects D3
H	H	L	selects D4
X	X	H	selects D5 (MSD)

H = HIGH state (the more positive voltage)  
L = LOW state (the less positive voltage)  
X = state is immaterial

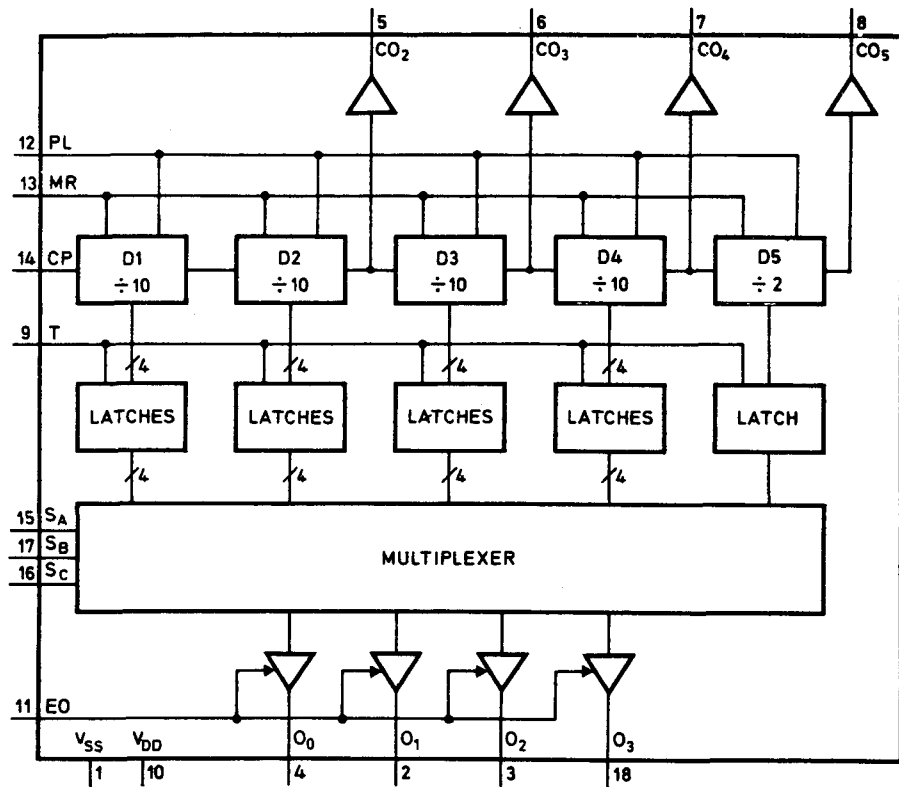
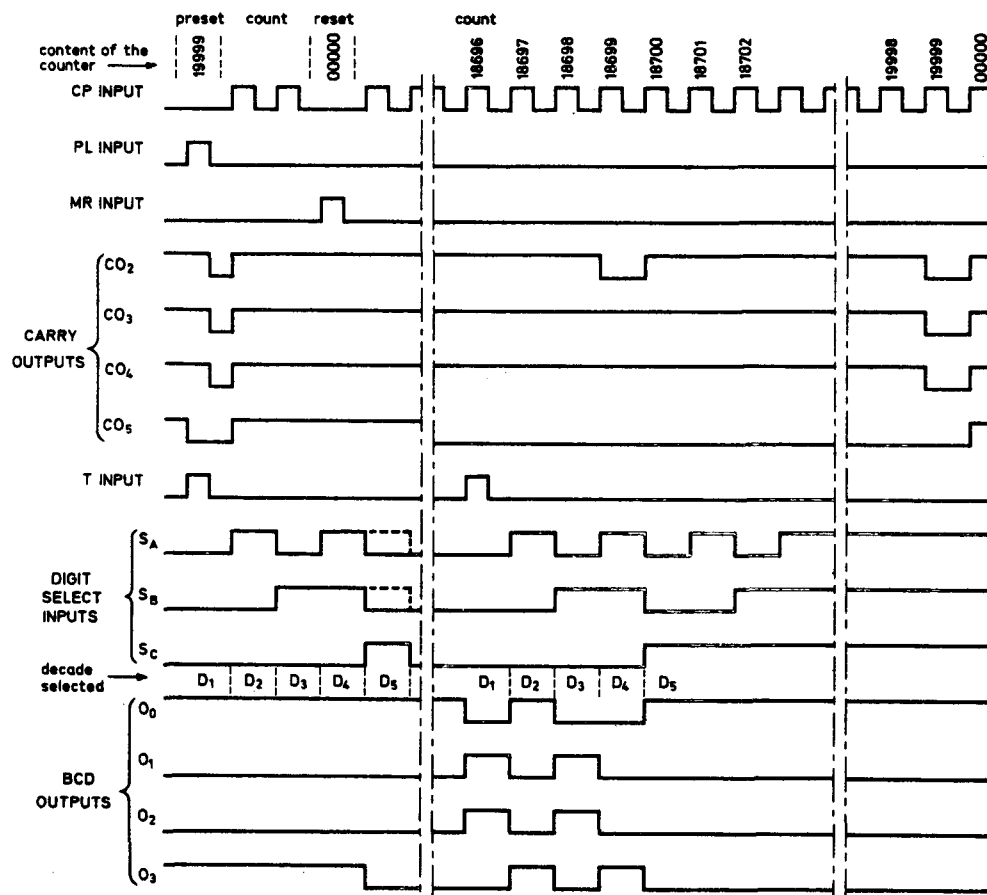
When D5 is selected, the contents of D5 is available at O<sub>0</sub> and O<sub>1</sub>, O<sub>2</sub> and O<sub>3</sub> are LOW.

LSD = least significant divider  
MSD = most significant divider

waarheidstabel S-ingangen



## 6.3 (1)4xxx-serie CMOS

functioneel  
blokschema

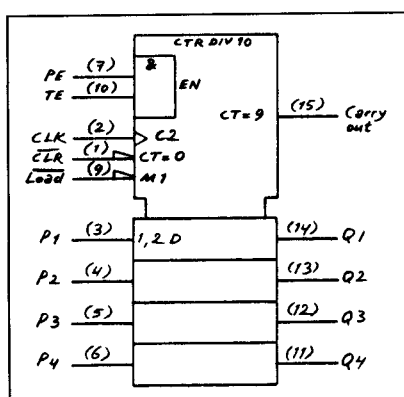
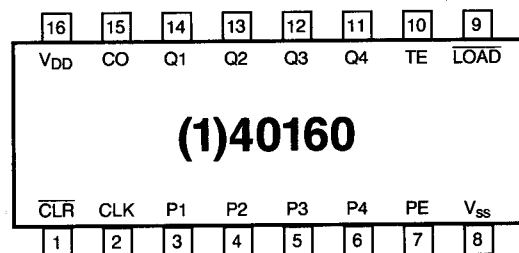
timing

## 6.3 (1)4xxx-serie CMOS

**(1)40160**

presetbare 10-teller met  
asynchrone clear

Figuur 4/6.3-160



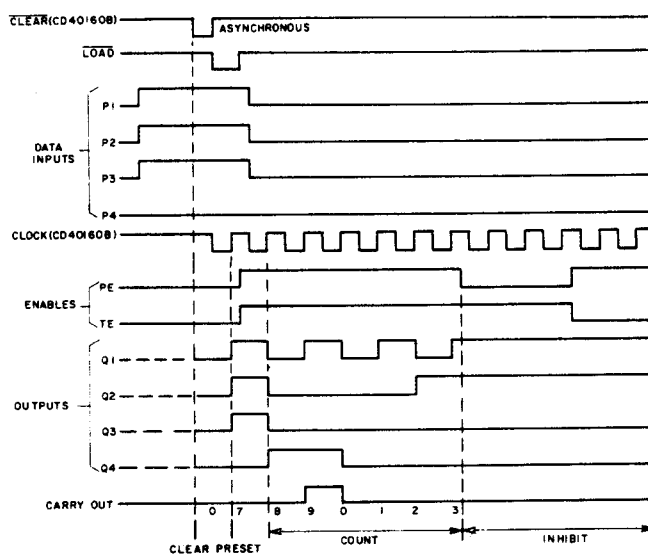
logisch symbool

TRUTH TABLE

CLOCK	CLR	LOAD	PE	TE	OPERATION
	1	0	X	X	PRESET
	1	1	0	X	NC
	1	1	X	0	NC
	1	1	1	1	COUNT
X	0	X	X	X	RESET (CD40160B,

1 = HIGH LEVEL    0 = LOW LEVEL    X = DON'T CARE    NC = NO CHANGE

waarheidstabel



timing

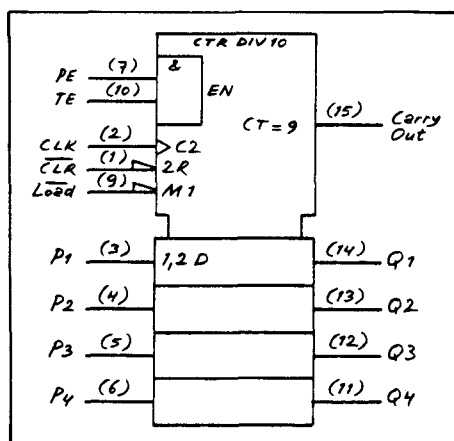
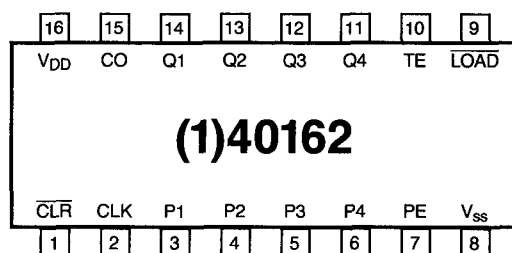
o.a. leverbaar: MC 140160 B  
CD 40160 B  
HEF 40160 B

## 6.3 (1)4xxx-serie CMOS

## (1)40162

presetbare 10-teller met synchrone clear

Figuur 4/6.3-162



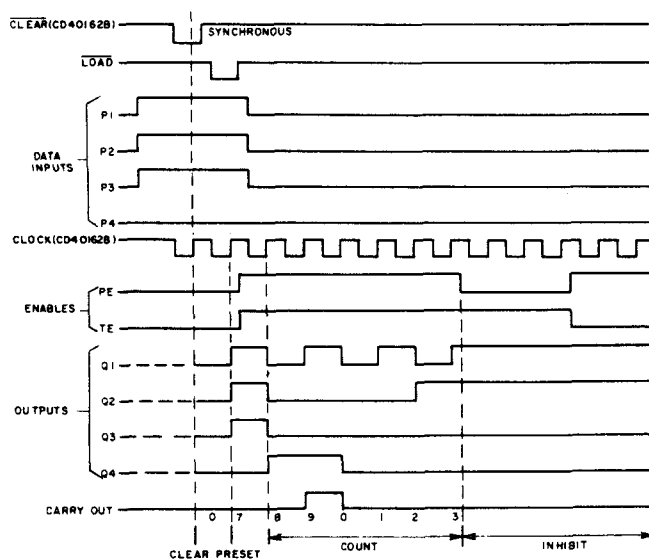
logisch symbool

TRUTH TABLE

CLOCK	$\overline{\text{CLR}}$	$\overline{\text{LOAD}}$	PE	TE	OPERATION
	1	0	X	X	PRESET
	1	1	0	X	NC
	1	1	X	0	NC
	1	1	1	1	COUNT
	0	X	X	X	RESET (CD40162B)
	1	X	X	X	NC (CD40162B)

1 = HIGH LEVEL    0 = LOW LEVEL    X = DON'T CARE    NC = NO CHANGE

waarheidstabel



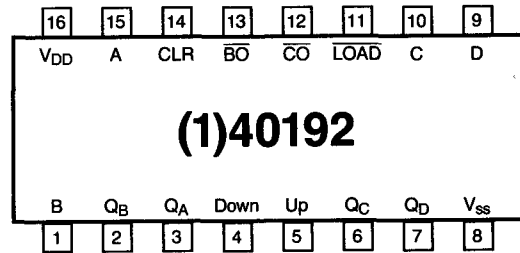
timing

o.a. leverbaar: MC 140162 B  
CD 40162 B  
HEF 40162 B

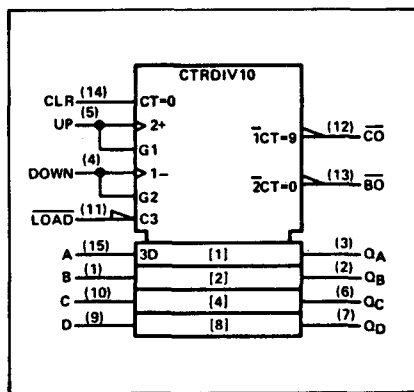
## 6.3 (1)4xxx-serie CMOS

**(1)40192**

presetbare op/neer 10-teller



Figuur 4/6.3-192



logisch symbool

TRUTH TABLE

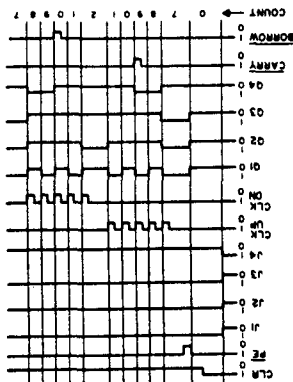
CLOCK UP	CLOCK DOWN	PRESET ENABLE	RESET	ACTION
	1	1	0	COUNT UP
	1	1	0	NO COUNT
1		1	0	COUNT DOWN
1		1	0	NO COUNT
X	X	0	0	PRESET
X	X	X	1	RESET

1 = HIGH LEVEL

0 = LOW LEVEL

X = DON'T CARE

preset enable = load

J<sub>1</sub> = A inputQ<sub>1</sub> = Qa output

timing

o.a. leverbaar: CD 40192 B  
MSM 40192 B  
HEF 40192 B

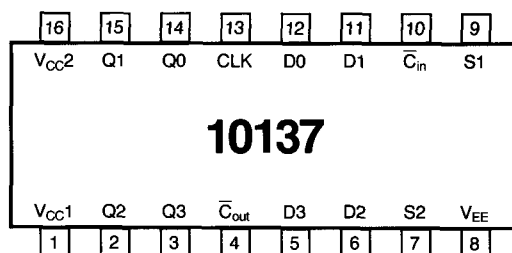
## 4/6.4

BCD-tellers  
10k-serie ECL

## 10137

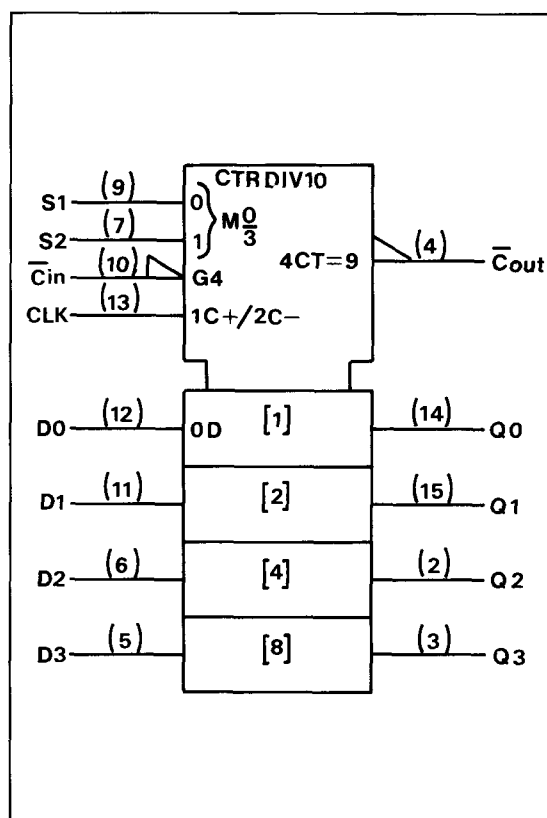
Universele decode teller  
(op/neer-tellen, presetten, stoppen)  
 $f_{\max} > 100 \text{ MHz}$

Figuur 4/6.4-137



Parameters bij 25°C

$I_E$	min typ max	120 150	mA	Stroom uit voeding ( $V_{EE} = -5,2 \text{ V}$ )
$I_{IL}$	min typ max	0.5	$\mu\text{A}$	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	220	$\mu\text{A}$	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.85 -1.65	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.96 -0.81	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.63	V	Threshold Low Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.98	V	Threshold High Level Uitgangsspanning $V_{IN} = V_{ILmax}$ of $V_{IHmin}$
P	typ	625	mW/ package	Dissipatie
$t_d$	typ typ typ	3.3 5.0 ns	ns ns ns	Vertragingstijd clock Vertragingstijd carry
fanout		1	50 Ohm-lijn(en)	



## 6.4 10k-serie ECL

### SEQUENTIAL TRUTH TABLE<sup>1</sup> — 10137

[illegible]

$\phi$  = Don't care.

1 - Truth table shows logic states assuming inputs vary in sequence shown from top to bottom.

2- A clock H is defined as a clock input transition from a low to a high logic level.

## FUNCTION SELECT TABLE

S1	S2	OPERATING MODE
L	L	Preset (Program)
L	H	Increment (Count Up)
H	L	Decrement (Count Down)
H	H	Hold (Stop Count)

## 4/6.10

# Timing-karakteristieken van BCD-tellers

### Inleiding

#### Timing-karakteristieken

Om de werking van tellers beter te begrijpen is het nuttig om behalve de functionele schema's, de logische symbolen en de waarheidstabellen ook de bijbehorende tijddiagrammen of timing-karakteristieken te bestuderen. Het kan voor een bepaald ontwerp bijvoorbeeld heel belangrijk zijn of een teller op de op- of neergaande flank van de klok-pulsen telt. Ook moet bekend zijn of, indien mogelijk, het laden en/of resetten synchroon (met behulp van een klokpuls) of asynchroon geschiedt. Deze gegevens bepalen de mo-

menten waarop de data en stuursignalen aanwezig moeten zijn. Door middel van een tijddiagram kan de samenhang van de signalen eenvoudig worden aangegeven, zodat de werking van de teller duidelijker wordt.

#### TTL en HC

Het bovenstaande geldt voor alle tellers en dus ook voor BCD-tellers. De hierna volgende tijddiagrammen zijn een aanvulling op de beschrijvingen van de BCD-tellers van de 74xx-serie TTL en HC (deel 4/6.2). De BCD-tellers van de andere families zijn reeds van tijddiagrammen voorzien.

## 6.10 Timing-karakteristieken van BCD-tellers

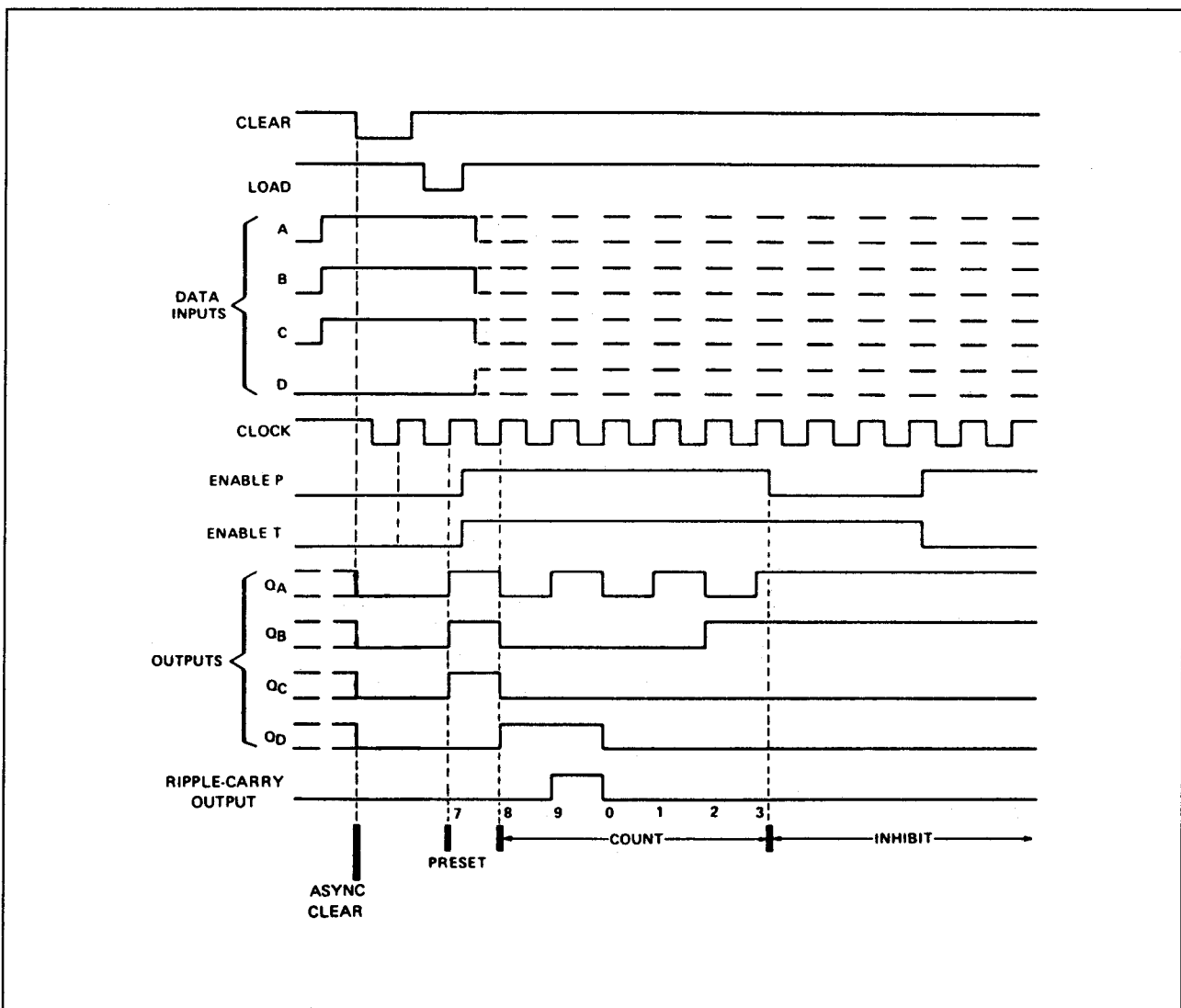
## 74160

**Beschrijving**

De 74160 is een synchrone decade teller met synchrone load (preset) en direkte (asynchrone) clear.

**Volgorde van gebeurtenissen**

- clear;
- preset op BCD 7;
- tellen tot 8, 9, 0, 1, 2 en 3;
- inhibit.



**Figuur 4/6.10-1:** Timing-diagram van de 74160.



## 6.10 Timing-karakteristieken van BCD-tellers

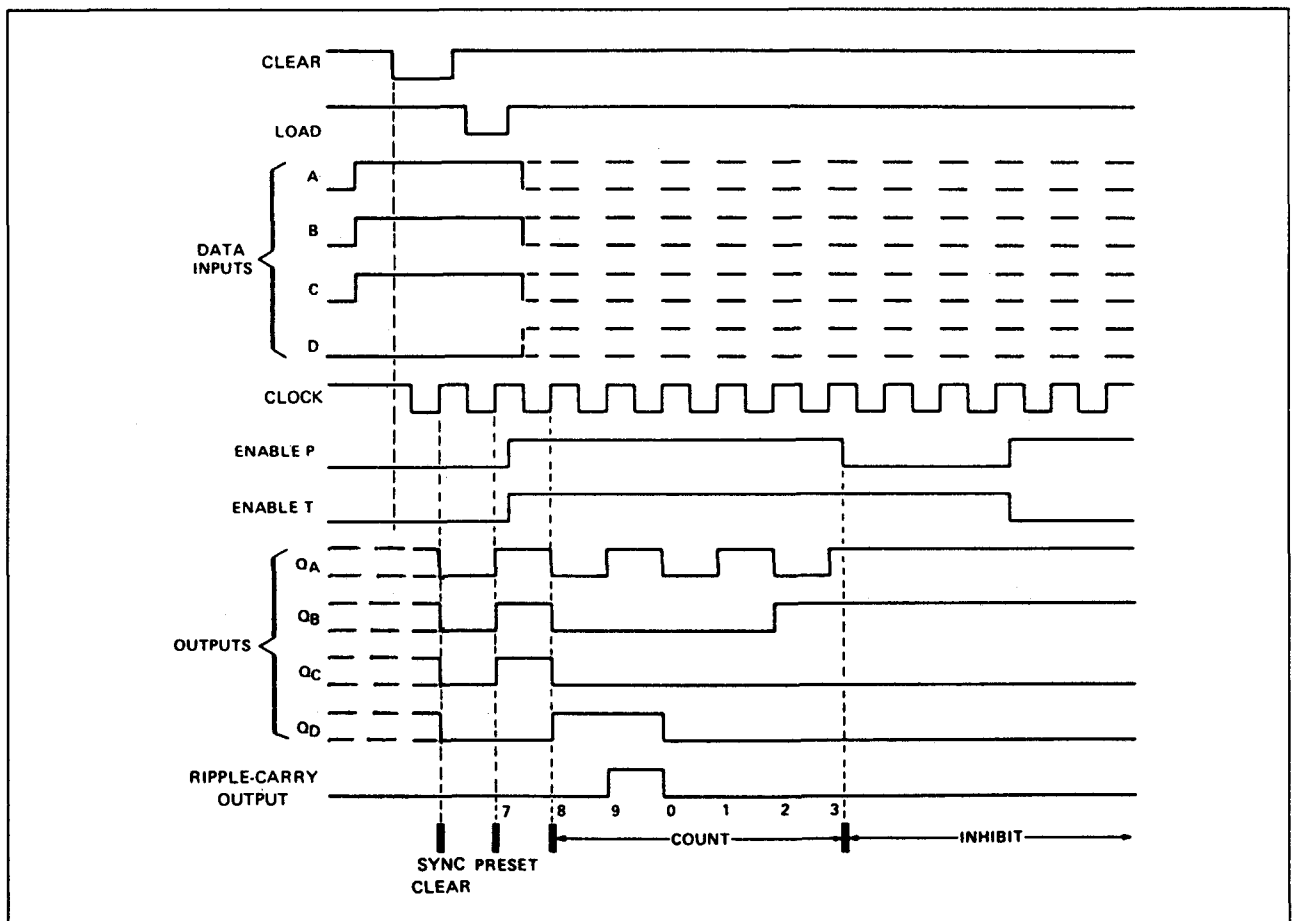
## 74162

**Beschrijving**

De 74162 is een synchrone decade teller met synchrone preset en clear.

**Volgorde van gebeurtenissen**

- clear;
- preset op BCD 7;
- tellen tot 8, 9, 0, 1, 2 en 3;
- inhibit.



**Figuur 4/6.10-2:** Timing-diagram van de 74162.

## 6.10 Timing-karakteristieken van BCD-tellers

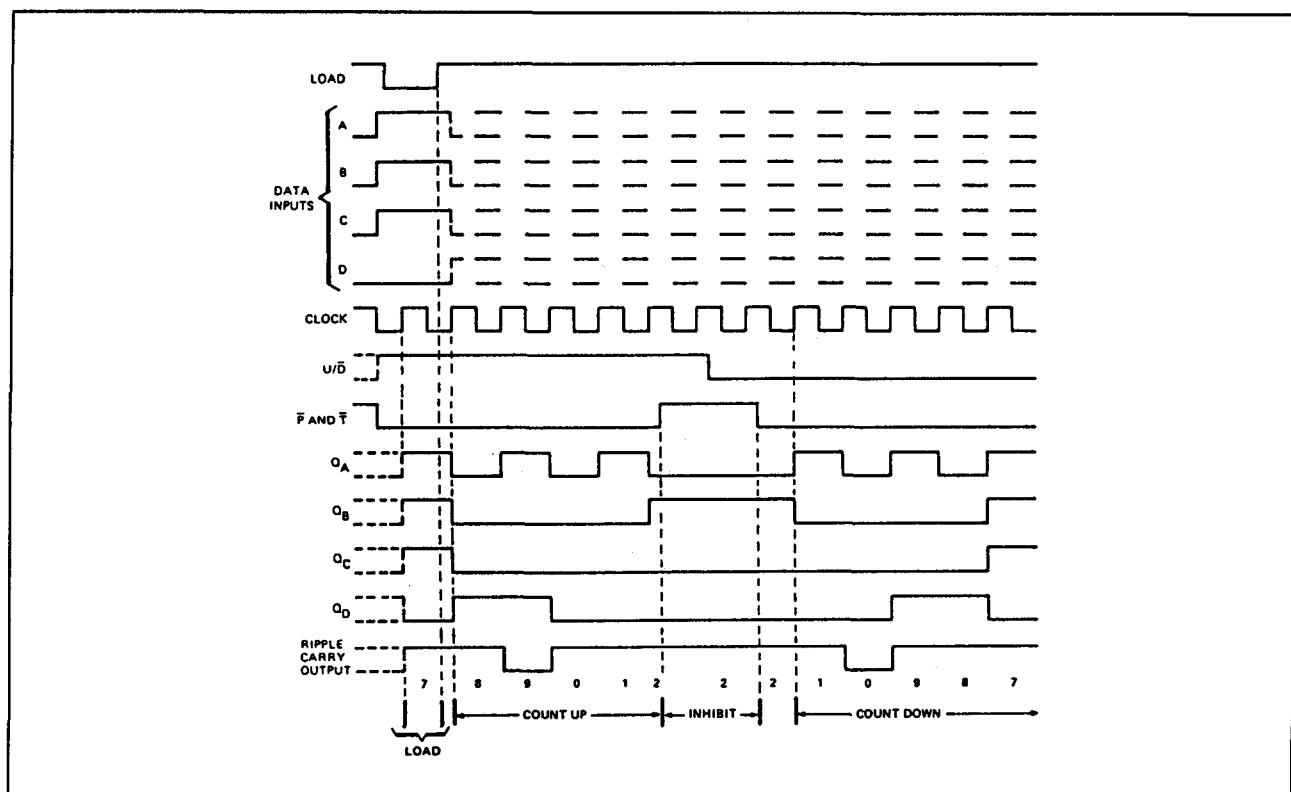
## 74168

**Beschrijving**

De 74168 is een synchrone op/neer decade teller met synchrone preset (load).

**Volgorde van gebeurtenissen**

- presetten op BCD 7;
- optellen tot 8, 9 (maximum), 0, 1 en 2;
- inhibit;
- neertellen tot 1, 0 (minimum), 9, 8 en 7.



Figuur 4/6.10-3: Timing-diagram van de 74168.

## 6.10 Timing-karakteristieken van BCD-tellers

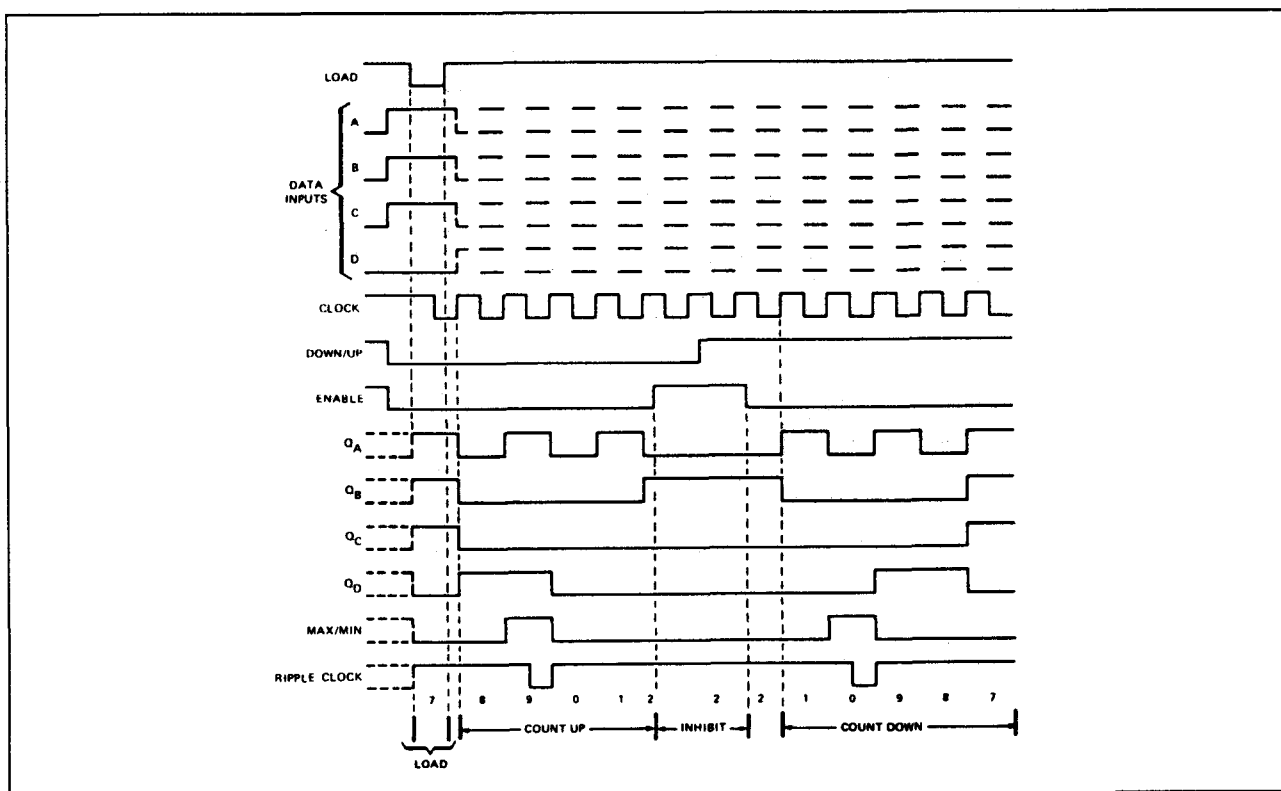
## 74190

**Beschrijving**

De 74190 is een synchrone op/neer decade teller met op/neer-mode control en synchrone preset.

**Volgorde van gebeurtenissen**

- preset op BCD 7;
- optellen tot 8, 9 (maximum), 0, 1 en 2;
- inhibit;
- neertellen tot 1, 0 (minimum), 9, 8 en 7.



Figuur 4/6.10-4: Timing-diagram van de 74190.

## 6.10 Timing-karakteristieken van BCD-tellers

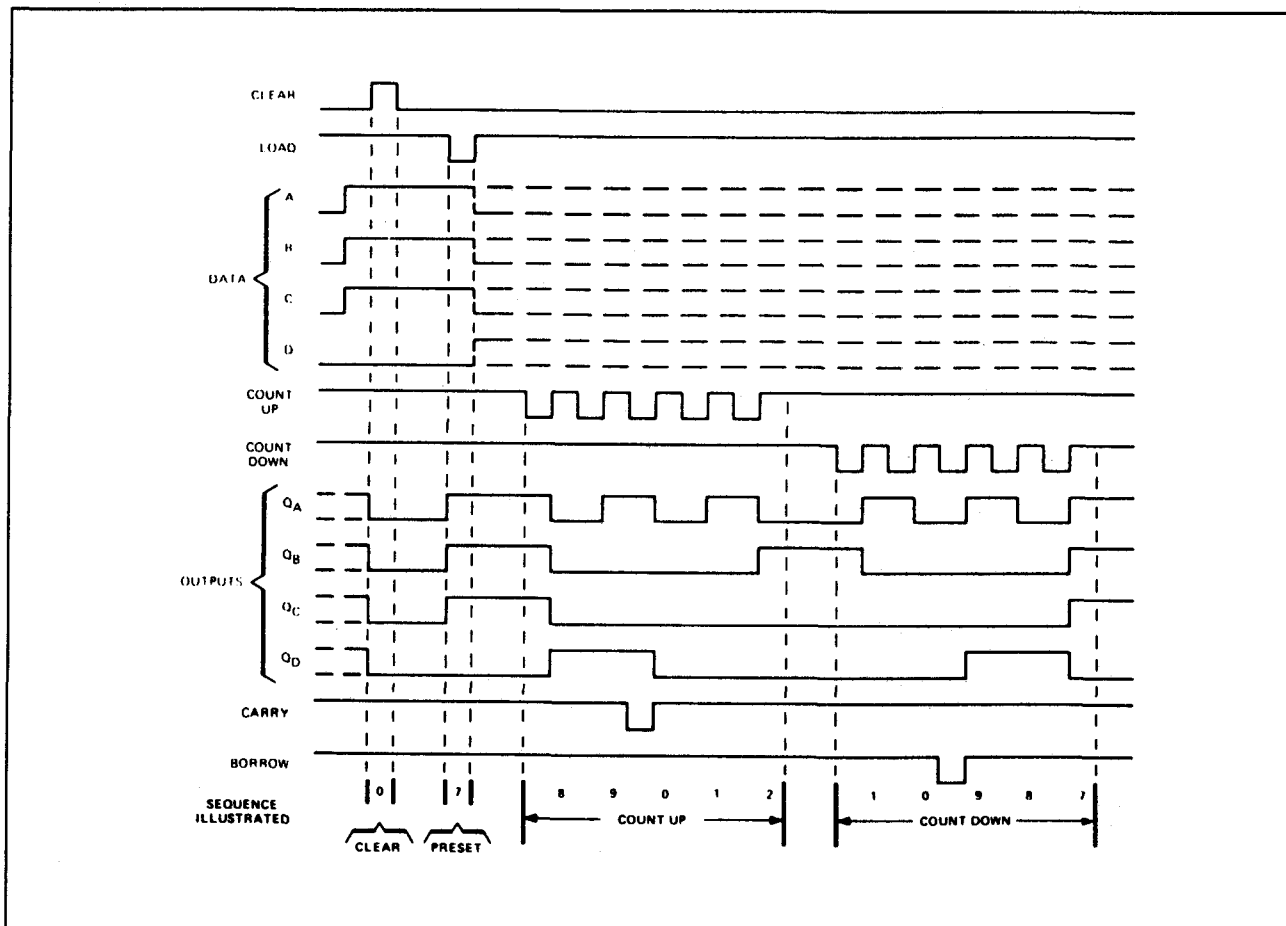
## 74192

**Beschrijving**

De 74192 is een synchrone op/neer decade teller met aparte op/neer clockingangen en asynchrone preset (load) en clear. Clear gaat voor op load, data en tellen. Bij optellen moet de count-down ingang HOOG zijn en bij neertellen moet de count-up HOOG zijn.

**Volgorde van gebeurtenissen**

- clear;
- preset op BCD 7;
- optellen tot 8, 9, carry, 0, 1 en 2;
- neertellen tot 1, 0, borrow, 9, 8 en 7.



Figuur 4/6.10-5: Timing-diagram van de 74192.

## 6.10 Timing-karakteristieken van BCD-tellers

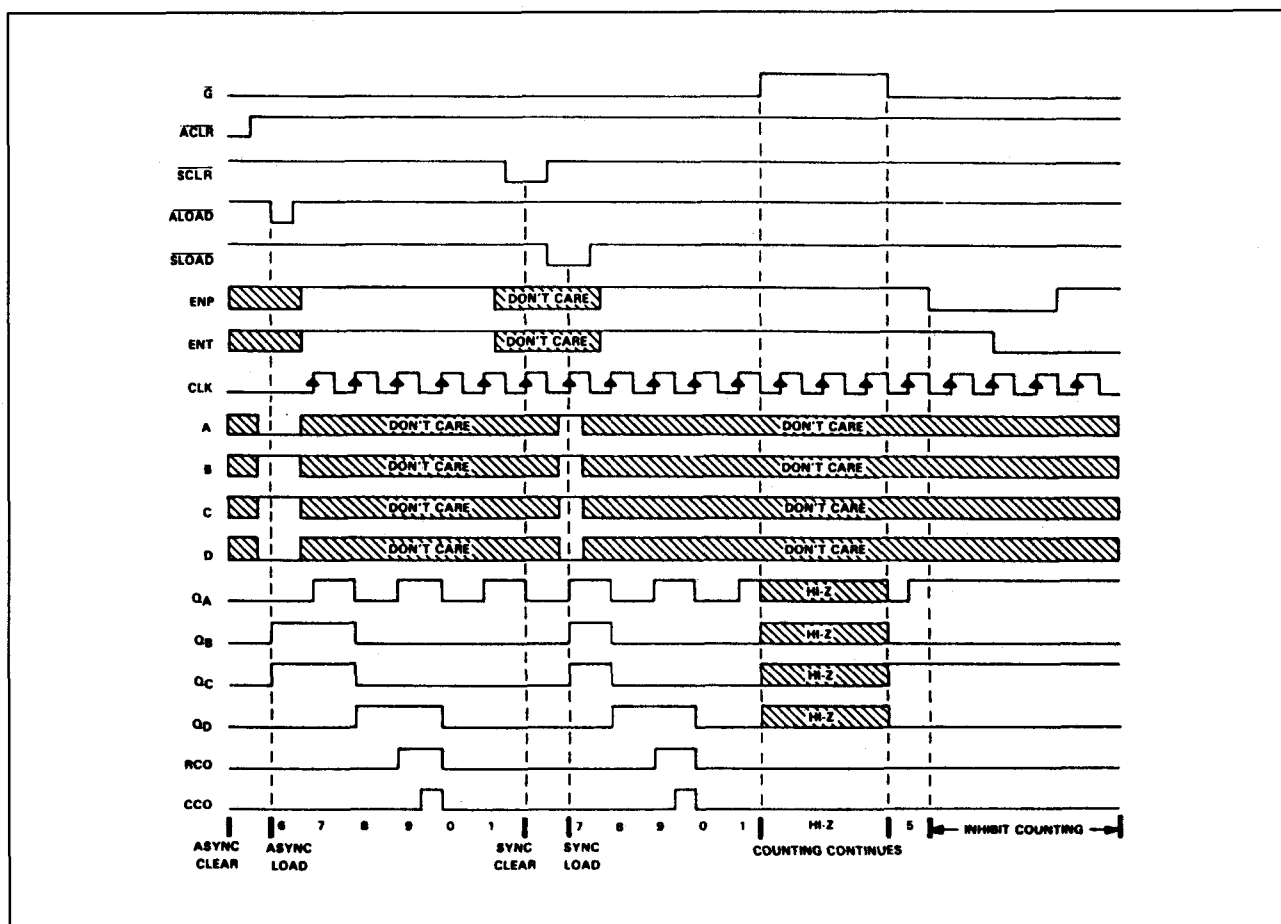
## 74560

**Beschrijving**

De 74560 is een synchrone decade teller met 3-state uitgangen en (naar keuze) synchrone of asynchrone preset en clear.

**Volgorde van gebeurtenissen**

- asynchroon clearen;
- asynchroon laden met BCD 6;
- tellen tot 7, 8, 9;
- ripple-carry, clocked-carry, 0 en 1;
- synchrone clear;
- synchrone load met BCD 7;
- tellen (ook met hoog-impedante uitgangen);
- inhibit.



Figuur 4/6.10-6: Timing-diagram van de 74560.

## 6.10 Timing-karakteristieken van BCD-tellers

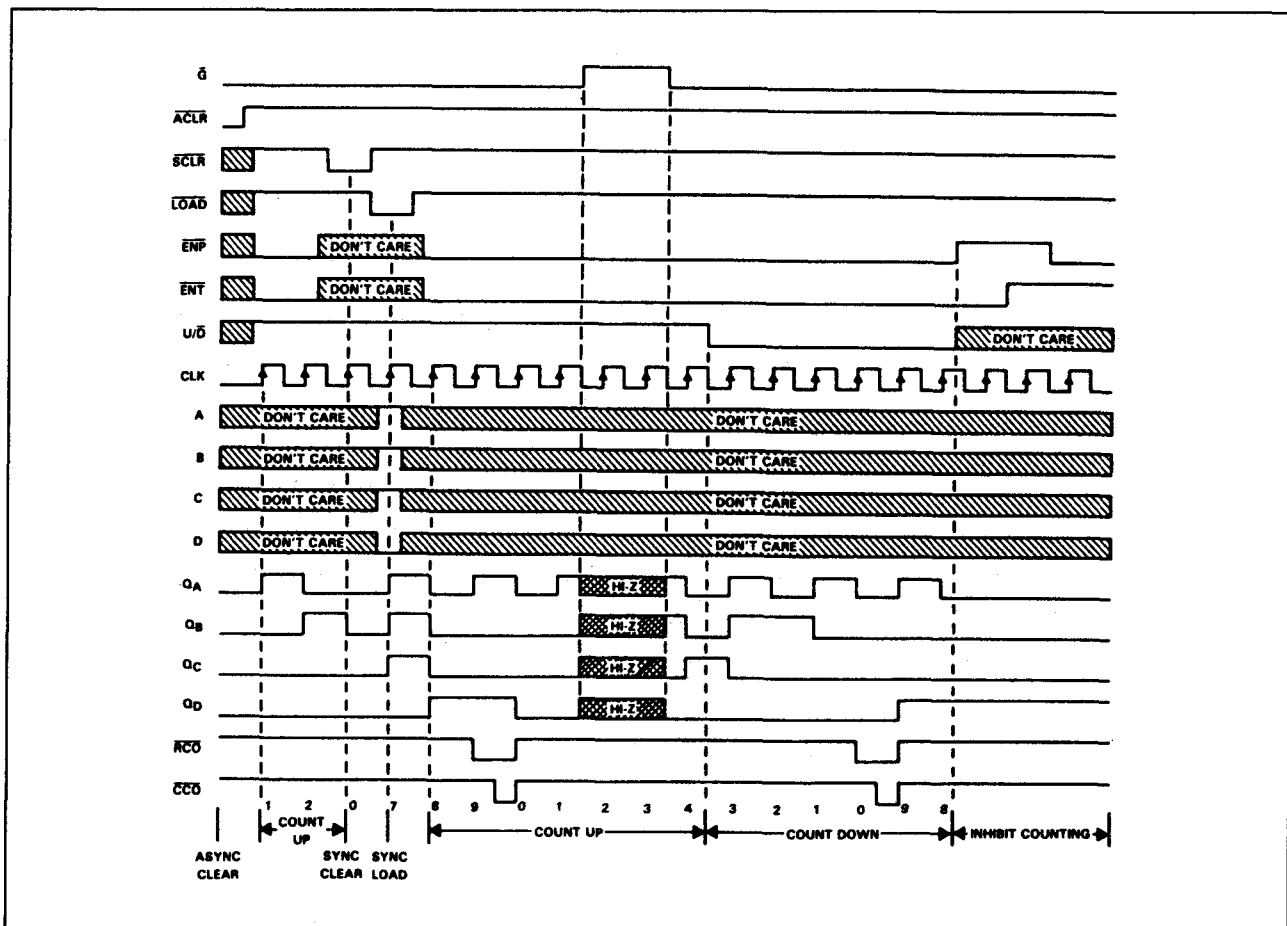
## 74568

**Beschrijving**

De 74568 is een synchrone op/neer decade teller met 3-state uitgangen, synchrone load (preset) en synchrone of asynchrone clear.

**Volgorde van gebeurtenissen**

- asynchroon clearen;
- optellen tot 1 en 2;
- synchroon clearen;
- synchroon laden met BCD 7;
- optellen tot 8, 9, ripple-carry en clocked-carry, 0, 1, 2, 3, 4 (ook met hoog-impedante uitgangen);
- neertellen tot 3, 2, 1, 0, ripple-carry en clocked-carry, 9 en 8;
- inhibit.



Figuur 4/6.10-7: Timing-diagram van de 74568.

## 6.10 Timing-karakteristieken van BCD-tellers

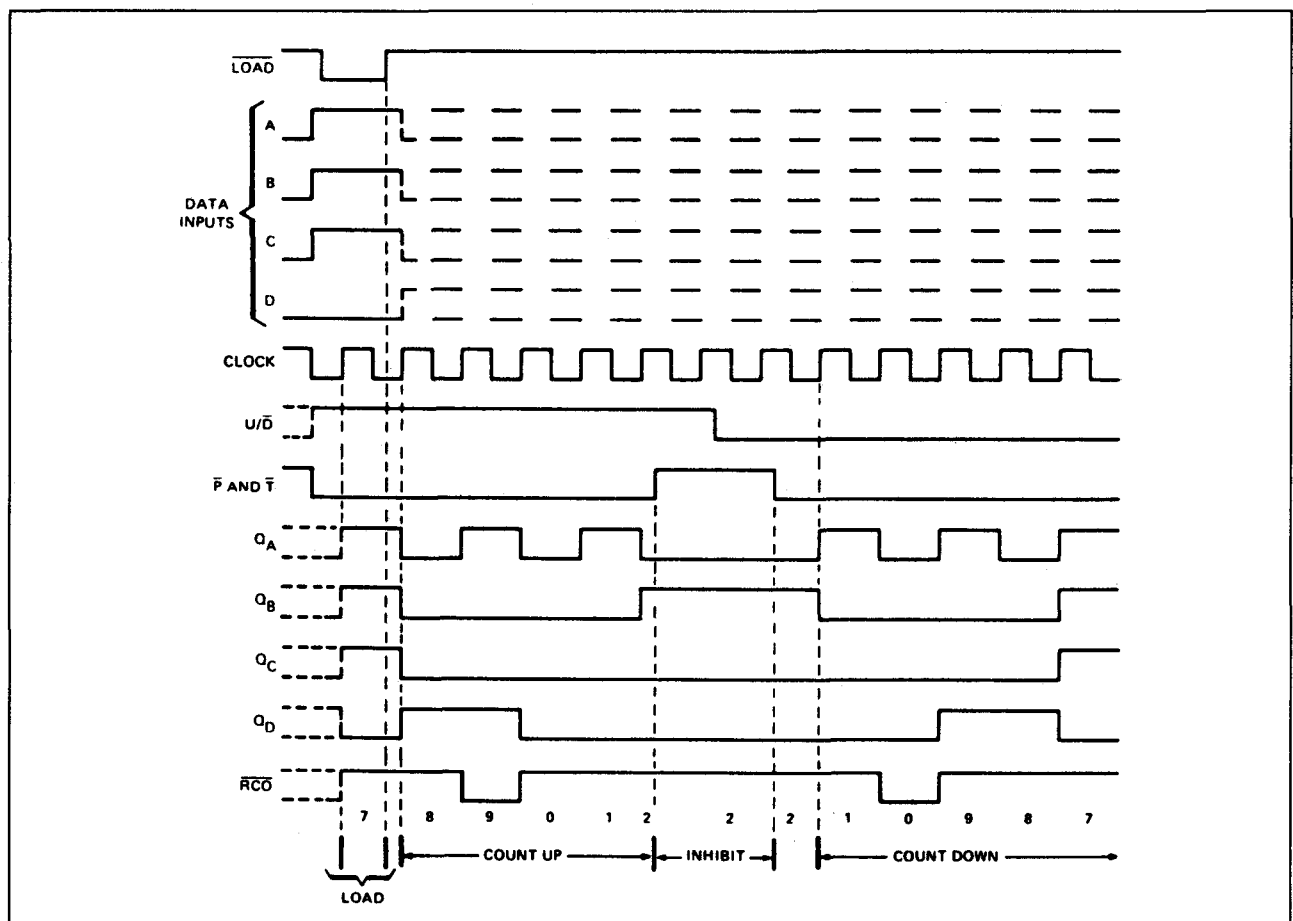
## 74668

**Beschrijving**

De 74668 is een synchrone op/neer decade teller met synchrone preset.

**Volgorde van gebeurtenissen**

- laden met BCD 7;
- optellen tot 8, 9 (maximum), 0, 1 en 2;
- inhibit;
- neertellen tot 1, 0 (minimum), 9, 8 en 7.



Figuur 4/6.10-8: Timing-diagram van de 74668.

## 6.10 Timing-karakteristieken van BCD-tellers

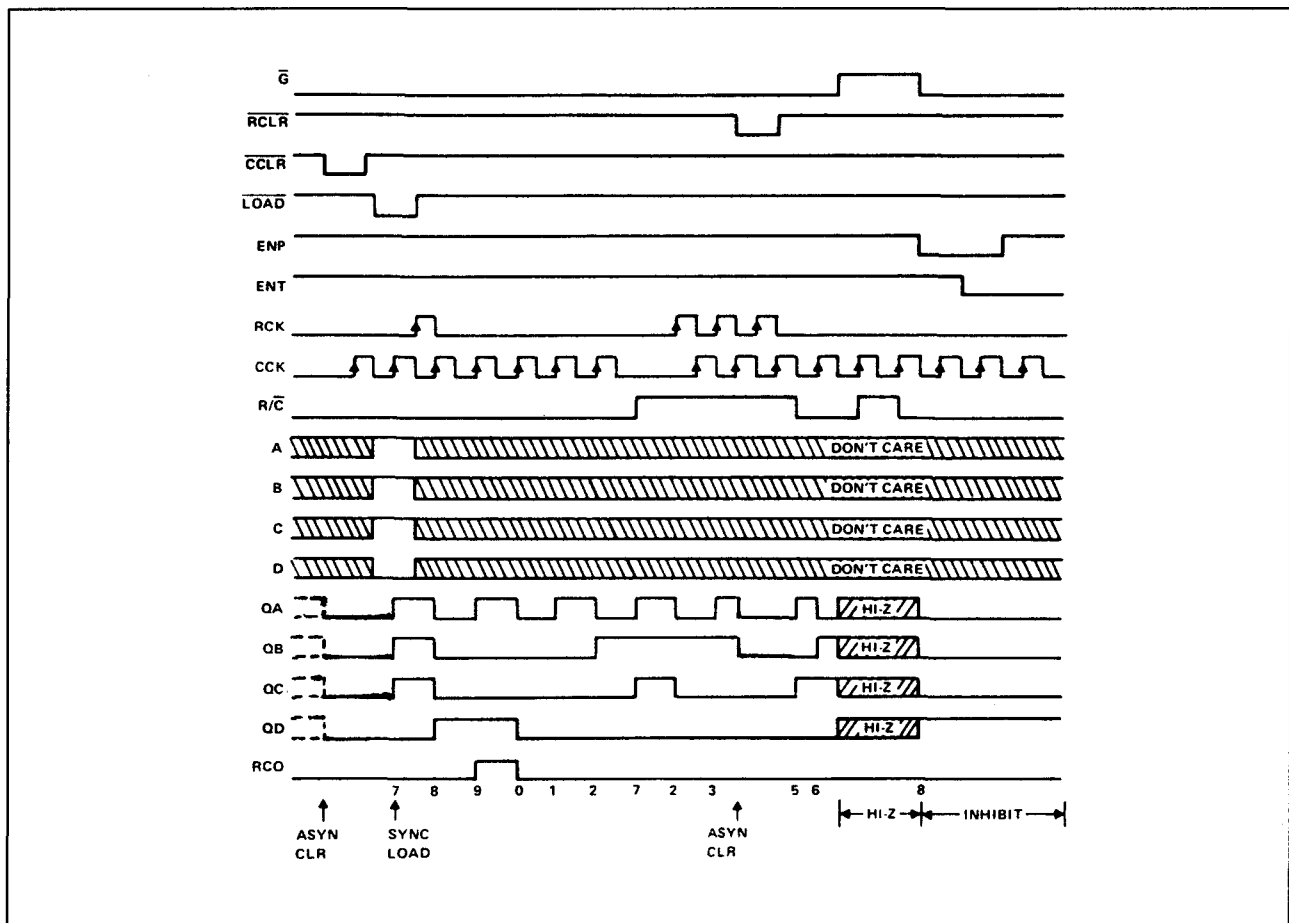
## 74690

**Beschrijving**

De 74690 is een synchrone decade teller met uitgangsregisters en gemultiplexte 3-state uitgangen met synchrone preset (load) en asynchrone (counter en register) clear.

**Volgorde van gebeurtenissen**

- asynchroon clearen teller;
- synchroon laden met BCD 7;
- tellen tot 8, 9 (ripple-carry), 0, 1, 2;
- uitlezen register (7);
- tellen tot 3;
- asynchroon clearen register;
- tellen (ook met hoog-impedante uitgangen);
- inhibit.



**Figuur 4/6.10-9:** Timing-diagram van de 74690.



## 6.10 Timing-karakteristieken van BCD-tellers

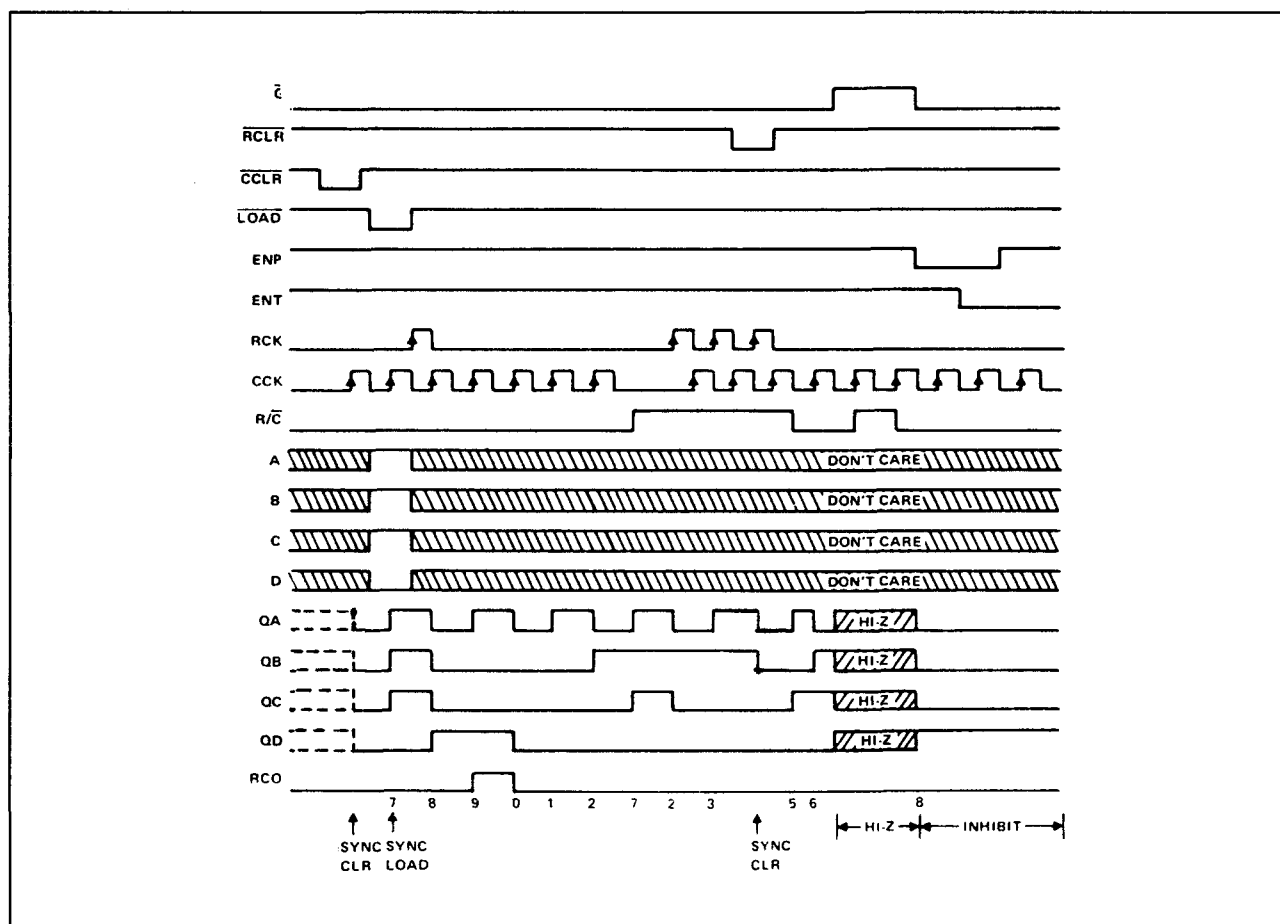
## 74692

**Beschrijving**

De 74692 is een synchrone decade teller met uitgangsregisters en gemultiplexte 3-state uitgangen met synchrone preset en (counter en register) clear.

**Volgorde van gebeurtenissen**

- synchroon clearen teller;
- synchroon laden met BCD 7;
- tellen tot 8, 9 (ripple-carry out), 0, 1, 2;
- uitlezen register (7);
- tellen tot 3;
- synchroon clearen register;
- tellen (ook met hoog-impedante uitgangen);
- inhibit.



Figuur 4/6.10-10: Timing-diagram van de 74692.

## 6.10 Timing-karakteristieken van BCD-tellers

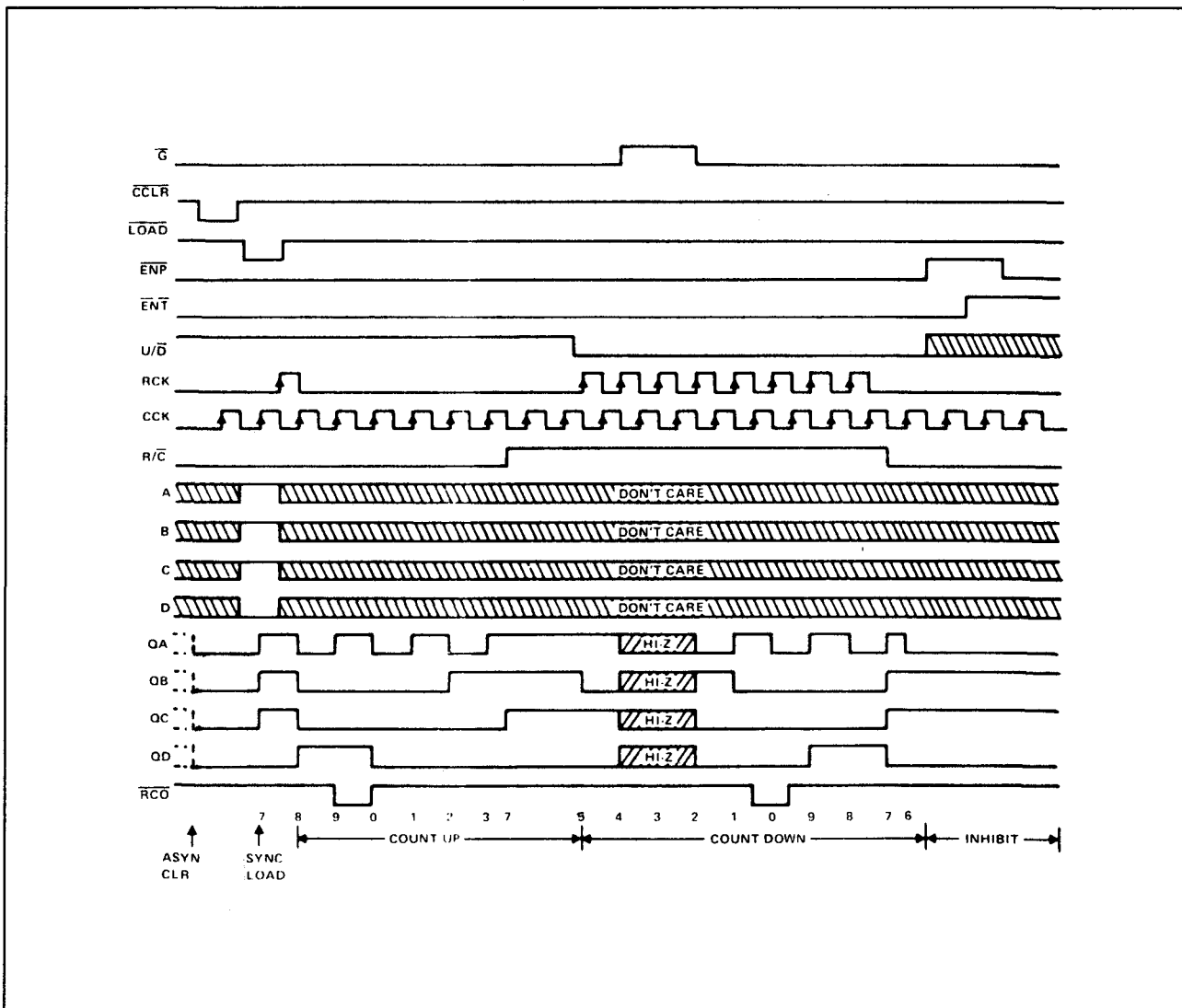
## 74696

**Beschrijving**

De 74696 is een synchrone op/neer decade te  
3-state uitgangen met synchrone preset (load) en asynchrone clear.

**Volgorde van gebeurtenissen**

- asynchrone clear;
- synchroon laden met BCD 7;
- optellen tot 8, 9, (ripple-carry), 0, 1, 2, 3;
- uitlezen register (7), optellen tot 5;
- neertellen tot 4, 3, 2 (ook met hoog-impedante uitgangen) 1, 0, (ripple-carry), 9, 8, 7, 6;
- inhibit.



**Figuur 4/6.10-11:** Timing-diagram van de 74696.

## 6.10 Timing-karakteristieken van BCD-tellers

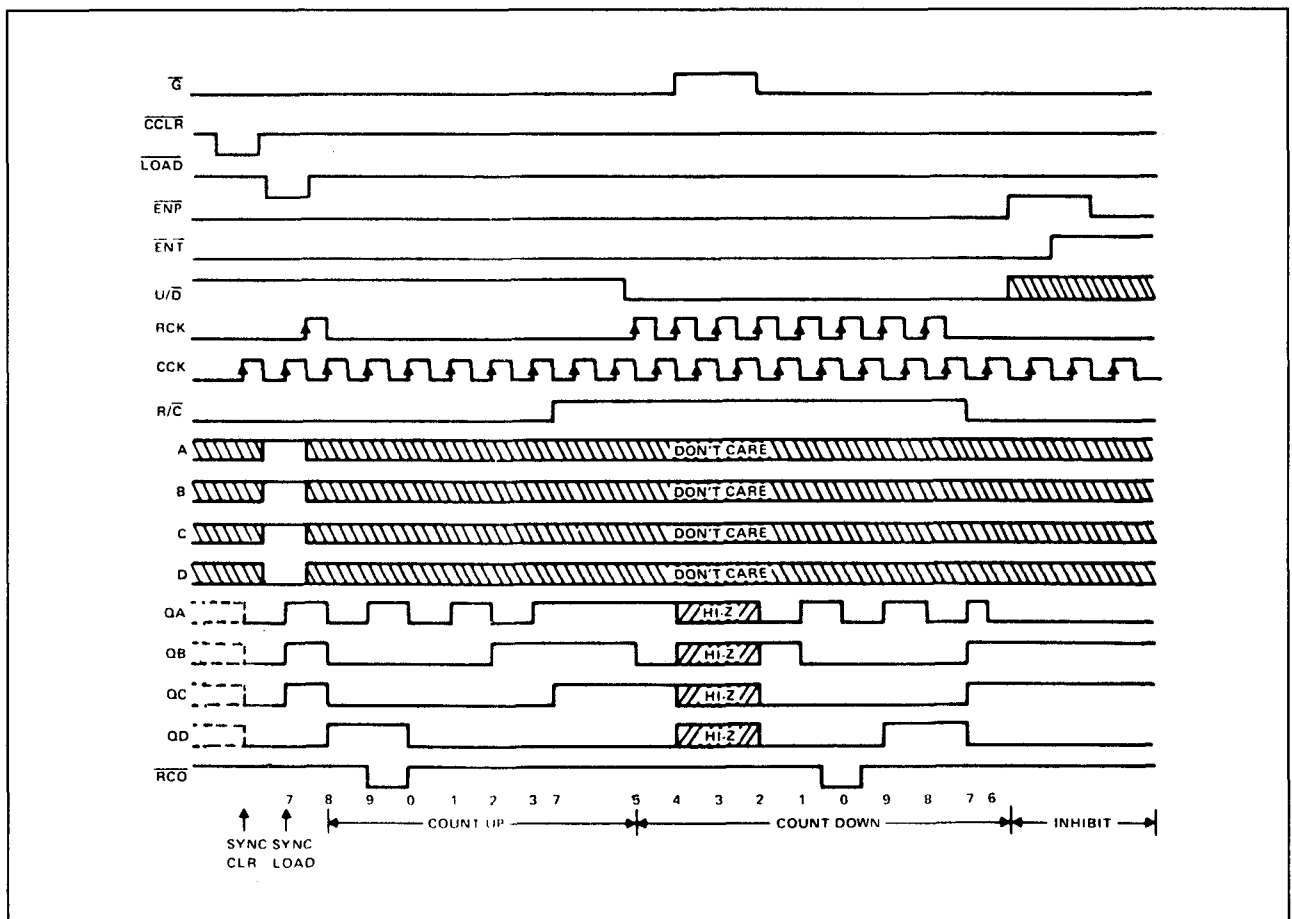
## 74698

**Beschrijving**

De 74698 is een synchrone op/neer decade teller met uitgangsregisters en gemultiplexte 3-state uitgangen met synchrone preset en clear.

**Volgorde van gebeurtenissen**

- synchrone clear;
- synchroon laden met BCD 7;
- optellen tot 8, 9, (ripple-carry), 0, 1, 2, 3;
- uitlezen register (7);
- doortellen tot 5;
- neertellen tot 4, 3, 2 (ook met hoog-impedante uitgangen), 1, 0, (ripple carry), 9, 8, 7, 6;
- inhibit.



Figuur 4/6.10-12: Timing-diagram van de 74698.

## 6.10 Timing-karakteristieken van BCD-tellers

## 4/7

# Tellers volgens afwijkende code of met omschakelbare code

### Inhoud

#### 4/7.1 Achtergrond-informatie (aanvulling 20)

#### 4/7.2 Tellers met afwijkende code 74xx-serie TTL en HC (aanvulling 20)

7456 frequentie-deler: 50  
7457 frequentie-deler: 60  
7492 deel-door-12 teller

#### 4/7.3 Tellers met omschakelbare code (1)4xxx-serie CMOS (aanvulling 15)

(1)4029 4-bit presetbare op/neer-teller (binair of decimaal)  
(1)4566 industriële tijdbasis-generator  
(1)4569 2 programmeerbare deel-door-n binaire/BCD neer-tellers



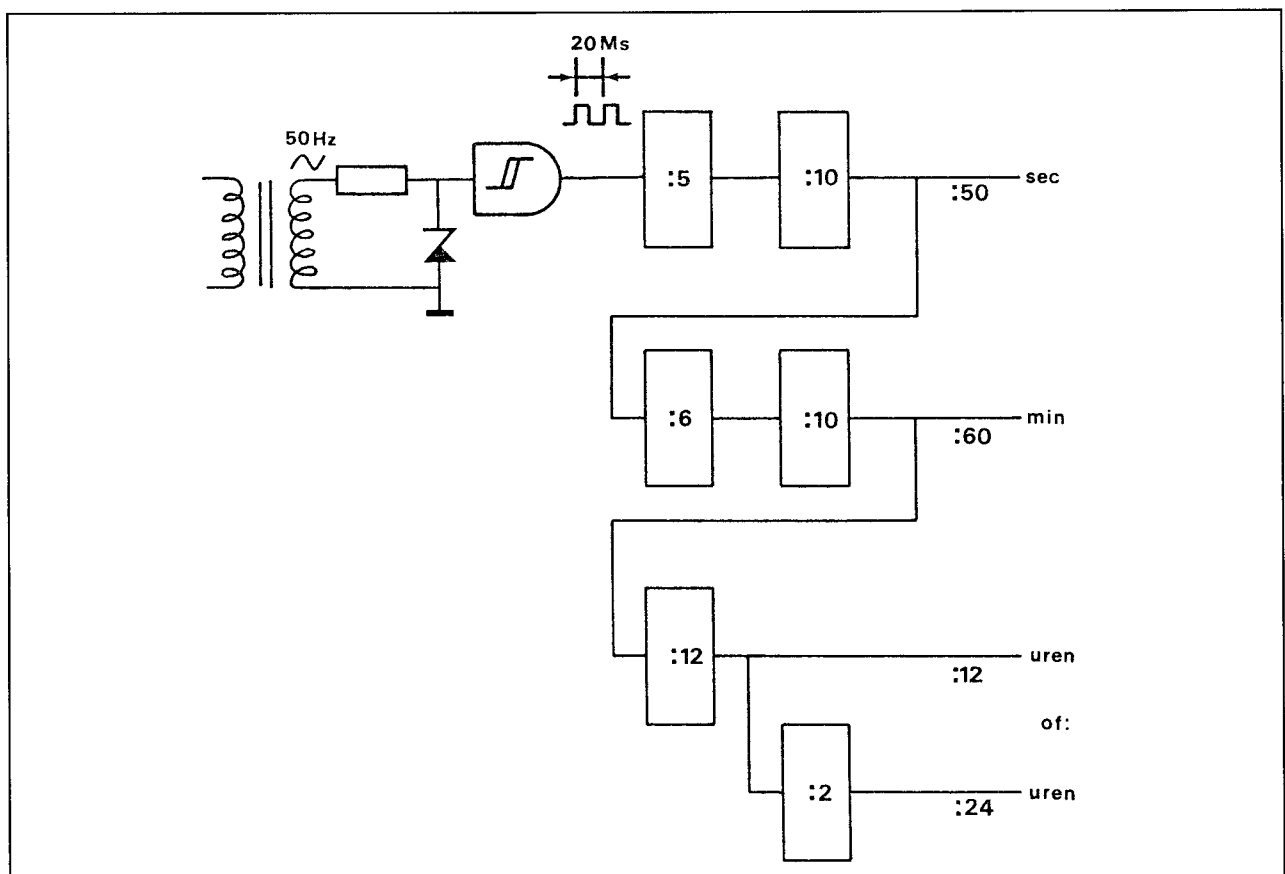
## 4/7.1

## Achtergrond-informatie

**Inleiding**

Behalve zuiver binaire tellers (alleen machten van 2) en decade-tellers zijn in de praktijk ook tellers met afwijkende code nodig. Denk bijvoorbeeld aan een van het lichtnet afgeleide klok. Wanneer een 50 Hz signaal via een transformator of condensator (met begrenzing voor 5 V-niveau van de TTL) op een Schmitt-trigger ingang wordt gezet, moet

daarna eerst door 50 worden gedeeld om elke seconde een puls te krijgen. Dit kan worden gedaan met een 5-deler (gedeelte van een 7490) en een 10-teller (gehele 7490). Vervolgens moet voor de minuten door 60 worden gedeeld. Dit kan op verschillende manieren: delen door 6 en door 10 of delen door 12 en 5. Voor de uren kan uit twee mogelijkheden worden gekozen: een 12- of een



**Figuur 4/7.1-1:** Principe-schema van een digitale klok.

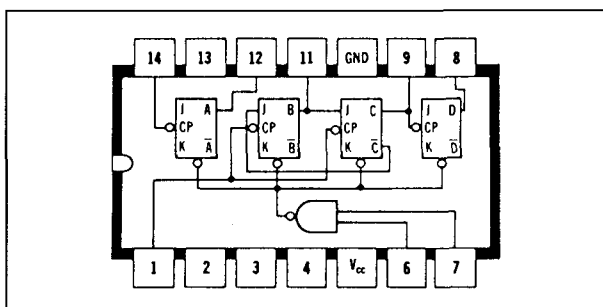
## 7.1 Achtergrond-informatie

24-uur systeem. In het eerste geval is een 12-deler nodig; in het tweede geval komt daar nog een 2-deler bij. In figuur 4/7.1-1 is het principe-schema van deze klok te zien. Aan de ingang moet het 50 Hz-sigitaal voldoende worden gefilterd om storingen via het net te voorkomen (de klok is anders te snel 'van slag').

### 12-deler 7492

De gebruikte 12-deler is bijvoorbeeld het type 7492, waarvan in figuur 4/7.1-2 de aansluitingen en inwendige verbindingen te zien zijn. We zien dat deze teller is opgebouwd uit vier master-slave flip-flop's die inwendig zo zijn verbonden dat een 2-deler en een 6-deler worden gevormd. Wanneer de aansluitingen 6 en 7 beide HOOG zijn, worden alle flip-flop's gereset terwijl tellen dan onmogelijk is (inhibit). Aangezien de uitgang van de A flip-flop inwendig niet is doorverbonden met de andere flip-flop's kan de teller op drie manieren werken (zie ook tabel 4/7.1-1):

- Bij gebruik als 12-deler kan de A-uitgang op de BC-ingang worden aangesloten (pin 1). De te tellen klokpulsen worden dan bij de A-ingang ingevoerd. Het IC deelt dan tegelijk door 2 (uitgang A), 6 (C) en 12 (D), zoals in de tabel (mode 1) te zien is.
- Wanneer door 6 moet worden gedeeld, komen de klokpulsen op de BC-ingang binnen. Op de uitgangen C en D zijn dan tegelijkertijd frequentiedelingen van 3 en 6 beschikbaar (zie tabel, mode 2). De A flip-flop kan in dit geval onafhankelijk van



Figuur 4/7.1-2: De veel gebruikte 12-deler 7492.

## Deel 4: Flip-Flop's, latches, tellers en schuifregisters

MODE 1 (DIVIDE-BY-12)				MODE 2 (DIVIDE-BY-6)				MODE 3 (DIVIDE-BY-12)			
A	B	C	D	B	C	D		A	B	C	D
0	0	0	0	0	0	0		0	0	0	0
1	0	0	0	1	0	0		0	1	0	0
0	1	0	0	0	1	0		0	0	1	0
1	1	0	0	0	0	1		0	0	0	1
0	0	1	0	1	0	1		0	1	0	1
1	0	1	0	0	1	1		0	0	1	1
0	0	0	1					1	1	0	0
1	0	0	1					1	1	0	0
0	1	0	1					1	0	1	0
1	1	0	1					1	0	0	1
0	0	1	1					1	1	0	1
1	0	1	1					1	0	1	1

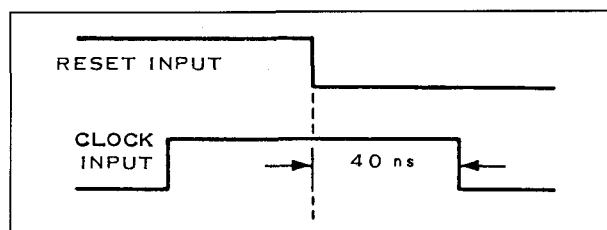
Tabel 4/7.1-1: Waarheidstabellen van een 7492 12-deler.

de rest worden gebruikt, als de reset-functie tenminste met de 6-deler overeenkomt.

- Een ander type 12-deler ontstaat als de D-uitgang uitwendig met de A-ingang wordt verbonden. De te tellen klokpulsen komen dan op de BC-ingang binnen, waardoor op de C, D en A-uitgang tegelijk een door 3, 6 en 12 gedeeld signaal beschikbaar is (zie tabel, mode 3). Het door 12 gedeelde signaal op de A-uitgang is symmetrisch van vorm.

### Andere deel-door-N tellers (N = cycluslengte)

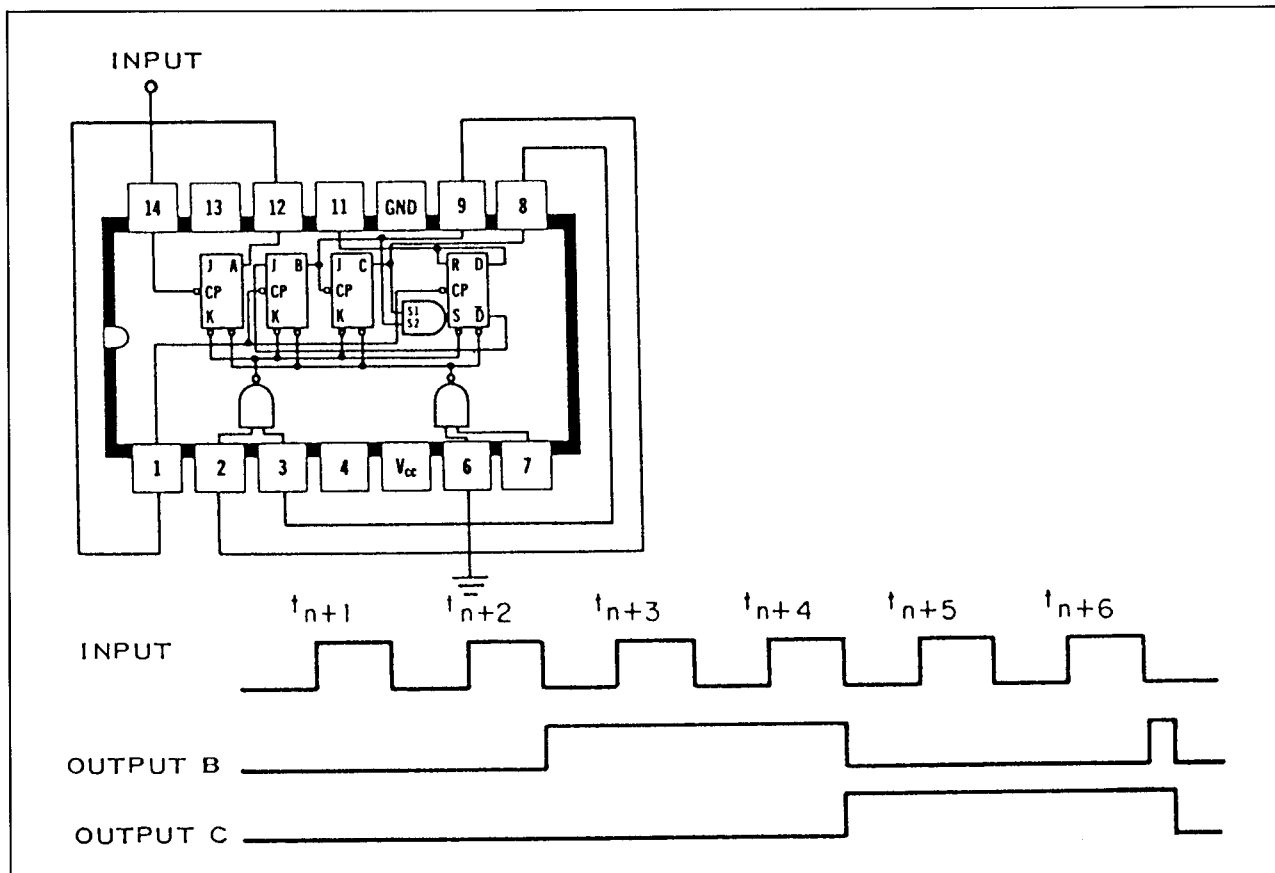
Voor speciale toepassingen kunnen de veel gebruikte tellers 7490 (10-teller), 7492 (12-teller) en 7493 (16-teller) zo worden aangesloten dat de telcyclus verandert. Door de gewenste cycluslengte aan de uitgangen van de A, B, C en D flip-flop's te decoderen en dit signaal op de asynchrone clear-ingangen te zetten, kan de cyclus van de teller worden verkort. De maximaal haalbare frequentie bij deze methode wordt beperkt door het feit dat de klok tot circa 40 nanoseconden na het op nul zetten van de teller niet LAAG mag gaan (zie figuur 4/7.1-3). De uitgangen die bij de stand N van de teller HOOG zijn worden naar de  $R_{0(1)}$  en  $R_{0(2)}$  in-



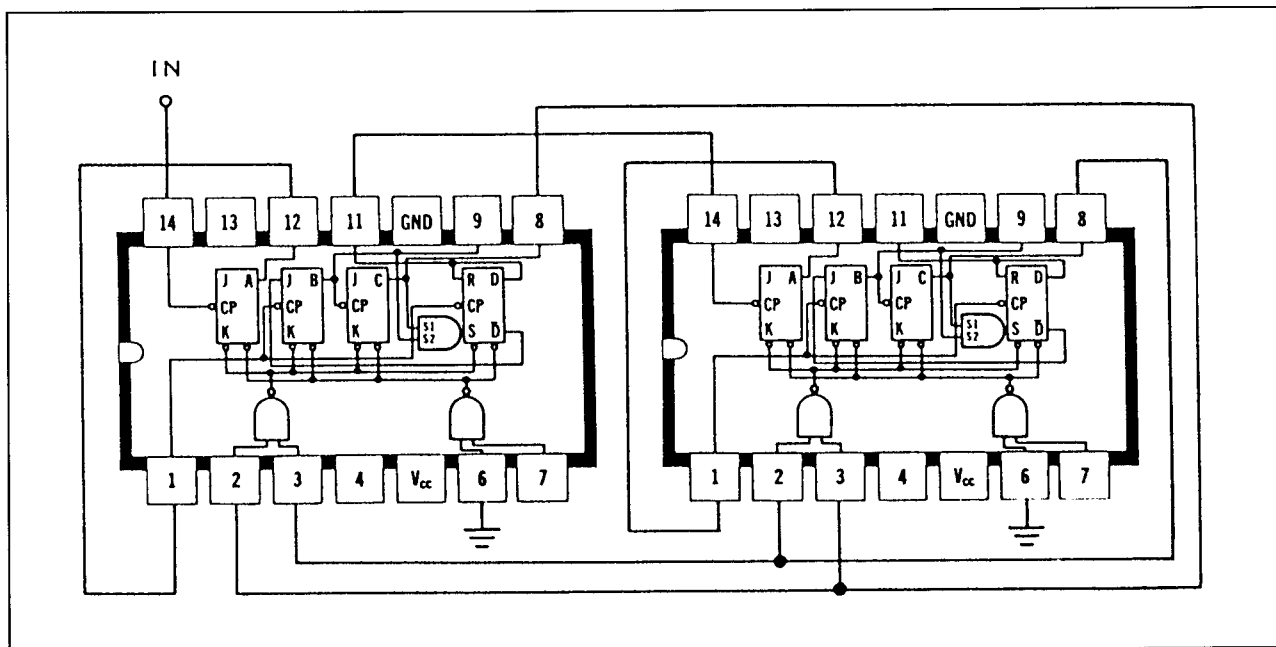
Figuur 4/7.1-3: Voor resetten benodigde timing.



## 7.1 Achtergrond-informatie

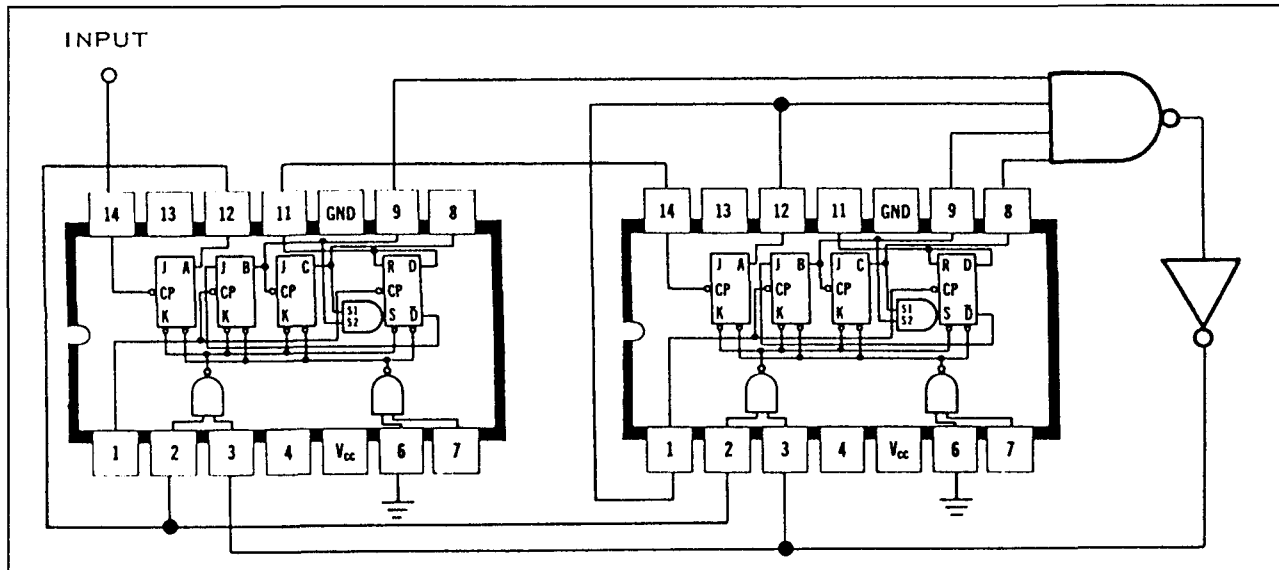


Figuur 4/7.1-4: Een 7490 geschakeld als binaire 6-deler.



Figuur 4/7.1-5: Voor deze BCD 44-deler worden twee 7490's gebruikt.

## 7.1 Achtergrond-informatie



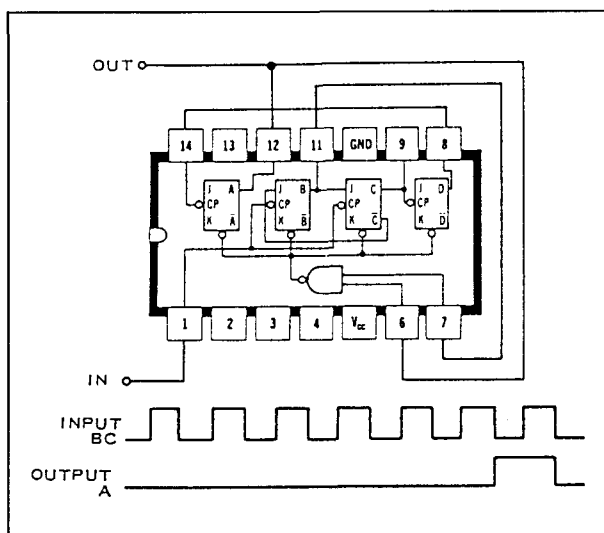
Figuur 4/7.1-6: Een BCD 73-deler, samengesteld uit twee 7490's.

gangen geleid. De teller zal dan bij het bereiken van N in de stand 0000 komen. Zoals in figuur 4/7.1-4 bij de golfvorm voor uitgang B te zien is, kunnen op sommige uitgangslijnen spanningspieken (spikes) optreden.

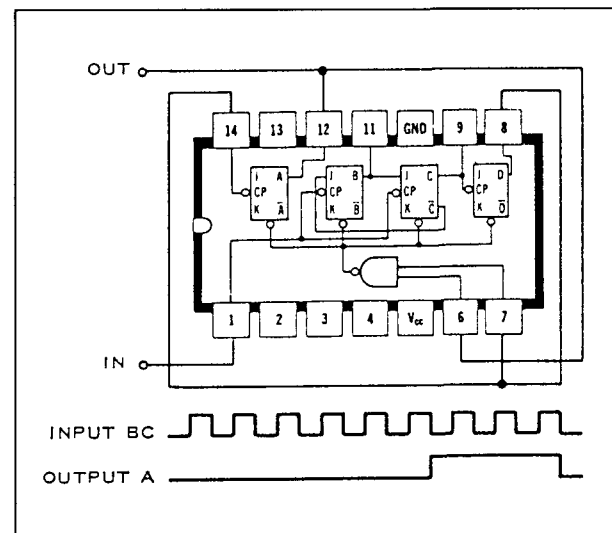
Voor grotere deeltallen in de BCD-code (binair) gecodeerd decimaal of 1-2-4-8 code) kunnen twee of meer 7490-tellers in cascade worden geschakeld. Voor sommige getallen

zijn geen externe poorten nodig: bijvoorbeeld 11, 12, 14, 18, 21, 22, 24, 28, 41, 42, 44 (zie figuur 4/7.1-5), 48, 81, 82, 84, 88, enz. Andere deelverhoudingen kunnen worden verkregen met enkele 7490's plus een NAND-poort en een inverter (zie bijvoorbeeld de figuren 4/7.1-6 tot en met 4/7.1-9).

Een zeer efficiënte methode om een frequentie door grotere getallen te delen is het

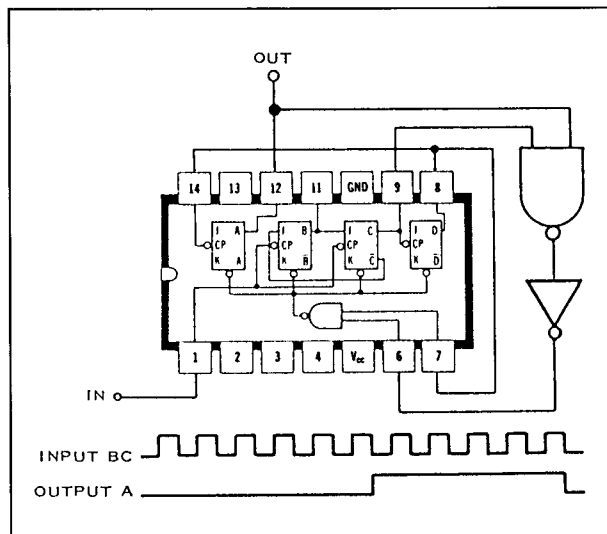


Figuur 4/7.1-7: Een 7492 geschakeld als 7-deler.



Figuur 4/7.1-8: Een 7492 als 9-deler gebruikt.

## 7.1 Achtergrond-informatie

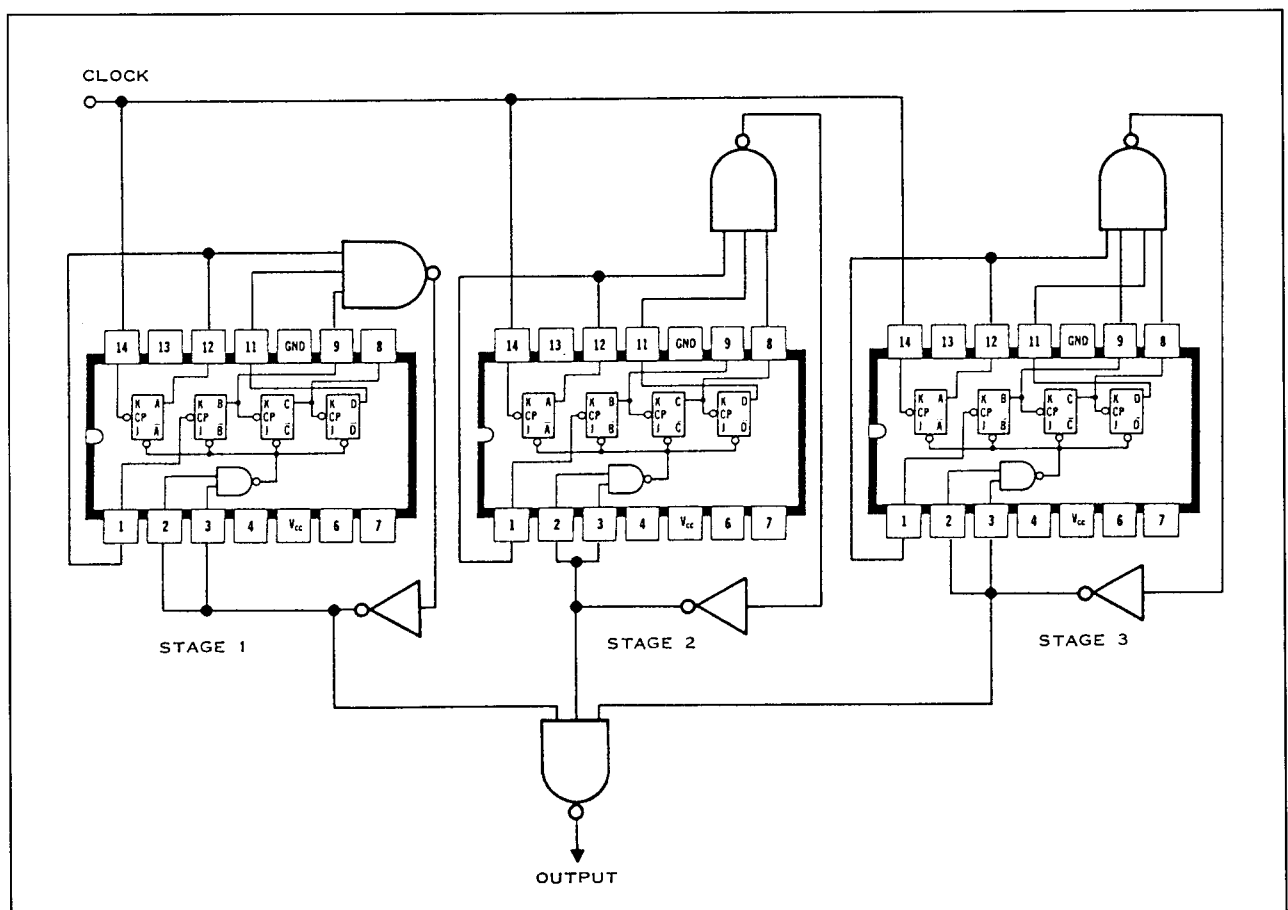


Figuur 4/7.1-9: Een 11-deler, waarvoor een 7492 is gebruikt.

tellen in een relatief-priemgetal-systeem (als de code tenminste niet belangrijk is). Doordat we in staat zijn met één teller door 2, 3, 4..13, 14, 15 te delen, kunnen we ook door het produkt van deze gehele getallen delen als die niet op elkaar gedeeld kunnen worden (dit wil zeggen, priemgetallen ten opzichte van elkaar zijn). In figuur 4/7.1-10 is als voorbeeld een deel-door-1365 teller te zien. De eerste trap deelt door 7, de tweede door 13 en de derde door 15. Het resultaat hiervan ( $7 \times 13 \times 15$ ) is 1365.

### Delen door N, met gebruik van een reset-latch

Wanneer behalve binaire decodering ook een reset-latch wordt gebruikt, ontstaat een deel-door-N teller die betrouwbaarder werkt

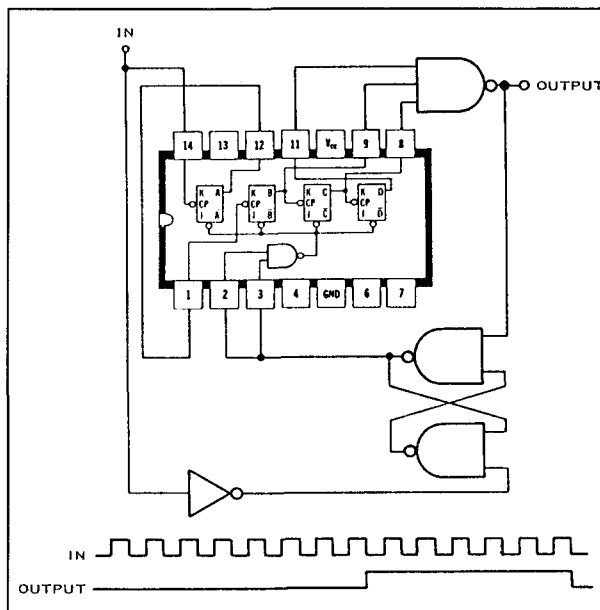


Figuur 4/7.1-10: Een 1365-deler volgens het relatieve-priemgetal-systeem, opgebouwd uit 7493's.

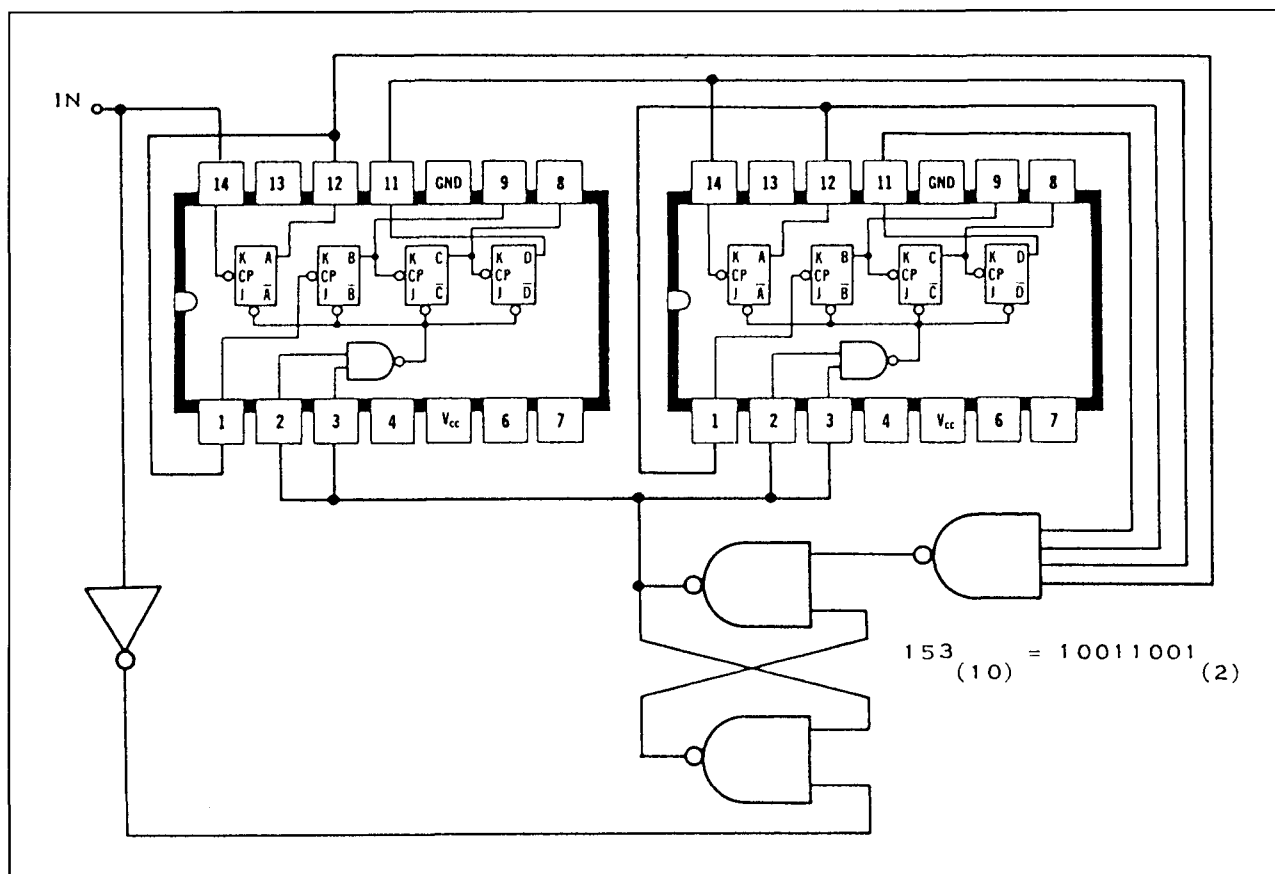
## 7.1 Achtergrond-informatie

(over het hele temperatuurbereik) dan de hiervoor genoemde. In figuur 4/7.1-11 is een 14-deler als voorbeeld te zien. In deze configuratie triggert de laatste stand van de telcyclus een latch die op zijn beurt de teller op 0000 zet. De positieve flank van de volgende klokpuls reset de latch weer, terwijl de negatieve flank van dezelfde puls de nieuwe cyclus start.

Met behulp van twee 7493 tellers en wat poorten kan tot elk getal onder 256 worden geteld. In het voorbeeld van figuur 4/7.1-12 worden de 'enen' van het binaire woord N (= 153) naar de NAND-poort gebracht. Het zal duidelijk zijn dat alle mogelijke tellers op een van de hierboven genoemde wijzen kunnen worden gebouwd.



Figuur 4/7.1-11: Een 14-deler met de 7493 en een latch als basis.



Figuur 4/7.1-12: Een 153-deler samengesteld uit twee 7493's, een NAND-poort en een latch.

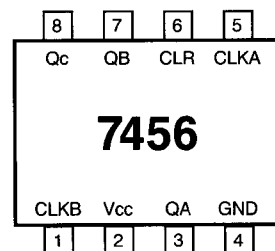
# 4/7.2

## Tellers met afwijkende code 74 xx-serie

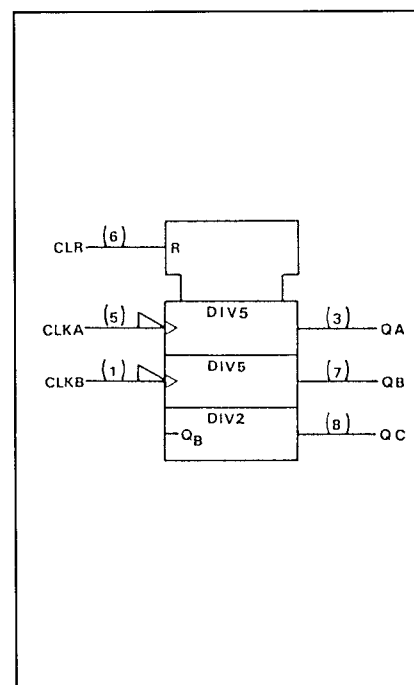
### 7456

Frequentie-deler  
:50 (= : 5, : 5, : 2)

Figuur 4/7.2-56.

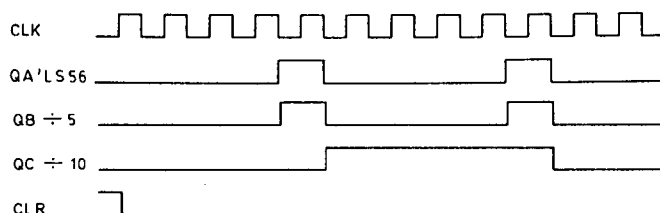


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>					17					mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> / T <sub>phl</sub> <sup>1)</sup>					12 14					ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>2)</sup>					8 14					ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>3)</sup>					18 24					ns
T <sub>phl</sub> <sup>4)</sup>					17					ns
f <sub>max</sub> <sup>5)</sup>					25					MHz
f <sub>max</sub> <sup>6)</sup>					25					MHz



- 1) CLK A → QA
- 2) CLK B → QB
- 3) CLK B → QC
- 4) CLR → QA, QB, QC
- 5) CLK A → QA
- 6) CLK B → QB, QC

input and output waveforms

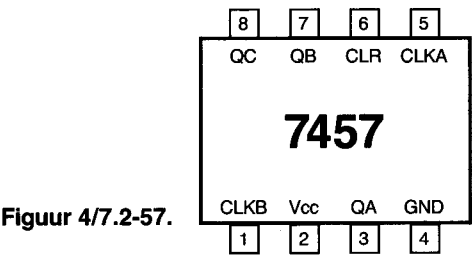


golfvormen

7.2 Tellers met afwijkende code 74xx-serie TTL en HC

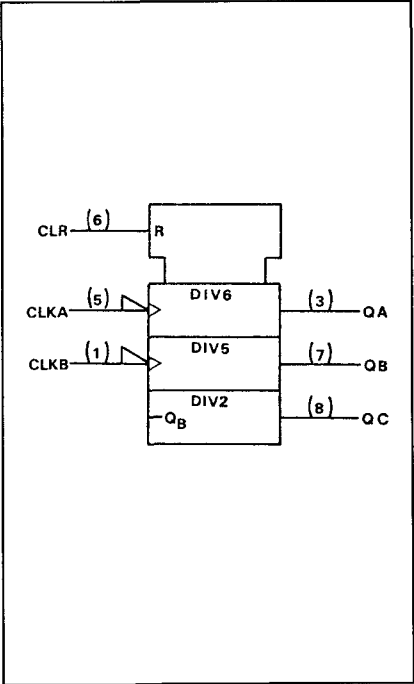
7457

Frequentie-deler  
: 60 (= : 6, : 5, : 2)

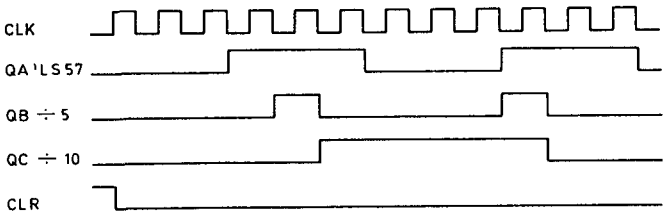


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc					17					mA
Ios					-20 -100					mA
Tplh/ Tphl <sup>1)</sup>					14 18					ns
Tplh/ Tphl <sup>2)</sup>					8 14					ns
Tplh/ Tphl <sup>3)</sup>					18 24					ns
Tphl <sup>4)</sup>					17					ns
f <sub>max</sub> <sup>5)</sup>					25					MHz
f <sub>max</sub> <sup>6)</sup>					25					MHz

- 1) CLK A → QA
- 2) CLK B → QB
- 3) CLK B → QC
- 4) CLR → QA, QB, QC
- 5) CLK A → QA
- 6) CLK B → QB, QC



input and output waveforms



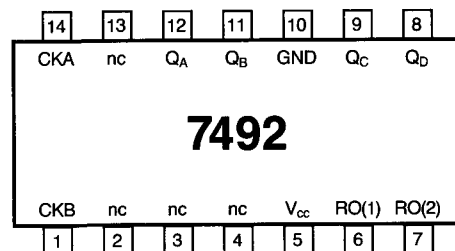
golfvormen

## 7.2 Tellers met afwijkende code 74xx-serie TTL en HC

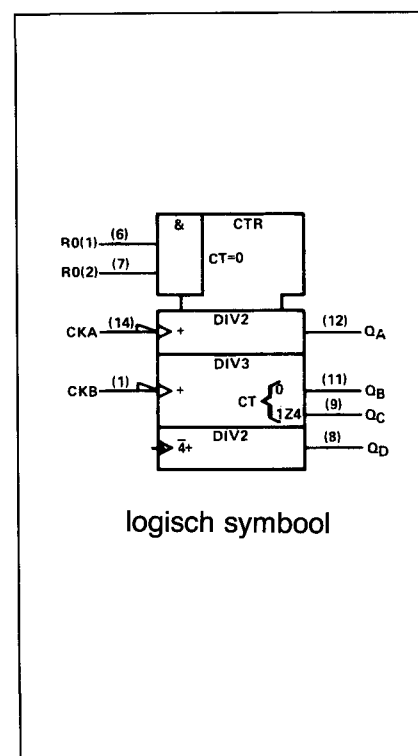
## 7492

deel-door-12 teller  
(2 en 6 deler) met 2 reset-ingangen

Figuur 4/7.2-92.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>	26				9					mA
I <sub>os</sub>	-18 -57				-20 -100					mA
T <sub>plh</sub> / T <sub>phl</sub> <sup>1)</sup>	10/ 12				10/ 12					ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>2)</sup>	32/ 34				32/ 34					ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>3)</sup>	10/ 14				10/ 14					ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>4)</sup>	21/ 23				21/ 23					ns
T <sub>phl</sub> <sup>5)</sup>	26				26					ns
f <sub>max</sub> <sup>6)</sup>	42				42					MHz
f <sub>max</sub> <sup>7)</sup>	16				16					MHz



- 1) A → Q<sub>A</sub>  
 2) A → Q<sub>D</sub>  
 3) B → Q<sub>B</sub>  
 4) B → Q<sub>D</sub>  
 5) Reset 0 → elke Q  
 6) A → Q<sub>A</sub> (typ.)  
 7) B → Q<sub>B</sub> (min)

COUNT	OUTPUT			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

'92A, 'LS92, RESET/COUNT FUNCTION TABLE					
RESET INPUTS		OUTPUT			
R <sub>0</sub> (1)	R <sub>0</sub> (2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

waarheidstabellen

Deel 4: Flip-Flop's, latches, tellers en schuifregisters

## 7.2 Tellers met afwijkende code 74xx-serie TTL en HC



## 4/7.3

# Tellers met omschakelbare code

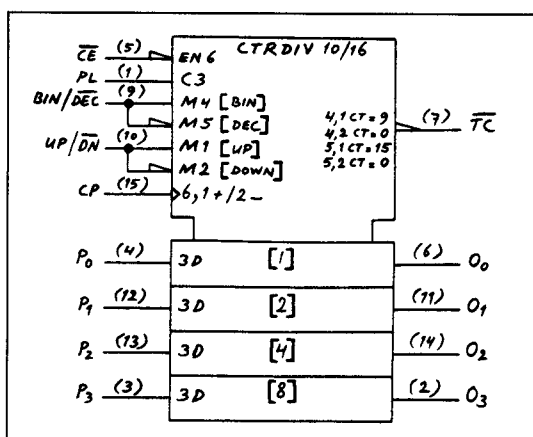
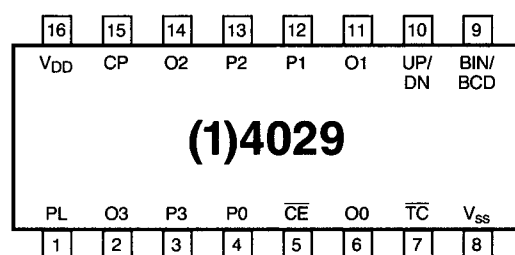
## (1)4xxx-serie CMOS

## (1)4029

## 4-bit presetbare op/neer-teller

(selecteerbaar: binair of decimaal)

Figuur 4/7.3-29

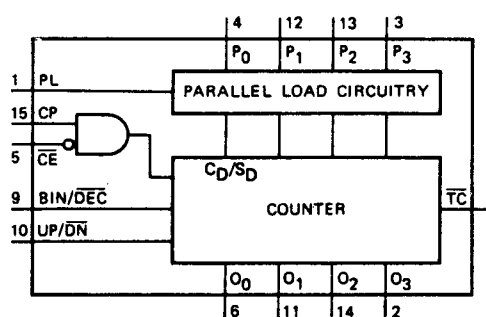


logisch symbol

## PINNING

- PL parallel load input  
 P<sub>0</sub> to P<sub>3</sub> parallel data inputs  
 BIN/DEC binary/decade control input  
 UP/DN up/down control input  
 CE count enable input (active LOW)  
 CP clock input (LOW to HIGH, edge triggered)  
 O<sub>0</sub> to O<sub>3</sub> buffered parallel outputs  
 TC terminal count output (active LOW)

## aansluitingen



functioneel schema

## FUNCTION TABLE

PL	BIN/DEC	UP/DN	CE	CP	mode
H	X	X	X	X	parallel load (P <sub>n</sub> → O <sub>n</sub> )
L	X	X	H	X	no change
L	L	L	L	↗	count-down, decade
L	L	H	L	↗	count-up, decade
L	H	L	L	↗	count-down, binary
L	H	H	L	↗	count-up, binary

H = HIGH state (the more positive voltage)

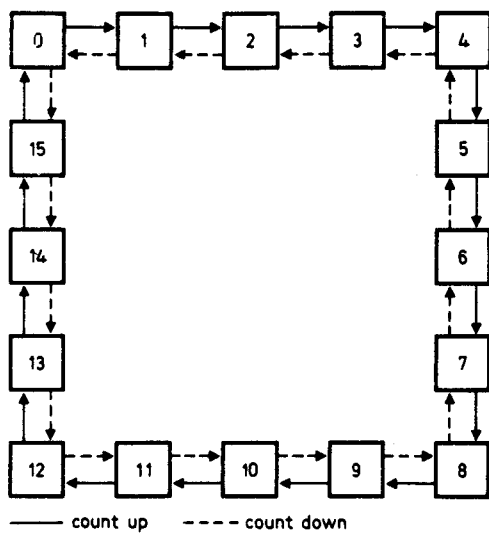
L = LOW state (the less positive voltage)

X = state is immaterial

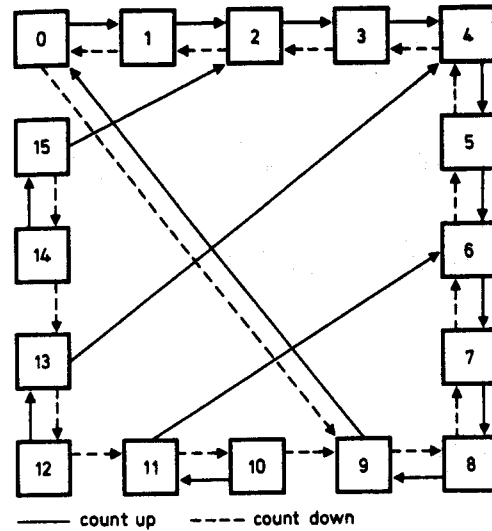
↗ = positive-going clock pulse edge

waarheidstabel

## 7.3 (1)4xxx-serie CMOS

State diagram; BIN/ $\overline{\text{DEC}}$  = HIGH.

binair tellen

State diagram; BIN/ $\overline{\text{DEC}}$  = LOW.

decimaal tellen

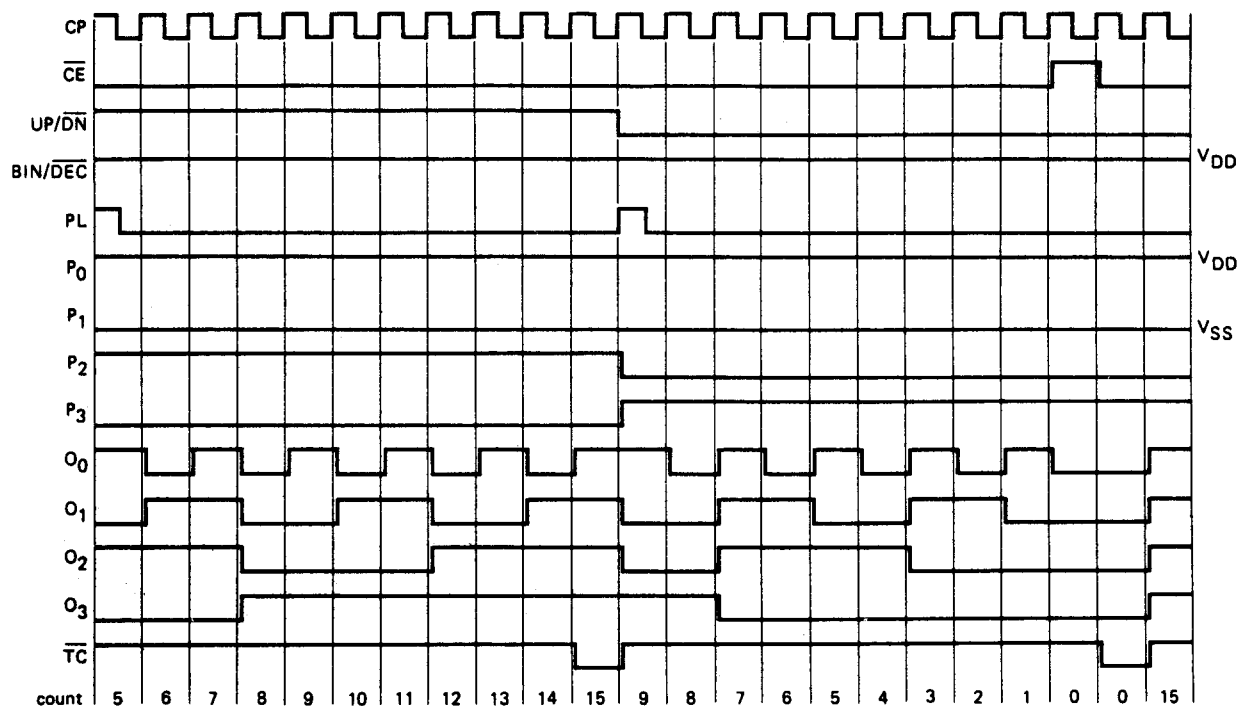
Logic equation for terminal count:

$$\text{TC} = \overline{\text{CE}} (\text{BIN}/\overline{\text{DEC}} \cdot \text{UP}/\overline{\text{DN}} \cdot \overline{\text{O}}_0 \cdot \overline{\text{O}}_1 \cdot \overline{\text{O}}_2 \cdot \overline{\text{O}}_3 + \text{BIN}/\overline{\text{DEC}} \cdot \text{UP}/\overline{\text{DN}} \cdot \overline{\text{O}}_0 \cdot \overline{\text{O}}_1 \cdot \overline{\text{O}}_2 \cdot \overline{\text{O}}_3 + \overline{\text{BIN}}/\overline{\text{DEC}} \cdot \text{UP}/\overline{\text{DN}} \cdot \overline{\text{O}}_0 \cdot \overline{\text{O}}_3 + \overline{\text{BIN}}/\overline{\text{DEC}} \cdot \text{UP}/\overline{\text{DN}} \cdot \overline{\text{O}}_0 \cdot \overline{\text{O}}_1 \cdot \overline{\text{O}}_2 \cdot \overline{\text{O}}_3)$$

← vergelijking voor TC

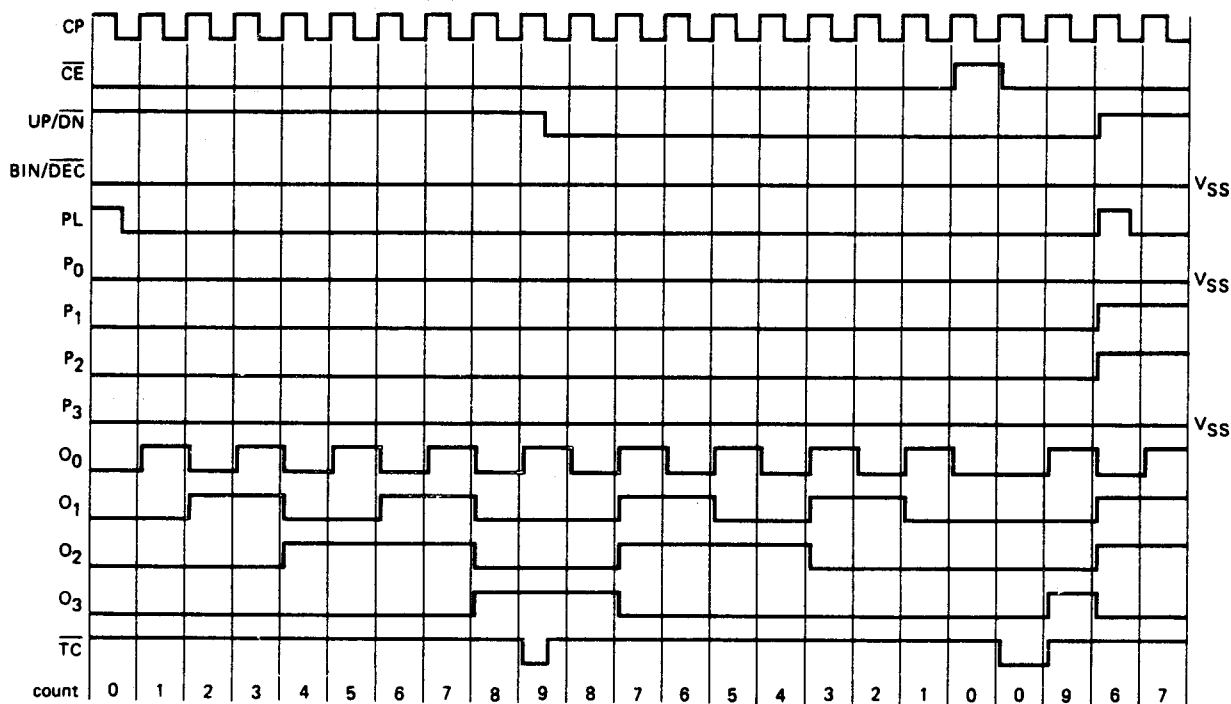
o.a. leverbaar: MC 14029 B  
 CD 4029 A/B  
 HEF 4029 B

### 7.3 (1)4xxx-serie CMOS



Timing diagram; binary mode; P<sub>0</sub> = HIGH; P<sub>1</sub> = LOW; BIN/DEC = HIGH.

timing binair tellen



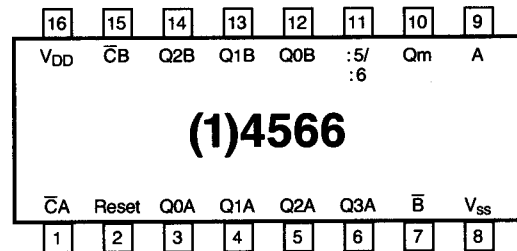
Timing diagram; decade mode; P<sub>0</sub> = LOW; P<sub>3</sub> = LOW; BIN/DEC = LOW.

timing decimaal tellen

## 7.3 (1)4xxx-serie CMOS

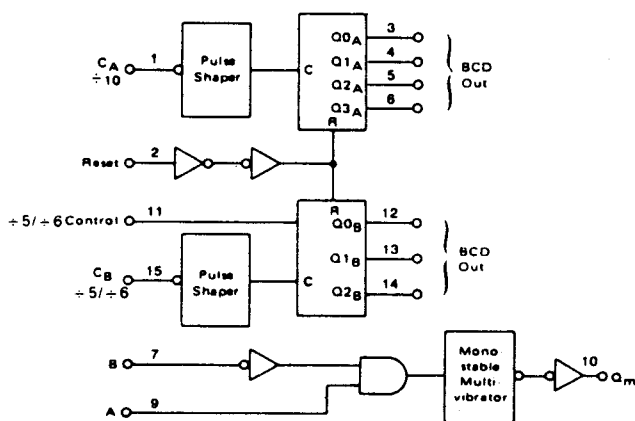
**(1)4566**

## industriële tijdbasis-generator

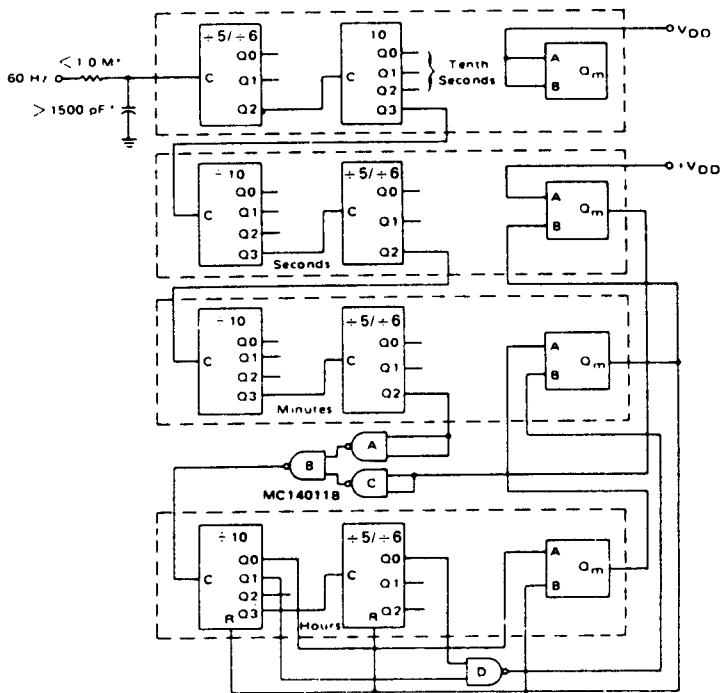


Figuur 4/7.3-566

## BLOCK DIAGRAM



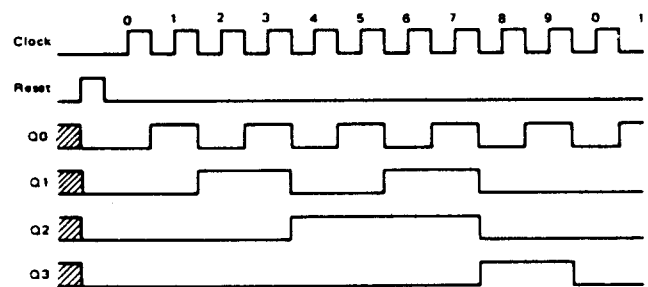
## APPLICATION - 12 HOUR CLOCK

+5/+6 Control not shown =  $V_{SS}$ Reset pins not shown =  $V_{SS}$ 

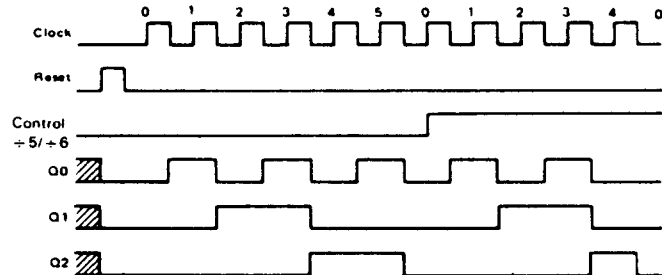
\*Care must be taken in the indicated circuit to filter line transients which may cause "false" counting.

toepassingsvoorbeeld

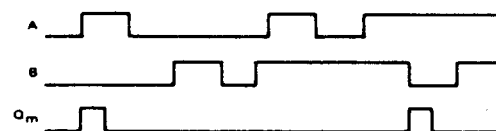
## Divide-By-10 Counter



## Divide-By-5/Divide-By-6



## Monostable Multivibrator



▨ = Don't Care

timing

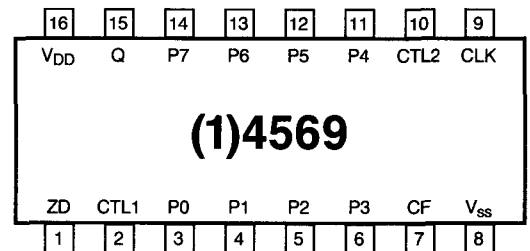
leverbaar: MC 14566 B

### 7.3 (1)4xxx-serie CMOS

## (1)4569

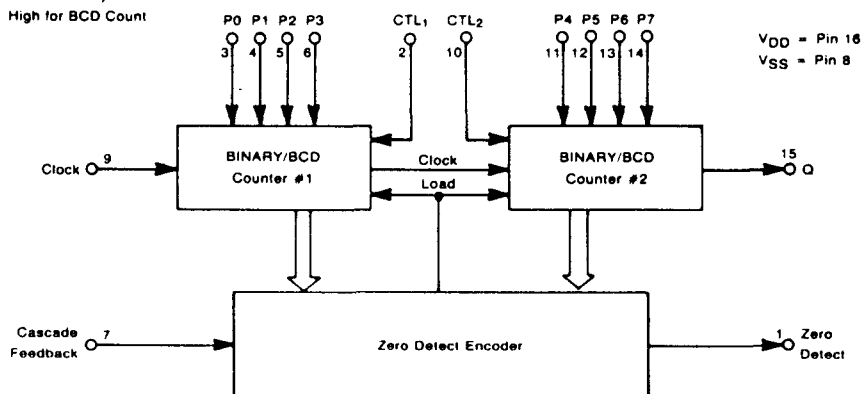
2 programmeerbare deel-door-n  
4-bit binaire/BCD neertellers  
(kan in cascade worden geschakeld met  
(1)4568, (1)4522 of (1)4526)

Figuur 4/7.3-569



#### BLOCK DIAGRAM

CTL = Low for Binary Count  
CTL = High for BCD Count



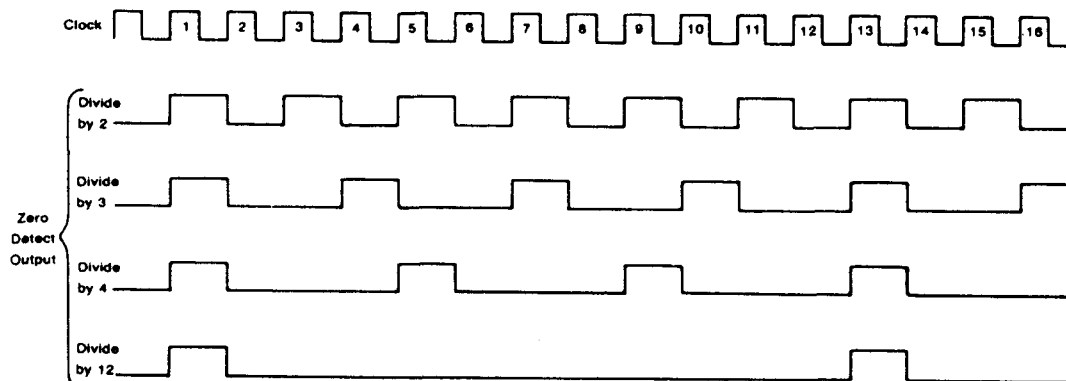
functioneel blokschema

#### MODE CONTROLS (Cascade Feedback = Low)

Counter Control Values		Divide Ratio	
CTL <sub>1</sub>	CTL <sub>2</sub>	Zero Detect	Q
0	0	256	256
0	1	160	160
1	0	160	160
1	1	100	100

Note: Data Preset Inputs (P0-P7) are "Don't Cares" while Cascade Feedback is Low.

waarheidstabel  
control-ingangen



timing

## Deel 4: Flip-Flop's, latches, tellers en schuifregisters

## 7.3 (1)4xxx-serie CMOS

MODE CONTROLS (CTL<sub>1</sub> = Low, CTL<sub>2</sub> = Low, Cascade Feedback = High)

Preset Inputs								Divide Ratio		Comments
P7	P6	P5	P4	P3	P2	P1	P0	Zero Detect	Q	
0	0	0	0	0	0	0	0	256	256	Max Count Illegal State Min Count
0	0	0	0	0	0	0	1	X	X	
0	0	0	0	0	0	1	0	2	X	
0	0	0	0	0	0	1	1	3	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	0	0	0	1	1	1	1	15	X	
0	0	0	1	0	0	0	0	16	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	0	1	0	0	0	0	0	32	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	1	0	0	0	0	0	0	64	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	1	1	1	1	1	1	1	127	X	
1	0	0	0	0	0	0	0	128	128	
.	.	.	.	.	.	.	.	.	.	
1	0	0	0	1	0	0	0	136	136	
.	.	.	.	.	.	.	.	.	.	
.	.	.	.	.	.	.	.	.	.	
1	1	1	1	1	1	1	1	255	255	
2 <sup>7</sup> 128	2 <sup>6</sup> 64	2 <sup>5</sup> 32	2 <sup>4</sup> 16	2 <sup>3</sup> 8	2 <sup>2</sup> 4	2 <sup>1</sup> 2	2 <sup>0</sup> 1			Bit Value
Counter #2 Binary				Counter #1 Binary						Counting Sequence

X = No Output (Always Low)

MODE CONTROLS (CTL<sub>1</sub> = Low, CTL<sub>2</sub> = High, Cascade Feedback = High)

Preset Values								Divide Ratio		Comments
P7	P6	P5	P4	P3	P2	P1	P0	Zero Detect	Q	
0	0	0	0	0	0	0	0	160	160	Max Count Illegal State Min Count
0	0	0	0	0	0	0	1	X	X	
0	0	0	0	0	0	1	0	2	X	
0	0	0	0	0	0	1	1	3	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	0	0	0	1	1	1	1	15	X	
0	0	0	1	0	0	0	0	16	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	0	0	1	1	1	1	1	31	X	
0	0	1	0	0	0	0	0	32	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	0	1	1	0	0	0	0	48	X	
.	.	.	.	.	.	.	.	.	X	
0	1	0	0	0	0	0	0	64	X	
.	.	.	.	.	.	.	.	.	X	
0	1	0	1	0	0	0	0	80	X	
.	.	.	.	.	.	.	.	.	X	
0	1	1	1	0	0	0	0	112	X	
.	.	.	.	.	.	.	.	.	X	
1	0	0	0	0	0	0	0	128	128	
.	.	.	.	.	.	.	.	.	.	
1	0	0	1	0	0	0	0	144	144	
.	.	.	.	.	.	.	.	.	.	
1	0	0	1	1	1	1	1	159	159	
2 <sup>7</sup> 128	2 <sup>6</sup> 64	2 <sup>5</sup> 32	2 <sup>4</sup> 16	2 <sup>3</sup> 8	2 <sup>2</sup> 4	2 <sup>1</sup> 2	2 <sup>0</sup> 1			Bit Value
Counter #2 BCD				Counter #1 Binary						Counting Sequence

X = No Output (Always Low)

7.3 (1)4xxx-serie CMOS

**MODE CONTROLS** (CTL<sub>1</sub> High, CTL<sub>2</sub> = Low, Cascade Feedback = High)

Preset Inputs								Divide Ratio		Comments
P7	P6	P5	P4	P3	P2	P1	P0	Zero Detect	Q	
0	0	0	0	0	0	0	0	160	160	Max Count Illegal State Min Count
0	0	0	0	0	0	0	1	X	X	
0	0	0	0	0	0	1	0	2	X	
0	0	0	0	0	0	1	1	3	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	0	0	0	1	0	0	1	9	X	
0	0	0	1	0	0	0	0	10	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	0	0	1	1	0	0	1	19	X	
0	0	1	0	0	0	0	0	20	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	0	1	1	0	0	0	0	30	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	1	0	0	0	0	0	0	40	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	1	0	1	0	0	0	0	50	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	1	1	0	0	0	0	0	60	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
0	1	1	1	0	0	0	0	70	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
.	.	.	.	.	.	.	.	.	X	
1	0	0	0	0	0	0	0	80	80	
.	.	.	.	.	.	.	.	.	.	
.	.	.	.	.	.	.	.	.	.	
1	0	0	1	0	0	0	0	90	90	
.	.	.	.	.	.	.	.	.	.	
.	.	.	.	.	.	.	.	.	.	
1	1	1	1	0	0	0	0	150	150	
.	.	.	.	.	.	.	.	.	.	
1	1	1	1	1	0	0	1	159	159	
80	40	20	10	8	4	2	1			Bit Value
Counter #2 Binary				Counter #1 BCD						Counting Sequence

Q Output Active  
↓

X = No Output (Always Low)

alleen leverbaar: MC 14569 B





# 4/8

## Tellers met preset-uitgangen

### Inhoud

#### 4/8.3 Tellers met preset-uitgangen (1)4xxx-serie CMOS

(aanvulling 15)

- (1)4018 presetbare n-teller
- (1)4059 programmeerbare n-teller
- (1)4522 programmeerbare deel-door-n BCD neer-teller
- (1)4526 programmeerbare deel-door-n binaire neer-teller
- (1)40102 8-traps presetbare decimale neer-teller
- (1)40103 8-traps presetbare binaire neer-teller

Deel 4: Flip-Flop's, latches, tellers en schuifregisters

## 4/8.3

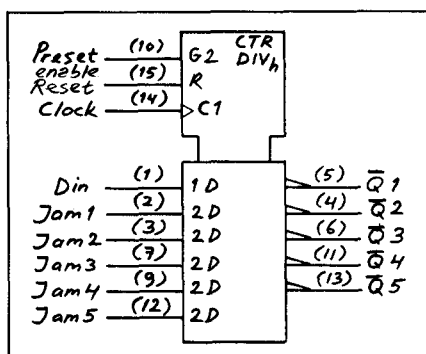
# Tellers met preset-uitgangen

## (1)4xxx-serie CMOS

## (1)4018

## Presetbare n-teller

(5-asynchroon set/presetbare Johnson-trappen)



Figuur 4/8.3-18

FUNCTIONAL TRUTH TABLE

Clock	Reset	Preset Enable	Jam Input	$\bar{Q}_n$
	0	0	X	$\bar{Q}_n$
	0	0	X	$\bar{Q}_n^*$
X	0	1	0	1
X	0	1	1	0
X	1	X	X	1

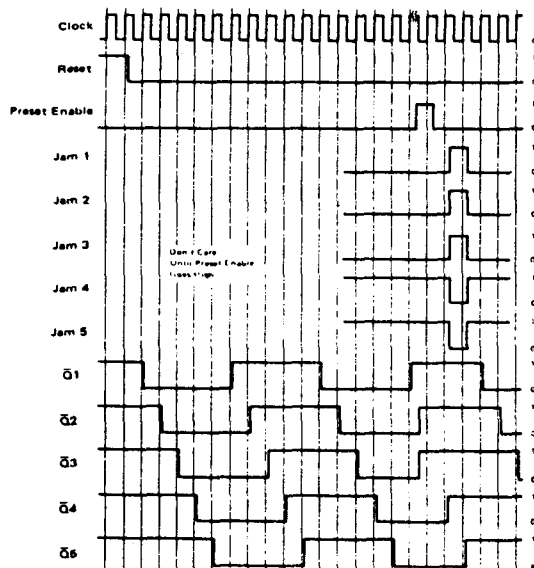
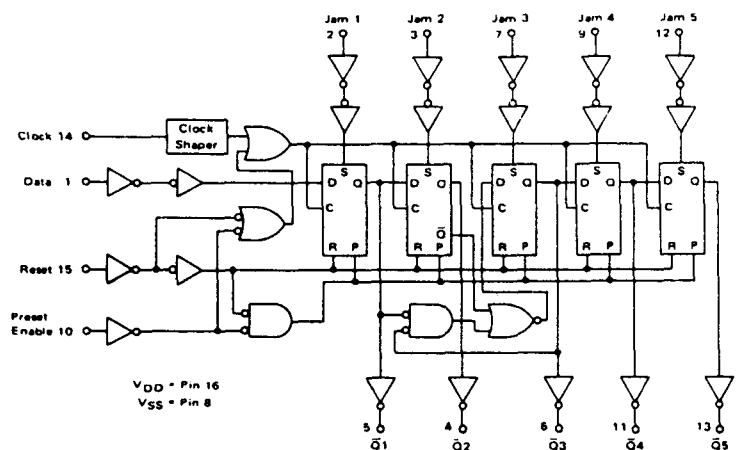
\* $\bar{Q}_n$  is the Data input for that stage. Stage 1 has Data brought out to Pin 1.

FUNCTION SELECTION

Counter Mode	Connect Data Input (Pin 1) to:	Comments
Divide by 10 Divide by 8 Divide by 6 Divide by 4 Divide by 2	$\bar{Q}_5$ $\bar{Q}_4$ $\bar{Q}_3$ $\bar{Q}_2$ $\bar{Q}_1$	No external components needed
Divide by 9 Divide by 7 Divide by 5 Divide by 3	$\bar{Q}_5 \oplus \bar{Q}_4$ $\bar{Q}_4 \oplus \bar{Q}_3$ $\bar{Q}_3 \oplus \bar{Q}_2$ $\bar{Q}_2 \oplus \bar{Q}_1$	Gate package needed to provide AND function Counter Skips all 1's state

waarheidstabellen

logisch symbool

timing ( $\bar{Q}_5$  aan Data-in)

functioneel blokschema (pos. logica)

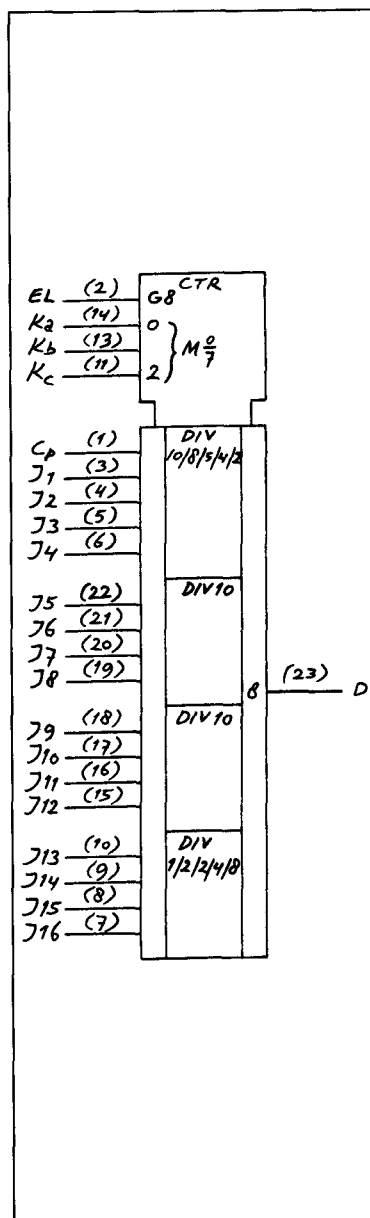
o.a. leverbaar: MC 14018 B  
CD 4018 A/B  
HEF 4018 B

## 8.3 (1)4xxx-serie CMOS

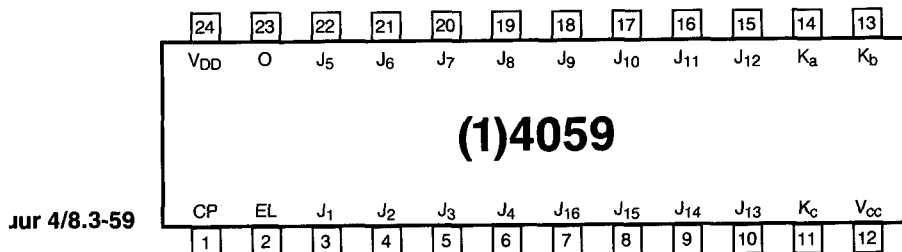
**(1)4059**

## programmeerbare n-teller

(uitgangssignaal = één clock-cyclus brede  
puls met herhalingsfreq =  $\frac{f_{in}}{n}$  ;  $(3 < n < 15999)$ )



logisch symbool



Jur 4/8.3-59

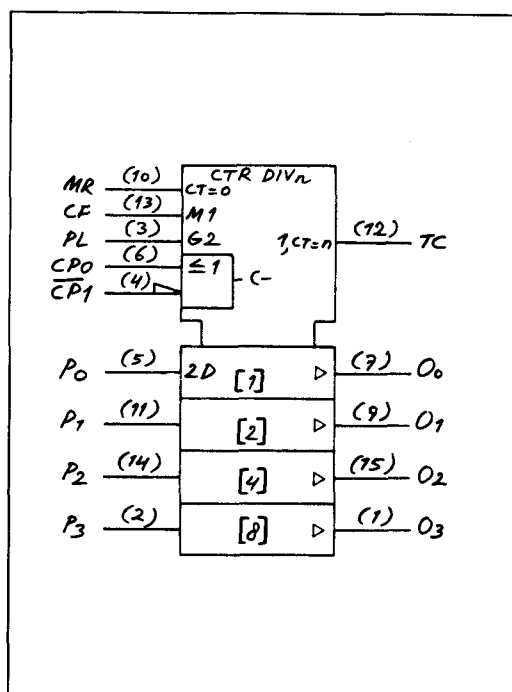
latch enable input	mode select inputs			first counting section			last counting section			counter range	
	K <sub>a</sub>	K <sub>b</sub>	K <sub>c</sub>	MODE divides by	max. preset state	jam inputs used	MODE divides by	max. preset state	jam inputs used	design max.	extended max.
EL											
X	H	H	H	2	1	J <sub>1</sub>	8	7	J <sub>2</sub> J <sub>3</sub> J <sub>4</sub>	15 999	17 331
X	L	H	H	4	3	J <sub>1</sub> J <sub>2</sub>	4	3	J <sub>3</sub> J <sub>4</sub>	15 999	18 663
X	H	L	H	5	4	J <sub>1</sub> J <sub>2</sub> J <sub>3</sub>	2	1	J <sub>4</sub>	9 999	13 329
X	L	L	H	8	7	J <sub>1</sub> J <sub>2</sub> J <sub>3</sub>	2	1	J <sub>4</sub>	15 999	21 327
X	H	H	L	10	9	J <sub>1</sub> J <sub>2</sub> J <sub>3</sub> J <sub>4</sub>	1	0	—	9 999	16 659
H	L	H	L	10	9	J <sub>1</sub> J <sub>2</sub> J <sub>3</sub> J <sub>4</sub>	1	0	—	9 999	16 659
L	L	H	L	preset inhibit			preset inhibit			fixed 10 000	—
X	X	L	L	master preset			master preset			—	—

waarheidstabel

o.a. leverbaar: CD 4059 A  
HEF 4059 B

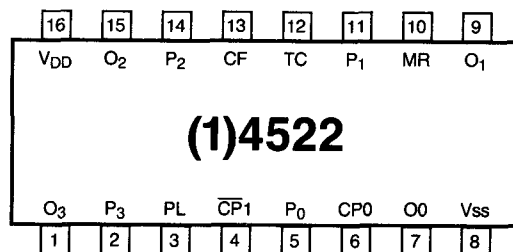
## 8.3 (1)4xxx-serie CMOS

## (1)4522

programmeerbare deel-door-n  
BCD-teller

logisch symbool

Figuur 4/8.3-522



## PINNING

PL	parallel load input
P <sub>0</sub> to P <sub>3</sub>	parallel inputs
CF	cascade feedback input
CP <sub>0</sub>	clock input (LOW to HIGH, triggered)
$\overline{CP}_1$	clock input (HIGH to LOW, triggered)
MR	asynchronous master reset input
TC	terminal count output
O <sub>0</sub> to O <sub>3</sub>	buffered parallel outputs

## aansluitingen

## COUNTING MODE

CF = HIGH; PL = LOW; MR = LOW

count	outputs			
	O <sub>3</sub>	O <sub>2</sub>	O <sub>1</sub>	O <sub>0</sub>
9	H	L	L	H
8	H	L	L	L
7	L	H	H	H
6	L	H	H	L
5	L	H	L	H
4	L	H	L	L
3	L	L	H	H
2	L	L	H	L
1	L	L	L	H
0	L	L	L	L

## FUNCTION TABLE

MR	PL	CP <sub>0</sub>	$\overline{CP}_1$	mode
H	X	X	X	reset (asynchronous)
L	H	X	X	preset (asynchronous)
L	L	/	H	no change
L	L	L	\	no change
L	L	\	X	no change
L	L	X	/	no change
L	L	/	L	counter advances
L	L	H	\	counter advances

H = HIGH state (the more positive voltage)

L = LOW state (the less positive voltage)

X = state is immaterial

/ = positive-going transition

\ = negative-going transition

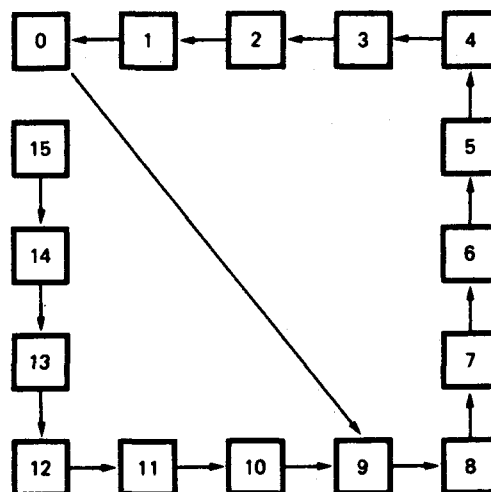
## waarheidstabellen

## 8.3 (1)4xxx-serie CMOS

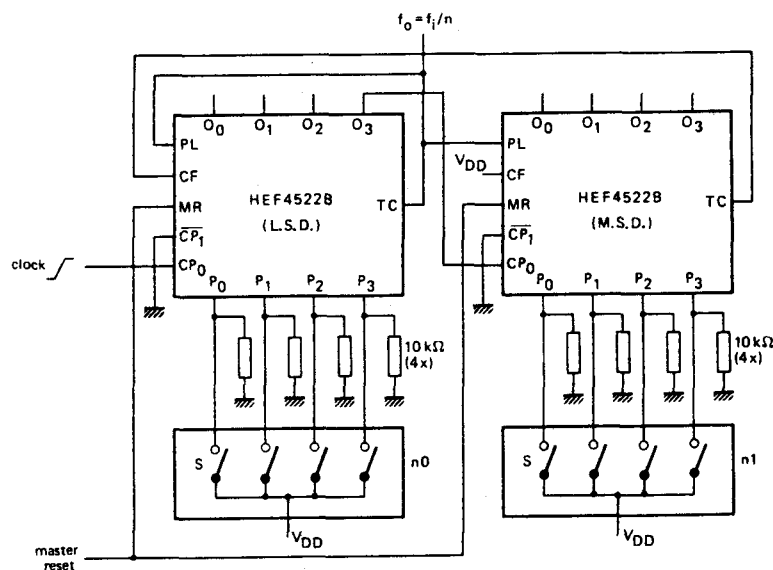
## Toepassing: 1-traps neerteller

Divide-by-n; MR = LOW; CF = HIGH;  $\overline{CP}_1$  = LOW

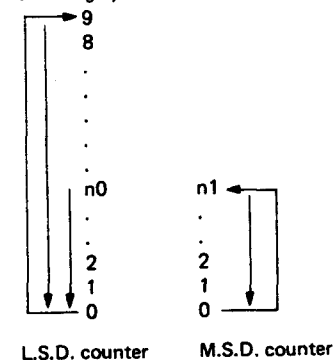
PL	P <sub>3</sub>	P <sub>2</sub>	P <sub>1</sub>	P <sub>0</sub>	divide by	TC output pulse width
L	X	X	X	X	10	one clock period
TC	H	H	H	H	15	clock pulse HIGH
TC	H	H	H	L	14	
TC	H	H	L	H	13	
TC	H	H	L	L	12	
TC	H	L	H	H	11	
TC	H	L	H	L	10	
TC	H	L	L	H	9	
TC	H	L	L	L	8	
TC	L	H	H	H	7	
TC	L	H	H	L	6	
TC	L	H	L	L	5	
TC	L	L	H	H	4	
TC	L	L	H	L	3	
TC	L	L	L	H	2	
TC	L	L	L	L	1	
TC	L	L	L	L	no operation	



## Toepassing: 2-traps programmeerbare frequentiedeler



Counting cycle:

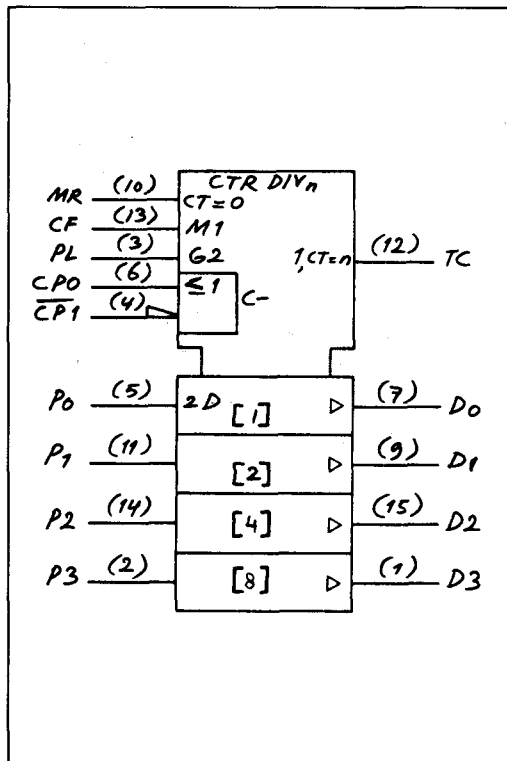


o.a. leverbaar: MC 14522 A/B/C  
 HD 14522 B  
 HEF 4522 B

## 8.3 (1)4xxx-serie CMOS

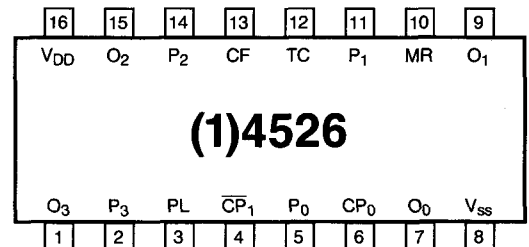
## (1)4526

programmeerbare deel-door-n  
binaire neer-teller



logisch symbol

Figuur 4/8.3-526



## PINNING

PL	parallel load input
P <sub>0</sub> to P <sub>3</sub>	parallel inputs
CF	cascade feedback input
CP <sub>0</sub>	clock input (LOW to HIGH, triggered)
CP <sub>1</sub>	clock input (HIGH to LOW, triggered)
MR	asynchronous master reset input
TC	terminal count output
O <sub>0</sub> to O <sub>3</sub>	buffered parallel outputs

aansluitingen

## COUNTING MODE

CF = HIGH; PL = LOW; MR = LOW

count	outputs			
	O <sub>3</sub>	O <sub>2</sub>	O <sub>1</sub>	O <sub>0</sub>
15	H	H	H	H
14	H	H	H	L
13	H	H	L	H
12	H	H	L	L
11	H	L	H	H
10	H	L	H	L
9	H	L	L	H
8	H	L	L	L
7	L	H	H	H
6	L	H	H	L
5	L	H	L	H
4	L	H	L	L
3	L	L	H	H
2	L	L	H	L
1	L	L	L	H
0	L	L	L	L

## FUNCTION TABLE

MR	PL	CP <sub>0</sub>	CP <sub>1</sub>	mode
H	X	X	X	reset (asynchronous)
L	H	X	X	preset (asynchronous)
L	L	/	H	no change
L	L	L	\	no change
L	L	\	X	no change
L	L	X	/	no change
L	L	/	L	counter advances
L	L	H	\	counter advances

H = HIGH state (the more positive voltage)

L = LOW state (the less positive voltage)

X = state is immaterial

/ = positive-going transition

\ = negative-going transition

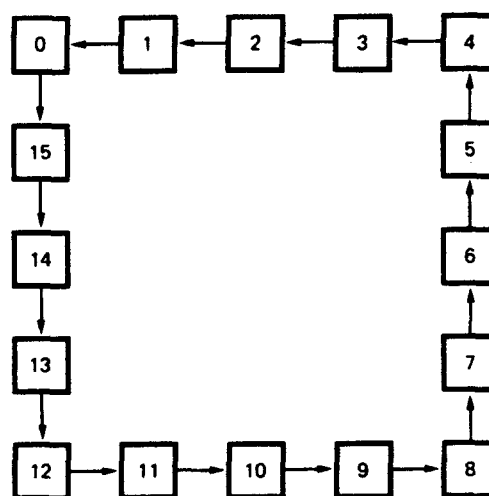
waarheidstabellen

## 8.3 (1)4xxx-serie CMOS

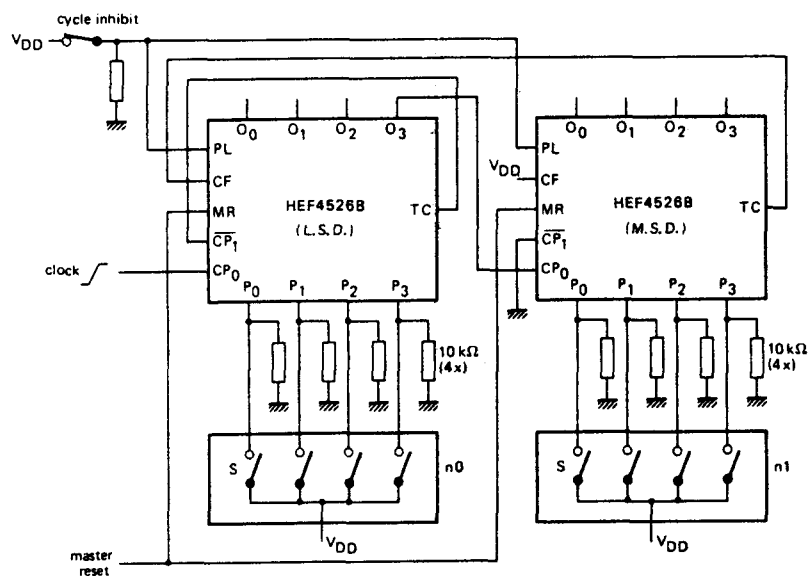
Divide-by-n; MR = LOW; CF = HIGH;  $\overline{CP}_1$  = LOW

PL	P <sub>3</sub>	P <sub>2</sub>	P <sub>1</sub>	P <sub>0</sub>	divide by	TC output pulse width
L	X	X	X	X	16	one clock period
TC	H	H	H	H	15	clock pulse HIGH
TC	H	H	H	L	14	
TC	H	H	L	H	13	
TC	H	H	L	L	12	
TC	H	L	H	H	11	
TC	H	L	H	L	10	
TC	H	L	L	H	9	
TC	H	L	L	L	8	
TC	L	H	H	H	7	
TC	L	H	H	L	6	
TC	L	H	L	H	5	
TC	L	H	L	L	4	
TC	L	L	H	H	3	
TC	L	L	H	L	2	
TC	L	L	L	H	1	
TC	L	L	L	L	no operation	

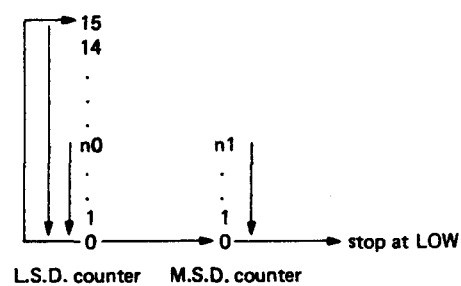
Toepassing: 1-traps neerteller



Toepassing: 2-traps programmeerbare neerteller



Counting cycle:



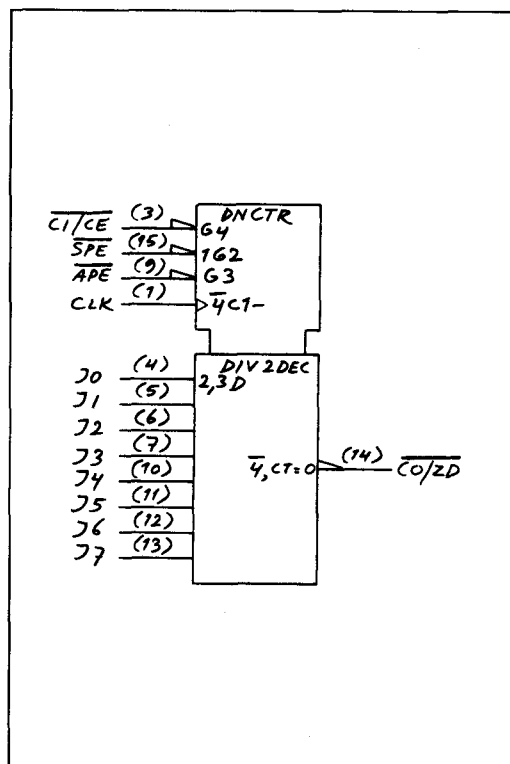
o.a. leverbaar: MC 14526 A/B/C  
 HD 14526 B  
 HEF 4526 B



## 8.3 (1)4xxx-serie CMOS

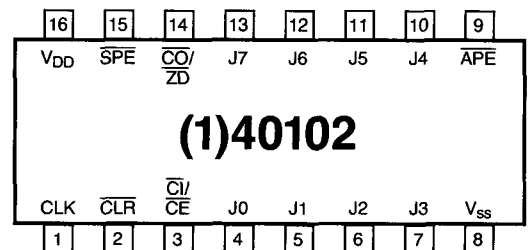
**(1)40102****8-traps presetbare decimale neerteller**

(2 decaden BCD)



logisch symbool

Figuur 4/8.3-102



$\overline{C1/CE}$  = carry-in, counter enable  
 $\overline{SPE}$  = synchronous preset enable  
 $\overline{APE}$  = asynchronous preset enable  
 $\overline{Co/ZD}$  = carry-out, zero detect

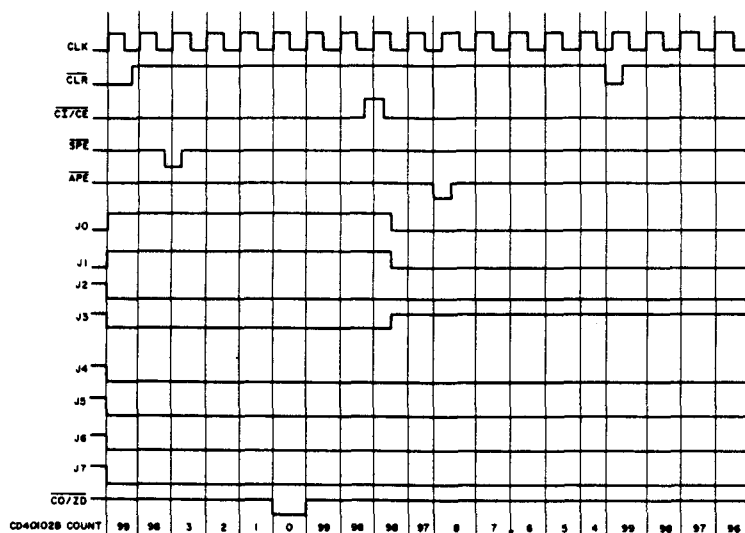
TRUTH TABLE

CONTROL INPUTS				PRESET MODE	ACTION
CLR	APE	SPE	C1/CE		
1	1	1	1	Synchronous	Inhibit counter
1	1	1	0		Count down
1	1	0	X		Preset on next positive clock transition
1	0	X	X	Asynchronous	Preset asynchronously
0	X	X	X		Clear to maximum count

Notes: 1. 0 = Low level  
 1 = High level  
 X = Don't care

2. Clock connected to clock input  
 3. Synchronous operation: changes occur on negative-to-positive clock transitions  
 4. JAM inputs: CD40102B BCD: MSD = J7, J6, J5, J4 (J7 is MSB)  
 LSD = J3, J2, J1, J0 (J3 is MSB)

waarheidstabel



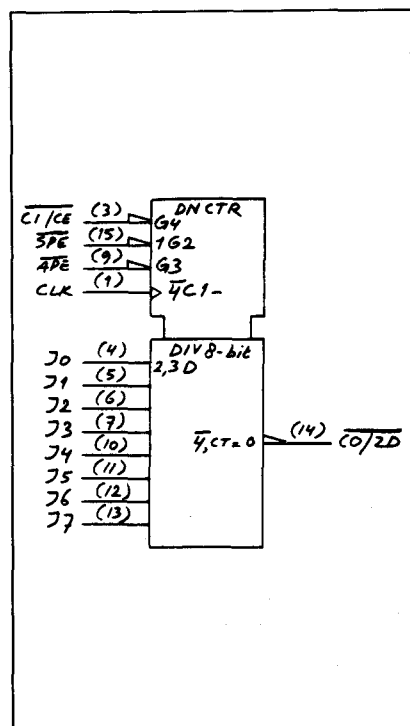
timing

leverbaar: CD 40102 B

## 8.3 (1)4xxx-serie CMOS

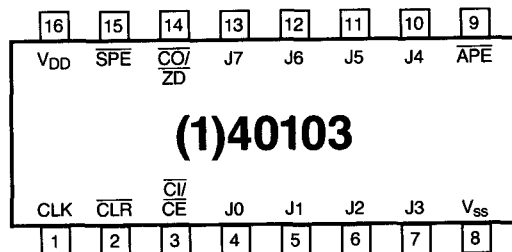
**(1)40103****8-traps presetbare binaire neerteller**

(8-bit binair)



logisch symbool

Figuur 4/8.3-103



$\overline{C1/CE}$  = carry-in, counter enable  
 $\overline{SPE}$  = synchrone preset enable  
 $\overline{APE}$  = asynchrone preset enable  
 $\overline{CO/ZD}$  = carry-out, zero detect

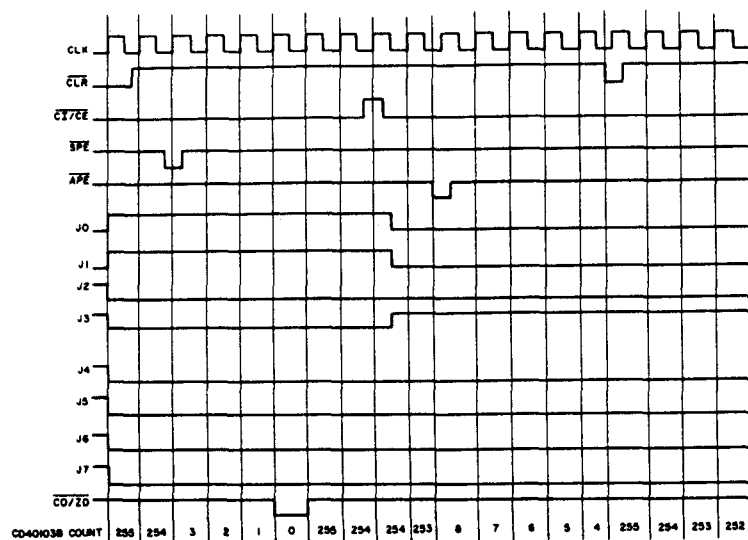
TRUTH TABLE

CONTROL INPUTS				PRESET MODE	ACTION
CLR	APE	SPE	C1/CE		
1	1	1	1	Synchronous	Inhibit counter
1	1	1	0		Count down
1	1	0	X		Preset on next positive clock transition
1	0	X	X	Asynchronous	Preset asynchronously
0	X	X	X		Clear to maximum count

Notes: 1. 0 = Low level  
 1 = High level  
 X = Don't care

2. Clock connected to clock input  
 3. Synchronous operation: changes occur on negative-to-positive clock transitions  
 4. JAM inputs: CD40103B Binary: MSB = J7, LSB = J0

waarheidstabel



timing

leverbaar: CD 40103 B

## 4/9

## Tellers met gedecodeerde uitgangen

## Inhoud

**4/9.1    Achtergrond-informatie**  
(aanvulling 29)**4/9.2    Tellers met gedecodeerde uitgangen 74xx-serie TTL en HC**  
(aanvulling 10 + 29)

74142	BCD-teller/latch/decoder/driver voor Nixie-buisjes
74143	4-bit teller/latch/7-segment decoder/driver voor LED-indicatoren
74144	4-bit teller/latch/7-segment decoder/driver voor "Numitron"/LED-indicatoren
744017	5-traps deel-door-10 Johnson teller met 10 gedecodeerde uitgangen en carry-uitgang
744022	4-traps deel-door-8 Johnson teller met 8 gedecodeerde uitgangen en carry-uitgang
747022	4-traps deel-door-8 Johnson teller met 8 gedecodeerde uitgangen, carry-uitgang en power-up reset

**4/9.3    Tellers met gedecodeerde uitgangen (1)4xxx-serie CMOS**  
(aanvulling 15)

(1)4017	5-traps Johnson-teller
(1)4022	4-traps Johnson-teller
(1)4026	10-teller/deler met 7-segment decoder/driver
(1)4033	10-teller/deler met 7-segment decoder/driver
(1)4536	programmeerbare timer, 24-traps binaire teller, one-shot uitgang (timer)
(1)4553	3-cijferige BCD-teller met oscillator, latches en multiplexer

**4/9.5    Speciale IC's uit de 74C-serie**  
(aanvulling 29)

74C925	4-digit counter met gemultiplexte 7-segment output drivers
74C926	4-digit counter met gemultiplexte 7-segment output drivers
74C927	4-digit counter met gemultiplexte 7-segment output drivers
74C928	4-digit counter met gemultiplexte 7-segment output drivers
74C945	4-digit up/down counter/latch/decoder/driver
74C946	4 1/2-digit counter/decoder/driver voor LCD-display
74C947	4-digit up/down counter/latch/decoder/driver



## 4/9.1

# Achtergrond-informatie

### Inleiding

Het komt in de praktijk vaak voor dat de inhoud van een teller zichtbaar gemaakt moet worden. Het aantal pulsen dat wordt ontvangen is bijvoorbeeld een maat voor de afgelegde weg, een toerental of een verstreken tijd.

Ook kan een teller deel uitmaken van een "sequencer", een schakeling die telkens na een klokpuls een andere handeling kan laten verrichten.

Bij het meten van een frequentie (pulsen per tijdseenheid) wordt bijvoorbeeld eerst de teller op nul gezet, dan wordt de schakeling gedurende een bepaalde tijd vrij gegeven voor hetingangssignaal met onbekende frequentie, waarna de stand van de teller enige tijd beschikbaar is voor de uitlezing. Deze handelingen worden verricht door een sequencer.

Een ander type sequencer wordt gebruikt voor het aansturen van stappen-motoren. Hierbij is het nodig dat de wikkelingen van de motor in de juiste volgorde (in hele of halve stappen) worden bekrachtigd.

### Decoderen voor display's

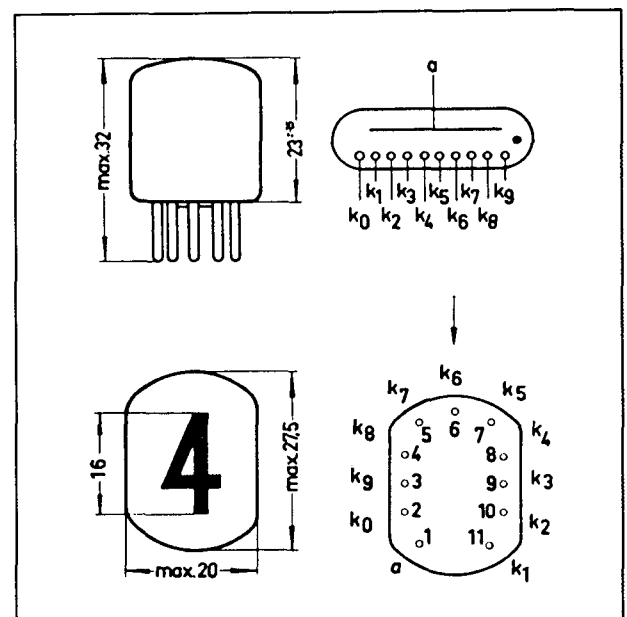
Een digitale klok moet bijvoorbeeld worden voorzien van cijferindicatoren om de tijd zichtbaar te maken. De uitgangen van de tellers moeten dus eerst gedecodeerd naar een voor de indicatoren geschikte code.

Voor een "Nixie"-buisje, een koude-kathode indicator-buisje of gasontladings-display, is een een-uit-tien code al genoeg. Deze soort

display's heeft namelijk voor elk cijfer van 0 tot en met 9 een aparte kathode (zie figuur 4/9.1-1), zodat het omlaag trekken van een van de kathoden het bijbehorende cijfer zichtbaar maakt.

In figuur 4/9.1-2 is hiervoor een geschikte decoder getekend. Op de A-, B-, C- en D-ingangen van deze 74141 worden de gelijknamige uitgangen van een decade-teller aangesloten.

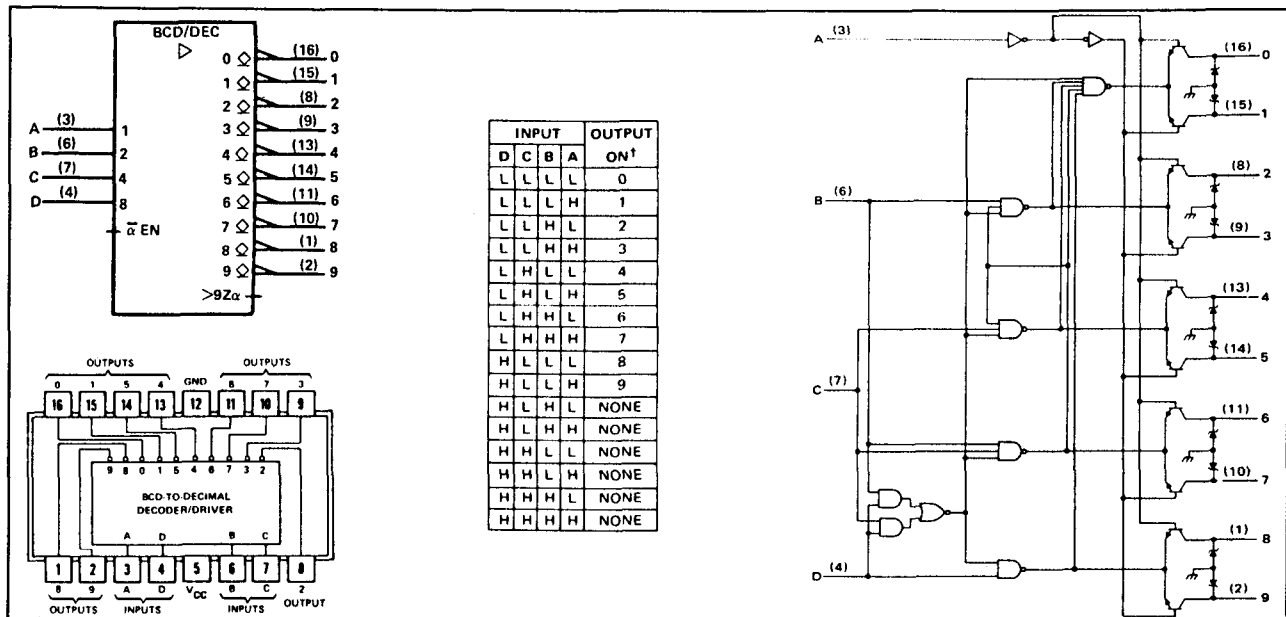
De 0- tot en met 9-uitgangen worden verbonden met de aansluitingen  $k_0$  tot en met  $k_9$  van de Nixie-buis.



Figuur 4/9.1-1:

Aansluitingen van een gasontladingsbuisje, een zogenaamd "Nixie"-buisje.

## 9.1 Achtergrond-informatie



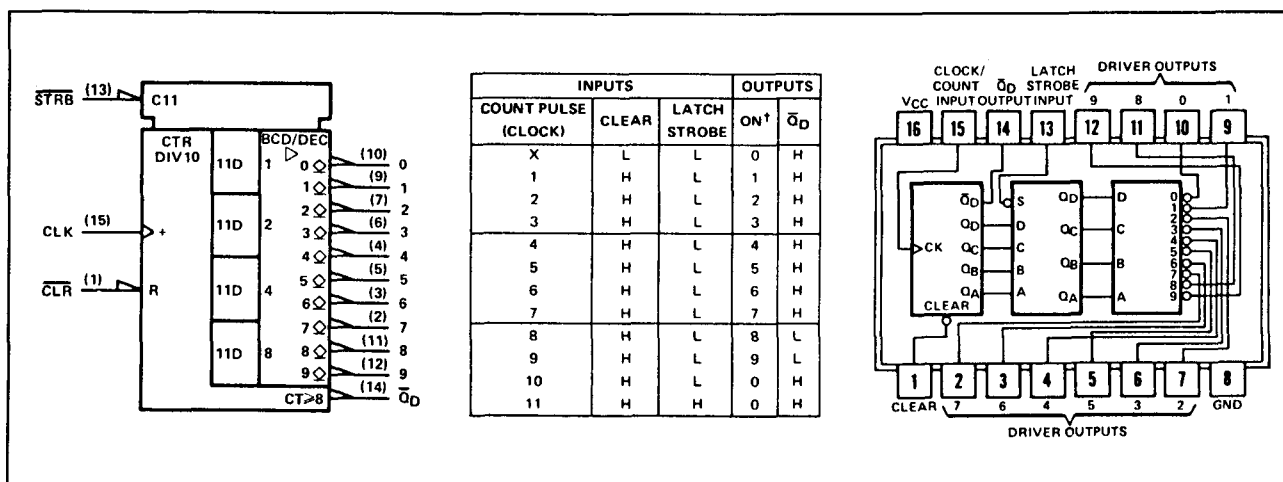
**Figuur 4/9.1-2:** BCD-naar-decimaal decoder 7841451 die geschikt is voor het aansturen van een Nixie-buisje (1-uit-10).

links: logisch symbool en aansluitingen;  
 midden: waarheidstabel;  
 rechts: interne opbouw van de schakeling.

Wordt tussen de teller en de display-driver een geheugen geplaatst, dan kan de teller doortellen terwijl de display "blijft staan". Dit is bijvoorbeeld nodig wanneer de teller als stop-watch wordt gebruikt. De tussentijden

kunnen dan telkens worden uitgelezen, terwijl de totaal tijd doorloopt.

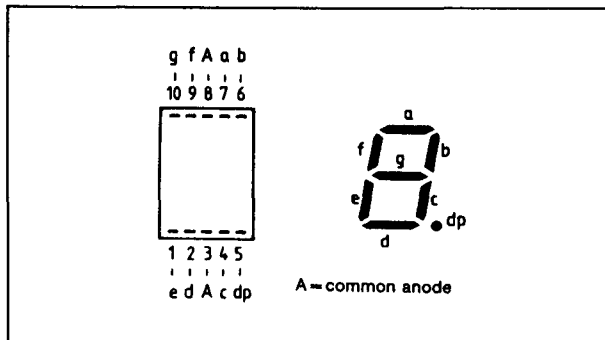
In figuur 4/9.1-3 is zo'n complete schakeling van teller/latch/decoder/driver getekend.



**Figuur 4/9.1-3:** De 74142 teller/latch/BCD-naar-decimaal decoder/driver.

links: logisch symbool;  
 midden: waarheidstabel;  
 rechts: aansluitgegevens.

### 9.1 Achtergrond-informatie



**Figuur 4/9.1-4:** Een zeven-segments LED-display met gemeenschappelijke anoden (ca).

Bij een zeven-segment display moeten voor alle cijfers de juiste segmenten worden aangestuurd.

Bij "common-anode" display's (zie figuur 4/9.1-4) moeten de sturingangen dan LAAG worden getrokken. Voor het cijfer 3 moeten bijvoorbeeld de ingangen a, b, c, d en g LAAG zijn.

In figuur 4/9.1-5 is een zeven-segments decoder/driver getekend, die tussen een teller en het display moet worden geplaatst als de stand van de teller zichtbaar moet worden gemaakt.

OOK nu is het weer mogelijk een geheugen op te nemen tussen teller en decoder. Figuur 4/9.1-6 toont een dergelijke complete schakeling met teller/latch/decoder/driver. De latch kan natuurlijk ook tussen de decoder en de driver worden geplaatst, maar dan zijn zeven lijnen nodig in plaats van vier!

#### Decoderen voor sequencers

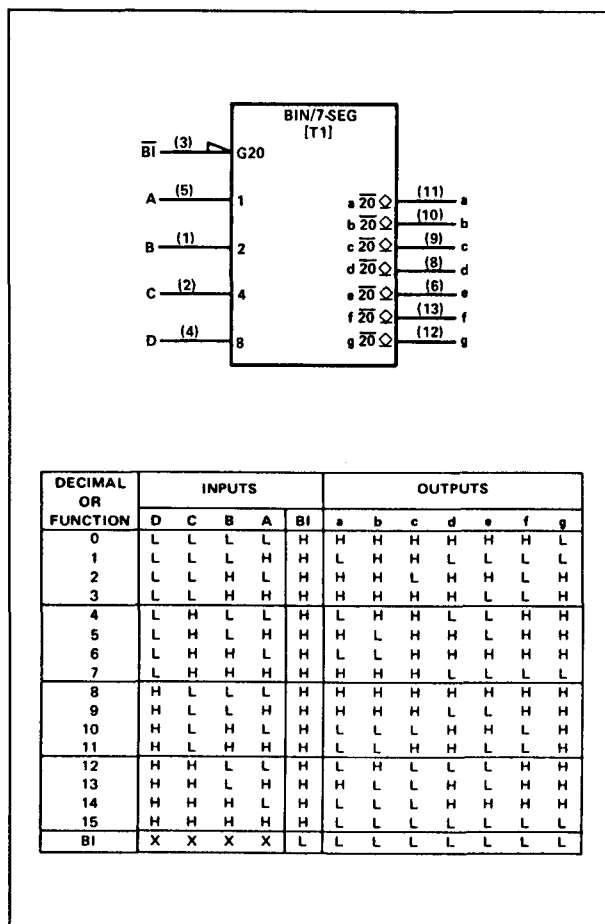
Van de BCD-naar-decimaal decoder 7442 in figuur 4/9.1-7 is één van de uitgangen 0 tot en met 9 LAAG, afhankelijk van de signalen op de ingangen A, B, C, en D (zie waarheidstabel).

Wanneer zo'n decoder op een (tien-)teller wordt aangesloten zal dus telkens na een klokpuls de volgende uitgang LAAG worden.

Dergelijke tellers met decoder worden Johnson-tellers genoemd. In figuur 4/9.1-8 is een vijf-traps Johnson-teller met tien uitgangen en het bijbehorende tijddiagram getekend.

In dit geval worden de achtereenvolgende uitgangen HOOG.

Men kan zich voorstellen dat bijvoorbeeld bij een frequentiemeter met  $Y_0$  een (tweede) teller op nul wordt gezet. Met  $Y_1$  kan een flip-flop worden gestuurd, waardoor bijvoorbeeld tot  $Y_6$  door de tweede teller wordt geteld (flip-flop dan weer in de beginstand). Op  $Y_7$  wordt een latch geladen met de stand

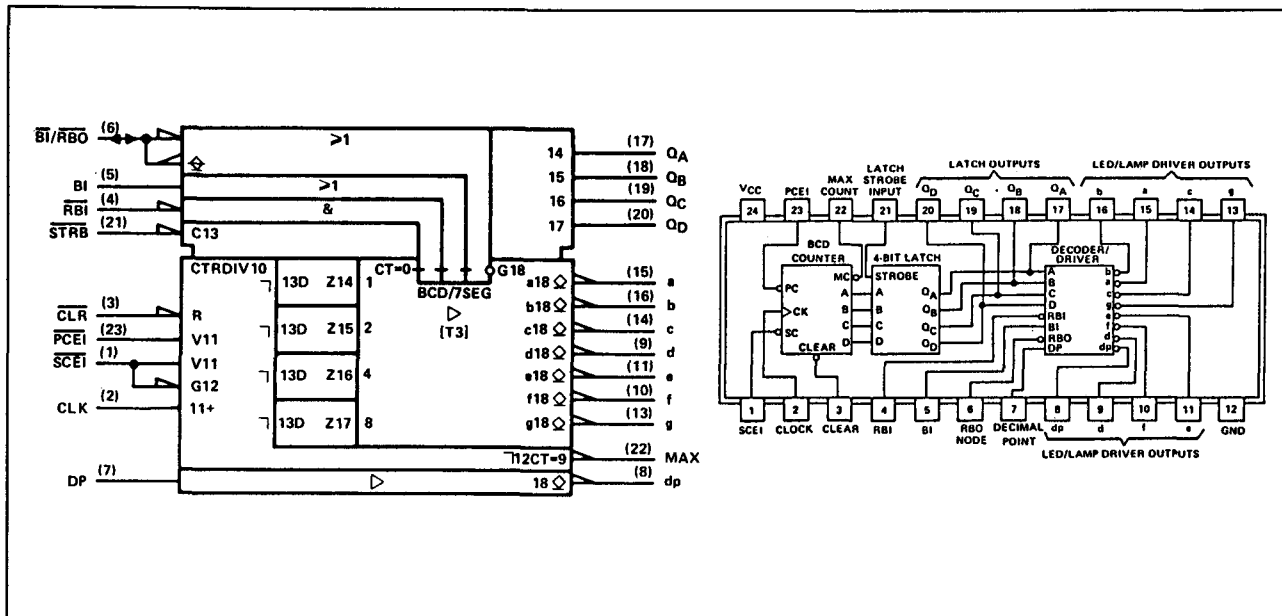


**Figuur 4/9.1-5:** BCD-naar-zeven-segment decoder 7449.  
boven: logisch symbool;  
onder: waarheidstabel.

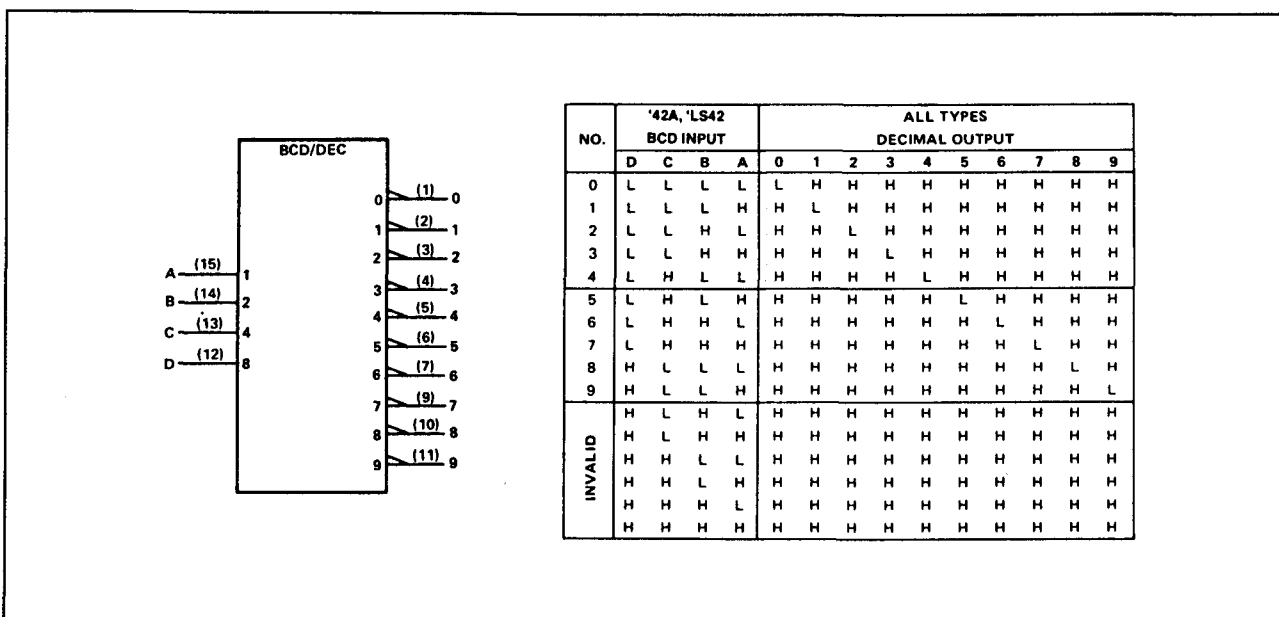
## 9.1 Achtergrond-informatie

van de tweede teller, waarna alles zich herhaalt vanaf  $Y_0$ . De stand kan nu worden uitgelezen van  $Y_7$  tot  $Y_7$  en blijft dus vrijwel continu beschikbaar.

Het is op deze wijze mogelijk allerlei handelingen automatisch te laten verrichten. Vooral bij besturings- en rekenschakelingen worden sequencers veelvuldig toegepast.



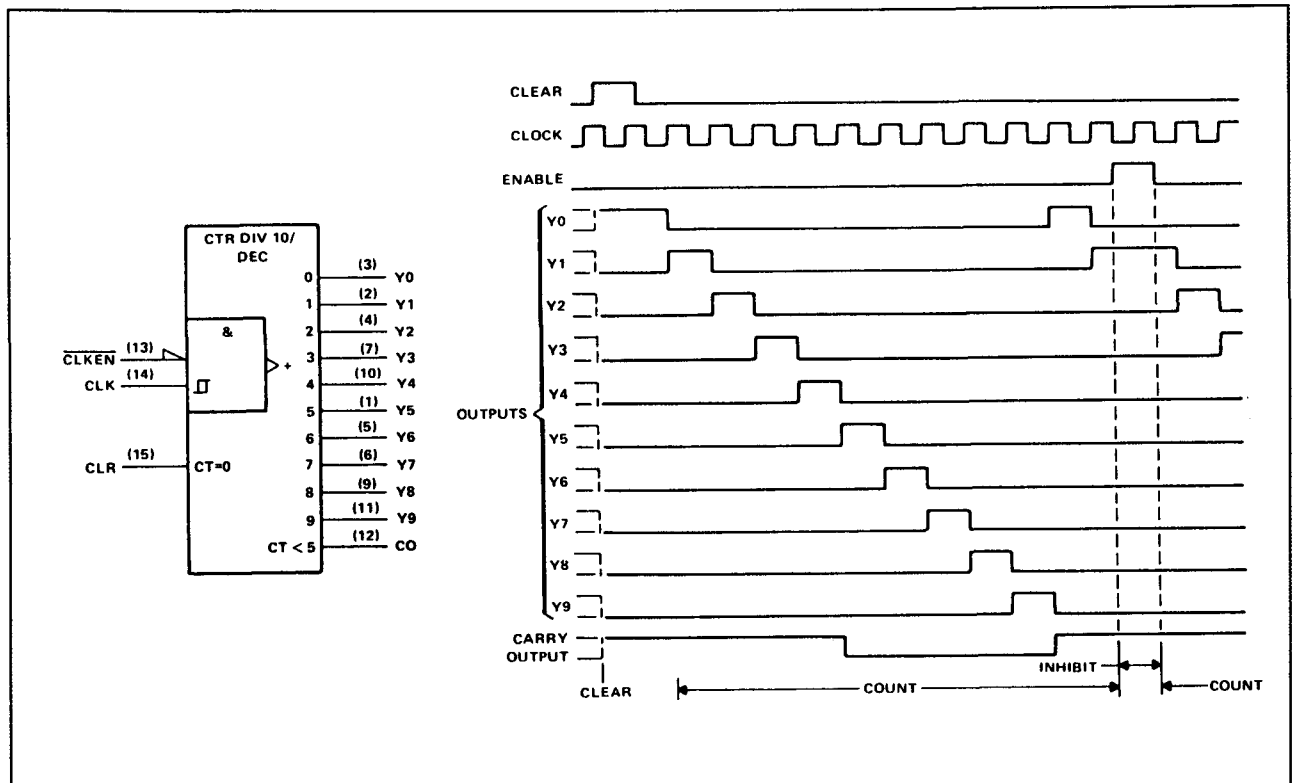
**Figuur 4/9.1-6:** De 74143 teller/latch/BCD-naar-zeven-decoder/driver.  
links: logisch symbool;  
rechts: aansluitgegevens en logische opbouw.



**Figuur 4/9.1-7:** 4-naar-10 lijnen decoder 7442.  
links: logisch symbool;  
rechts: waarheidstabel.



## 9.1 Achtergrond-Informatie



**Figuur 4/9.1-8:** De teller/4-naar-10 lijnen decoder 744017.  
links: logisch symbool;  
rechts: bijbehorend tijddiagram.

## 9.1 Achtergrond-informatie

## 4/9.2

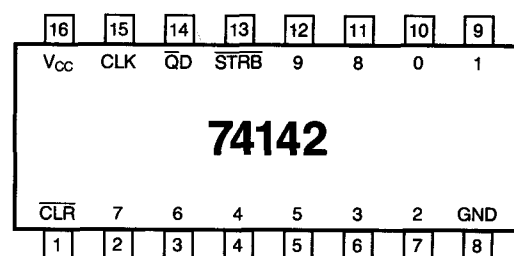
## 74xx-serie

## Tellers met gedecodeerde uitgangen

## 74142

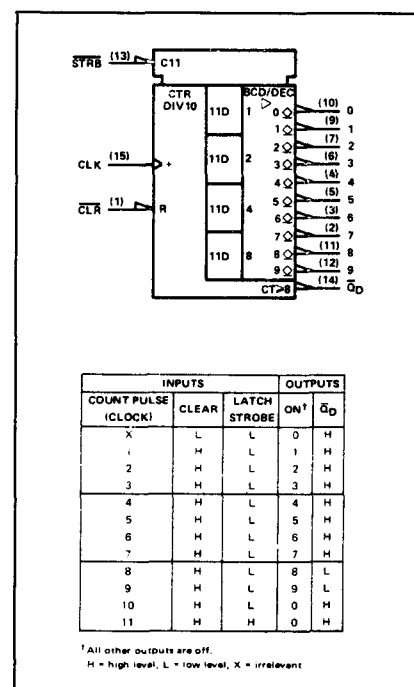
BCD teller/4-bit latch/BCD  
decoder/driver  
(10-teller, 4-bit latch, decoder/  
Nixie-buis driver)

Figuur 4/9.2-142.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	68									mA
$I_{OS}$	-18 -55									mA
$V_{O(off) min}$	60									V
$I_{O(off) max}$	50									$\mu A$
$f_{clock} (max)$	20									MHz
$T_{plh}^{1)}$	35									ns
$T_{phl}^{1)}$	30									ns
$T_{plh}^{2)}$	30									ns

<sup>1)</sup> CLK  $\rightarrow$   $\overline{Q}_D$     <sup>2)</sup>  $\overline{CLR}$   $\rightarrow$   $\overline{Q}_D$

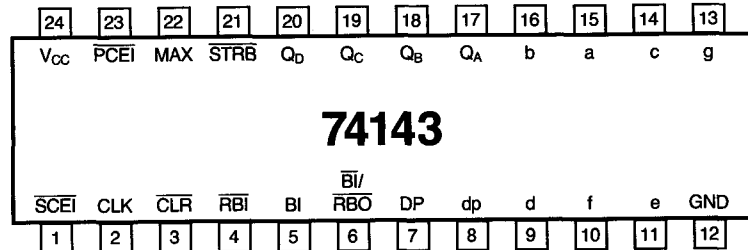


## 9.2 74xxx-serie TTL en HC

## 74143

4-bit teller/latch,  
7-segment LED-driver  
(15 mA constante stroom  
uitgangen)

Figuur 4/9.2-143.

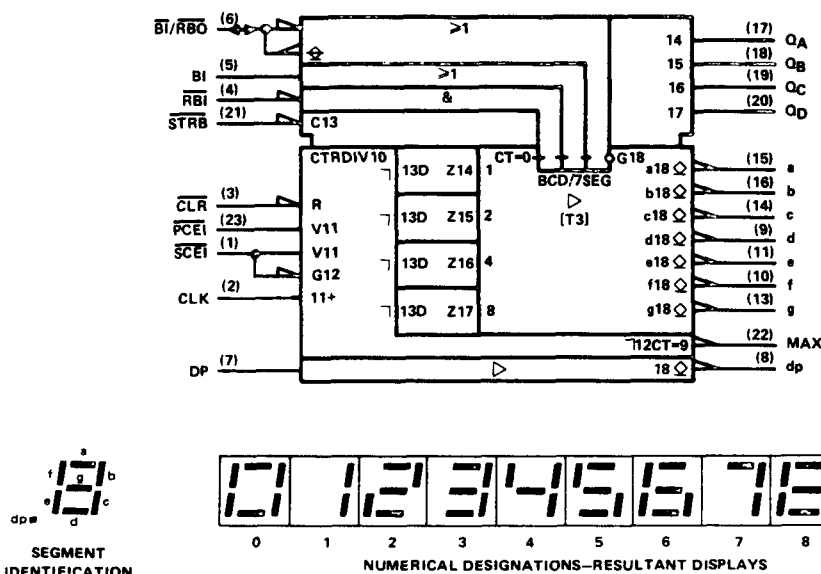


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>CC</sub>	56									mA
I <sub>OS</sub> <sup>1)</sup>	-9 -27,5									mA
I <sub>OS</sub> <sup>2)</sup>	-15 -55									mA
I <sub>A</sub> t/m g	15									mA
f <sub>max</sub>	18									MHz
T <sub>plh</sub> / T <sub>phl</sub> <sup>3)</sup>	12/ 23									ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>4)</sup>	26/ 29									ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>5)</sup>	22/ 38									ns
T <sub>phl</sub> <sup>6)</sup>	57									ns

1) latch outputs Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub> 2) max. count output 3) serial look-ahead → max. count

4) CLK → MAX (count) 5) CLR → Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub>

# 9.2 74xxx-serie TTL en HC



Functions of the inputs and outputs of these devices are as follows:

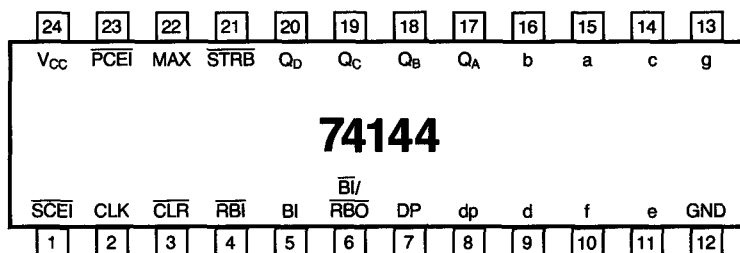
FUNCTION	PIN NO.	DESCRIPTION
CLEAR INPUT	3	When low, resets and holds counter at 0. Must be high for normal counting.
CLOCK INPUT	2	Each positive-going transition will increment the counter provided that the circuit is in the normal counting mode (serial and parallel count enable inputs low, clear input high).
PARALLEL COUNT ENABLE INPUT (PCEI)	23	Must be low for normal counting mode. When high, counter will be inhibited. Logic level must not be changed when the clock is low.
SERIAL COUNT ENABLE INPUT (SCEI)	1	Must be low for normal counting mode, also must be low to enable maximum count output to go low. When high, counter will be inhibited and maximum count output will be driven high. Logic level must not be changed when the clock is low.
MAXIMUM COUNT OUTPUT	22	Will go low when the counter is at 9 and serial count enable input is low. Will return high when the counter changes to 0 and will remain high during counts 1 through 8. Will remain high (inhibited) as long as serial count enable input is high.
LATCH STROBE INPUT	21	When low, data in latches follow the data in the counter. When high, the data in the latches are held constant, and the counter may be operated independently.
LATCH OUTPUTS (QA, QB, QC, QD)	17, 18, 19, 20	The BCD data that drives the decoder can be stored in the 4-bit latch and is available at these outputs for driving other logic and/or processors. The binary weights of the outputs are: QA = 1, QB = 2, QC = 4, QD = 8.
DECIMAL POINT INPUT	7	Must be high to display decimal point. The decimal point is not displayed when this input is low or when the display is blanked.
BLANKING INPUT (BI)	5	When high, will blank (turn off) the entire display and force RBO low. Must be low for normal display. May be pulsed to implement intensity control of the display.
RIPPLE-BLANKING INPUT (RBI)	4	When the data in the latches is BCD 0, a low input will blank the entire display and force the RBO low. This input has no effect if the data in the latches is other than 0.
RIPPLE-BLANKING OUTPUT (RBO)	6	Supplies ripple blanking information for the ripple blanking input of the next decade. Provides a low if BI is high, or if RBI is low and the data in the latches is BCD 0; otherwise, this output is high. This pin has a resistive pull-up circuit suitable for performing a wire-AND function with any open-collector output. Whenever this pin is low the entire display will be blanked; therefore, this pin may be used as an active-low blanking input.
LED/LAMP DRIVER OUTPUTS (a, b, c, d, e, f, g, dp)	15, 16, 14, 9, 11, 10, 13, 8	Outputs for driving seven-segment LED's or lamps and their decimal points. See segment identification and resultant displays on following page.

## 9.2 74xxx-serie TTL en HC

**74144**

4-bit teller/latch,  
7-segment lamp-driver  
(open-collector uitgangen  
voor 'Numitrons'  
of LED's)

Figuur 4/9.2-144.

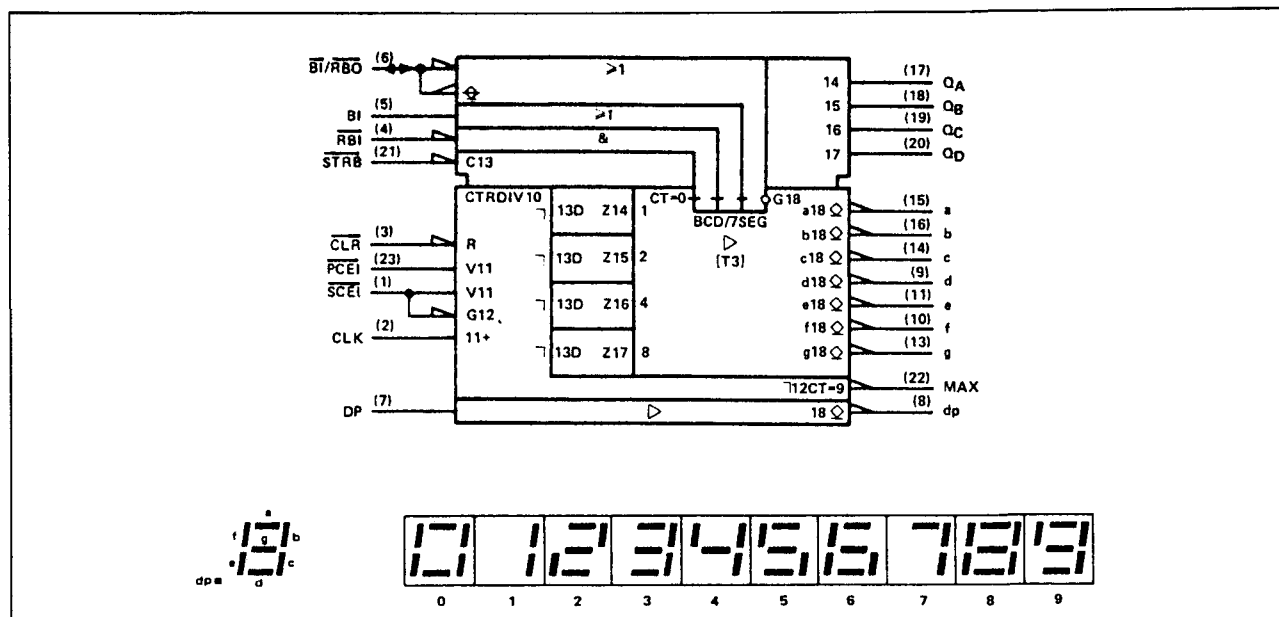


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc	56									mA
Ios <sup>1)</sup>	-9 -27,5									mA
Ios <sup>2)</sup>	-15 -55									mA
I <sub>sink</sub> (a t/m g)	25									mA
fmax	18									MHz
T <sub>plh</sub> / T <sub>phl</sub> <sup>3)</sup>	12/ 23									ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>4)</sup>	26/ 29									ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>5)</sup>	28/ 38									ns
T <sub>phl</sub> <sup>6)</sup>	57									ns

<sup>1)</sup> latch outputs Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub>   <sup>2)</sup> MAX. count output   <sup>3)</sup> serial look-ahead → max. count

<sup>4)</sup> CLK → MAX (count)   <sup>5)</sup> CLK → Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub>   <sup>6)</sup> CLR → Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub>

# 9.2 74xxx-serie TTL en HC



Functions of the inputs and outputs of these devices are as follows:

FUNCTION	PIN NO.	DESCRIPTION
CLEAR INPUT	3	When low, resets and holds counter at 0. Must be high for normal counting.
CLOCK INPUT	2	Each positive-going transition will increment the counter provided that the circuit is in the normal counting mode (serial and parallel count enable inputs low, clear input high).
PARALLEL COUNT ENABLE INPUT (PCEI)	23	Must be low for normal counting mode. When high, counter will be inhibited. Logic level must not be changed when the clock is low.
SERIAL COUNT ENABLE INPUT (SCEI)	1	Must be low for normal counting mode, also must be low to enable maximum count output to go low. When high, counter will be inhibited and maximum count output will be driven high. Logic level must not be changed when the clock is low.
MAXIMUM COUNT OUTPUT	22	Will go low when the counter is at 9 and serial count enable input is low. Will return high when the counter changes to 0 and will remain high during counts 1 through 8. Will remain high (inhibited) as long as serial count enable input is high.
LATCH STROBE INPUT	21	When low, data in latches follow the data in the counter. When high, the data in the latches are held constant, and the counter may be operated independently.
LATCH OUTPUTS (QA, QB, QC, QD)	17, 18, 19, 20	The BCD data that drives the decoder can be stored in the 4-bit latch and is available at these outputs for driving other logic and/or processors. The binary weights of the outputs are: QA = 1, QB = 2, QC = 4, QD = 8.
DECIMAL POINT INPUT	7	Must be high to display decimal point. The decimal point is not displayed when this input is low or when the display is blanked.
BLANKING INPUT (BI)	5	When high, will blank (turn off) the entire display and force RBO low. Must be low for normal display. May be pulsed to implement intensity control of the display.
RIPPLE-BLANKING INPUT (RBI)	4	When the data in the latches is BCD 0, a low input will blank the entire display and force the RBO low. This input has no effect if the data in the latches is other than 0.
RIPPLE-BLANKING OUTPUT (RBO)	6	Supplies ripple blanking information for the ripple blanking input of the next decade. Provides a low if BI is high, or if RBI is low and the data in the latches in BCD 0; otherwise, this output is high. This pin has a resistive pull-up circuit suitable for performing a wire-AND function with any open-collector output. Whenever this pin is low the entire display will be blanked; therefore, this pin may be used as an active-low blanking input.
LED/LAMP DRIVER OUTPUTS (a, b, c, d, e, f, g, dp)	15, 16, 14, 9, 11, 10, 13, 8	Outputs for driving seven-segment LED's or lamps and their decimal points. See segment identification and resultant displays on following page.

## 9.2 74xxx-serie TTL en HC

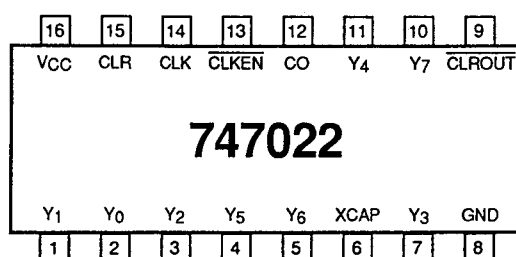
## 747022

## 4-traps deel-door-8

## Johnson teller

met acht gedecodeerde uitgangen,  
carry-uitgang en power-up reset

**Figuur 4/9.2-7022**

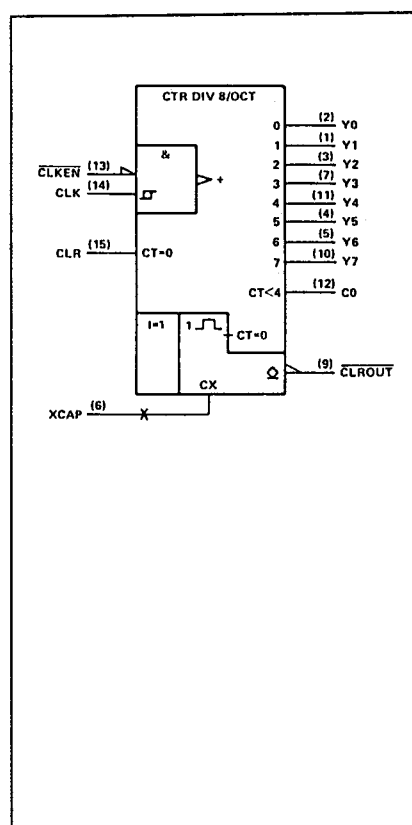
[illegible]<sup>1)</sup>  $\mu\text{A}$ 

2) CLK  $\rightarrow$  Y

4) CLR  $\rightarrow$  Y

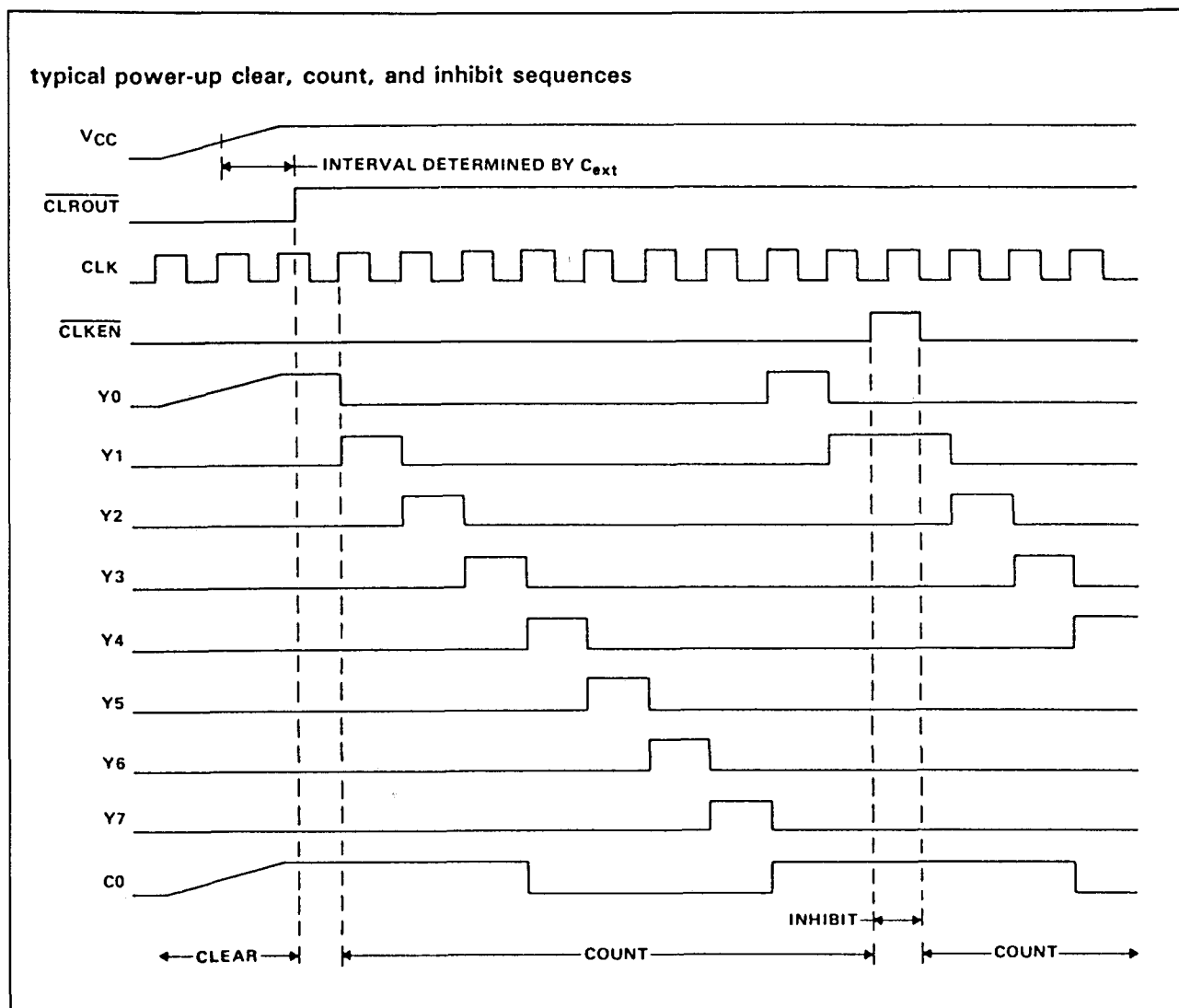
3) CLK  $\rightarrow$  C<sub>0</sub>

5) CLR  $\rightarrow C_0$





9.2 74xxx-serie TTL en HC

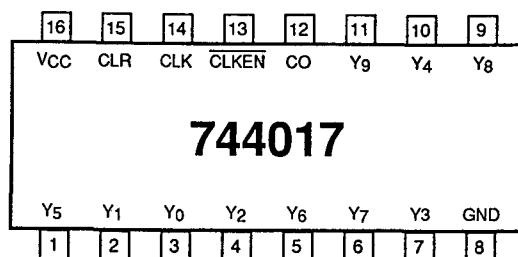


Tijd-diagram van de 747022

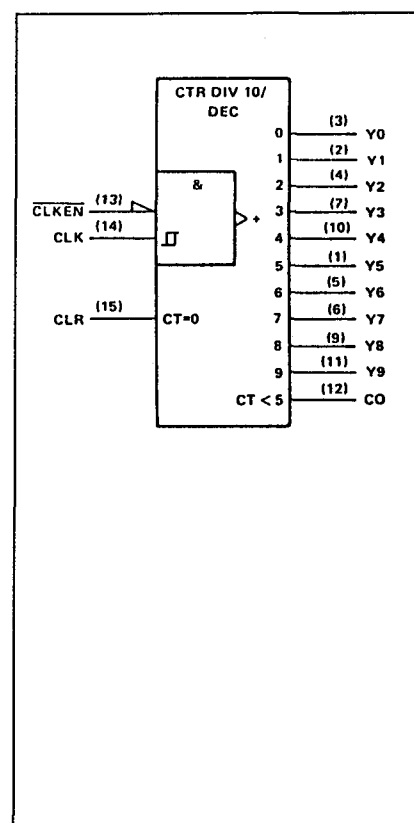
## 9.2 74xxx-serie TTL en HC

**744017****5-traps deel-door-10****Johnson teller**met tien gedecodeerde uitgangen  
en carry-uitgang

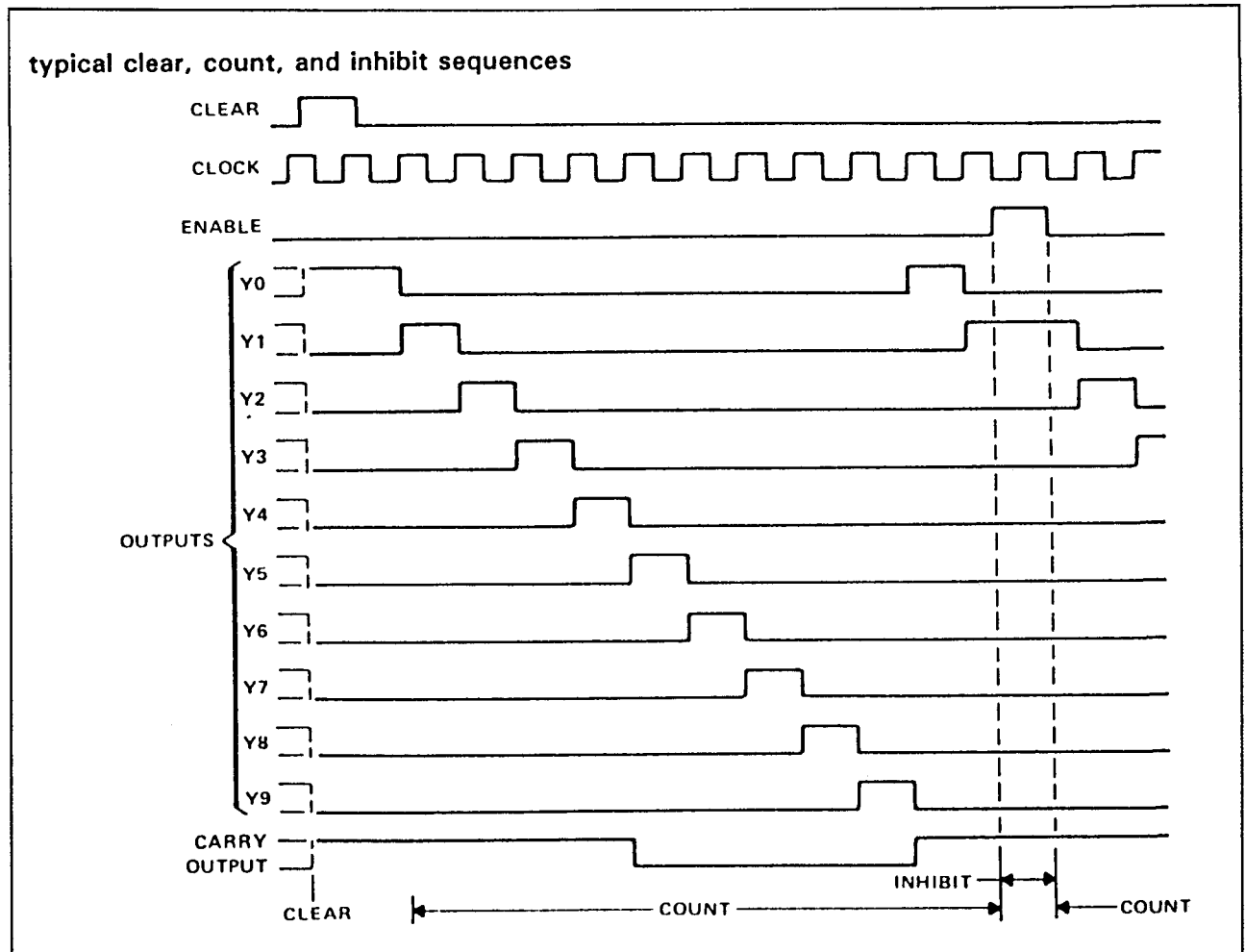
Figuur 4/9.2-4017



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>									80 <sup>1)</sup>	mA
I <sub>os</sub>									4	mA
T <sub>pd</sub> <sup>2)</sup>									23	ns
T <sub>pd</sub> <sup>3)</sup>									23	ns
T <sub>pd</sub> <sup>4)</sup>									19	ns
T <sub>pd</sub> <sup>5)</sup>									19	ns
f <sub>max</sub>									50	MHz

<sup>1)</sup>  $\mu$ A<sup>2)</sup> CLK  $\rightarrow$  Y<sup>3)</sup> CLK  $\rightarrow$  C<sub>o</sub><sup>4)</sup> CLR  $\rightarrow$  Y<sup>5)</sup> CLR  $\rightarrow$  C<sub>o</sub>

## 9.2 74xxx-serie TTL en HC

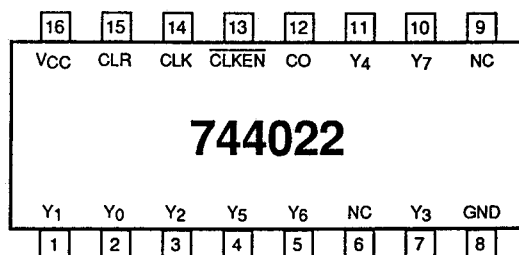


Tijd-diagram van de 744017

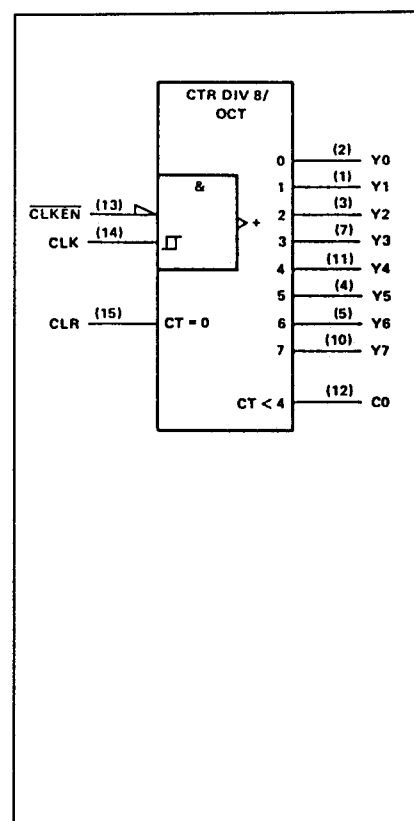
## 9.2 74xxx-serie TTL en HC

**744022****4-traps deel-door-8****Johnson teller**met acht gedecodeerde uitgangen  
en carry-uitgang

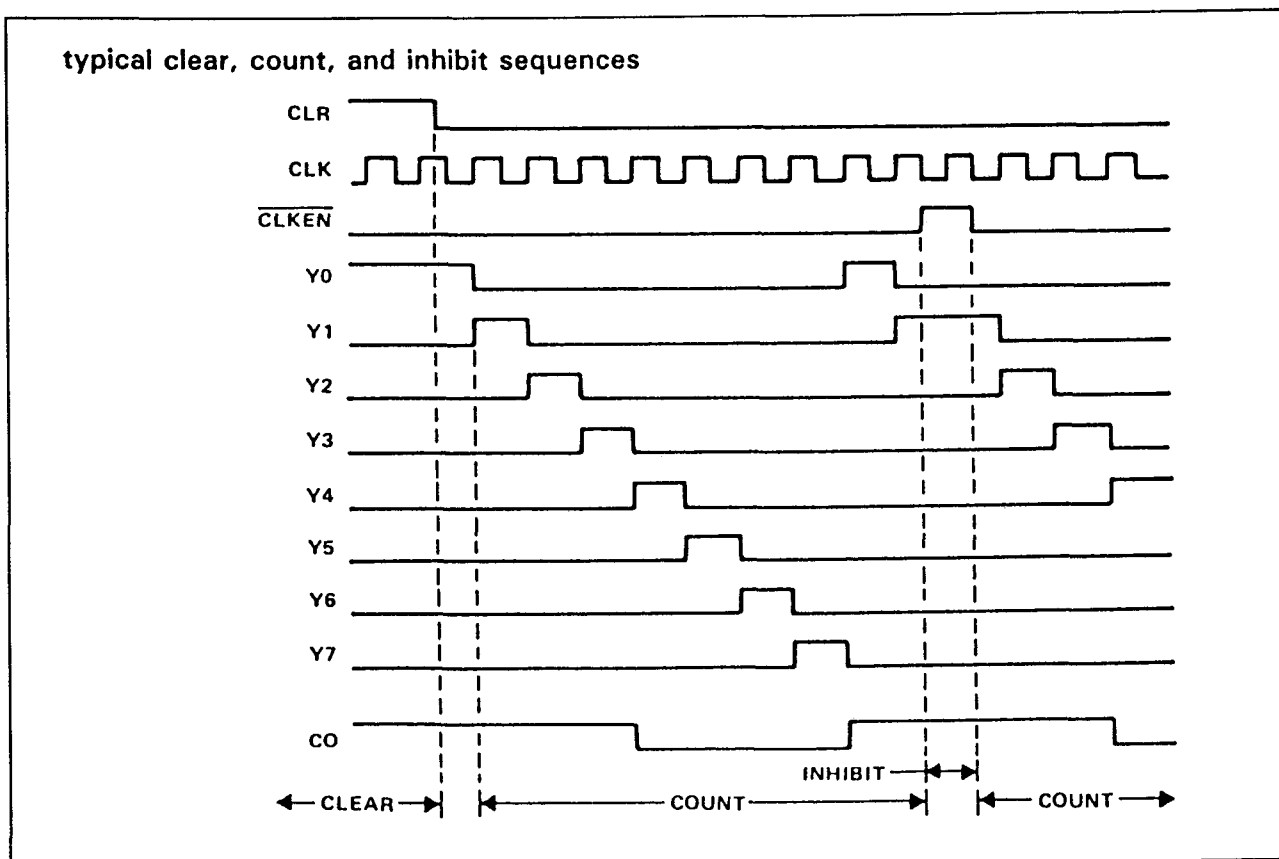
Figuur 4/9.2-4022



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>									80 <sup>1)</sup>	mA
I <sub>os</sub>									4	mA
T <sub>pd</sub> <sup>2)</sup>									24	ns
T <sub>pd</sub> <sup>3)</sup>									19	ns
f <sub>max</sub>									50	MHz

<sup>1)</sup>  $\mu\text{A}$ <sup>2)</sup> CLK of CLR  $\rightarrow$  Y<sup>3)</sup> CLK of CLR  $\rightarrow$  C<sub>o</sub>

## 9.2 74xxx-serie TTL en HC



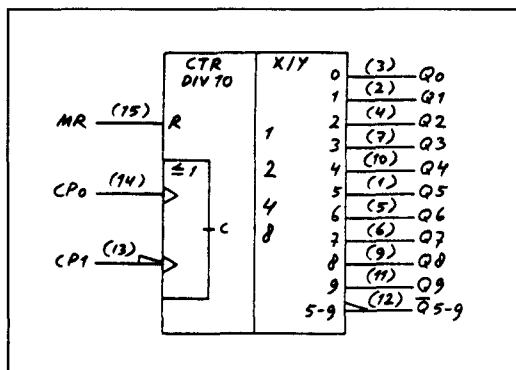
Tijd-diagram van de 744022

**9.2 74xxx-serie TTL en HC**

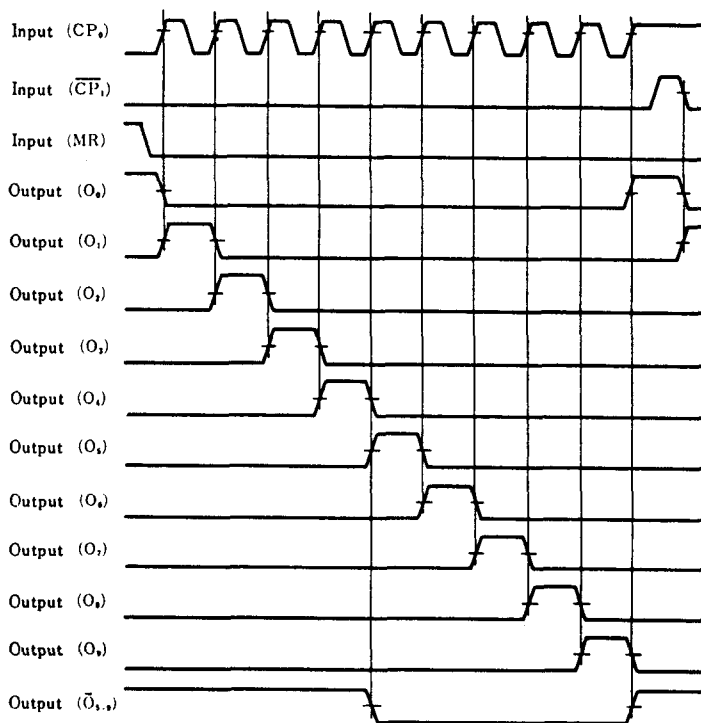
## 4/9.3

Tellers met gedecodeerde uitgangen  
(1)4xxx-serie CMOS

## (1)4017

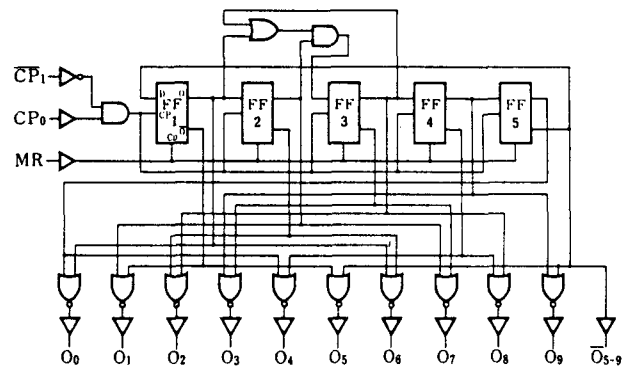
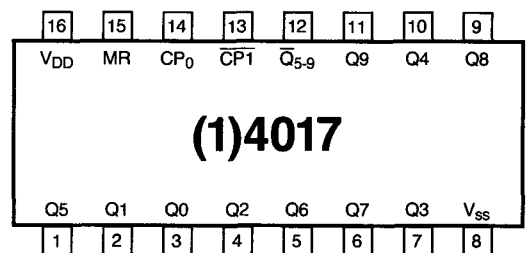
5-traps Johnson teller  
(10-teller/deler met decoder)

logisch symbol



timing

Figuur 4/9.3-17



functioneel blokschema (pos. logica)

Truth Table

MR	CP <sub>0</sub>	CP <sub>1</sub>	Mode
H	x	x	O <sub>0</sub> = O <sub>5-9</sub> = H, O <sub>1</sub> ~ O <sub>4</sub> = L
L	H		Counter Advances
L	L	L	
L	x	H	No Change
L	H		
L		L	No Change

Note) X : don't care

waarheidstabel

o.a. leverbaar: MC 14017 A/C/B  
CD 4017 A/B  
HEF 4017 B

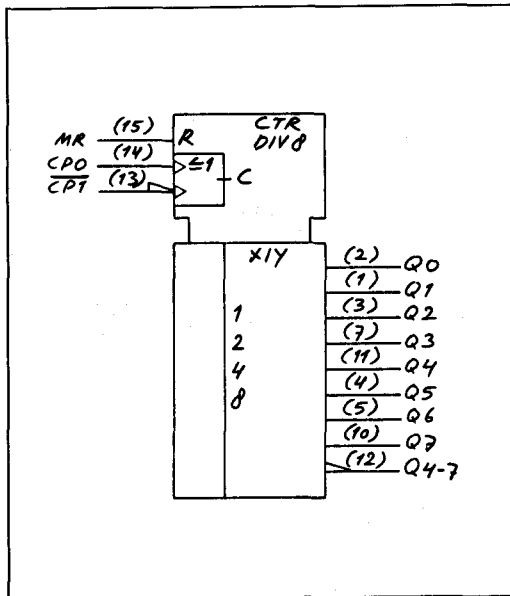
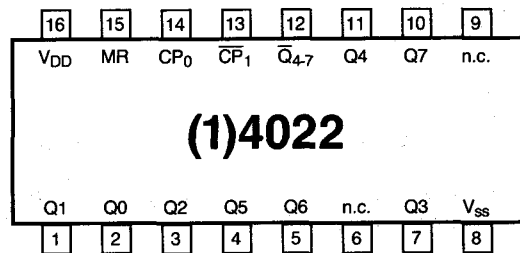
## Deel 4: Flip-Flop's, latches, tellers en schuifregisters

## 9.3 (1)4xxx-serie CMOS

**(1)4022**

4-traps Johnson-teller  
(8-teller/deler met decoder)

Figuur 4/9.3-22

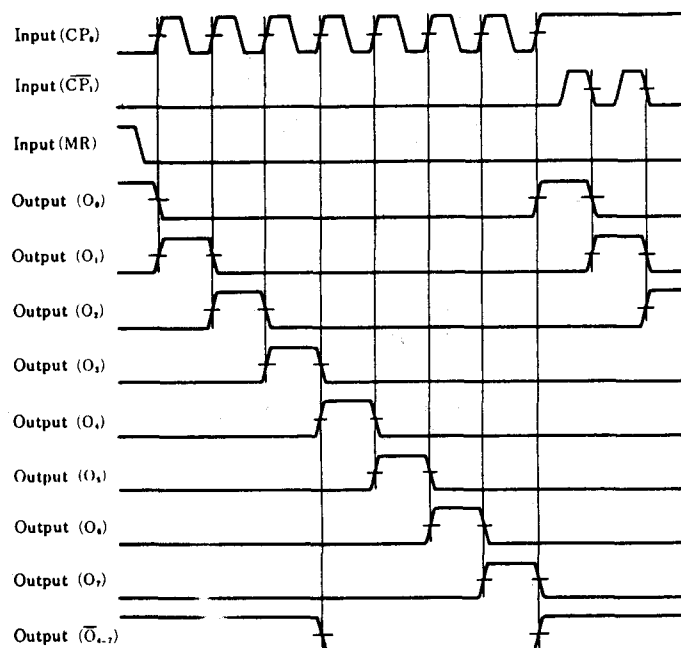


logisch symbool

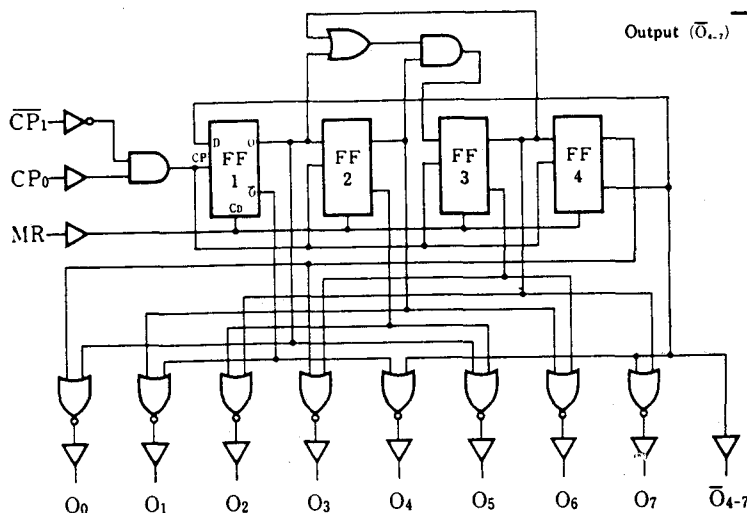
Truth Table

MR	CP <sub>0</sub>	CP <sub>1</sub>	Mode
H	x	x	$O_0 = \bar{O}_4, 7 = H, O_1 \sim O_7 = L$
L	H	$\downarrow$	Counter Advance
L	$\downarrow$	L	
L	L	x	No Change
L	x	H	
L	H	$\downarrow$	
L	$\downarrow$	L	

waarheidstabel



timing



functioneel blokschema (pos. logica)

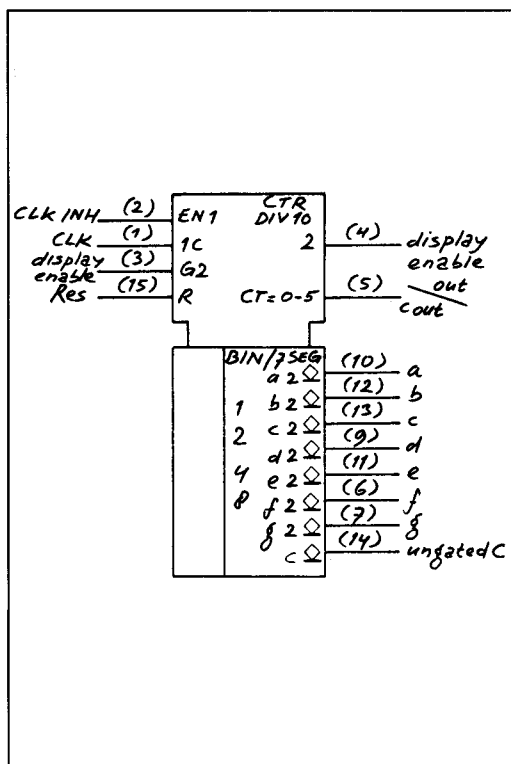
o.a. leverbaar: MC 14022 A/B/C  
CD 4022 A/B  
HEF 4022 B



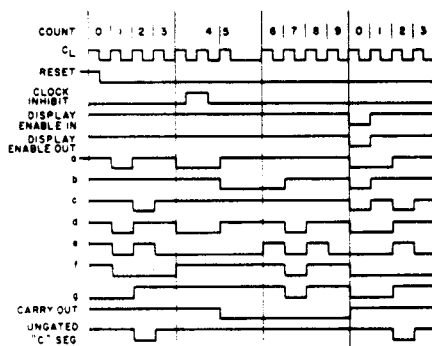
9.3 (1)4xxx-serie CMOS

# (1)4026

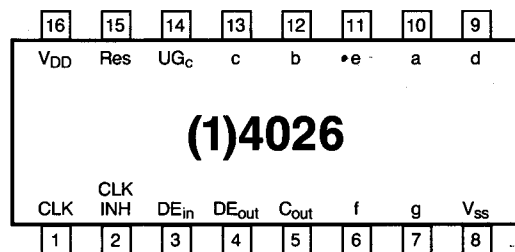
## 10-teller/deler met 7-segment decoder/driver



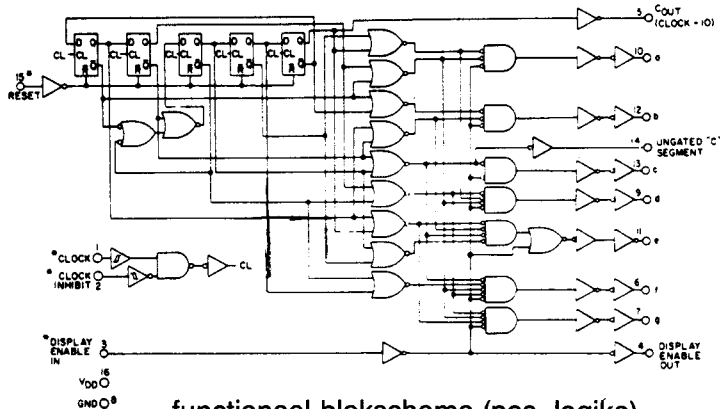
logisch symbool



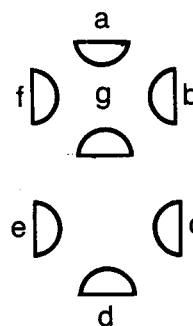
timing



Figuur 4/9.3-26



functioneel blokschema (pos. logika)



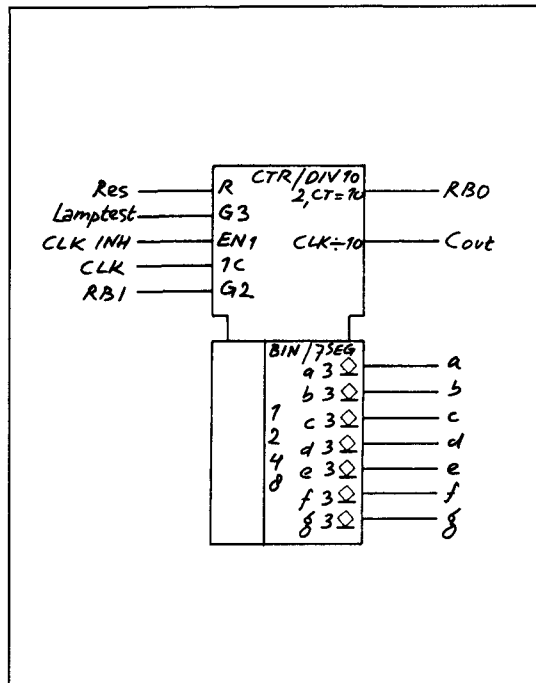
segment aanduidingen

leverbaar: CD 4026 A/B

## 9.3 (1)4xxx-serie CMOS

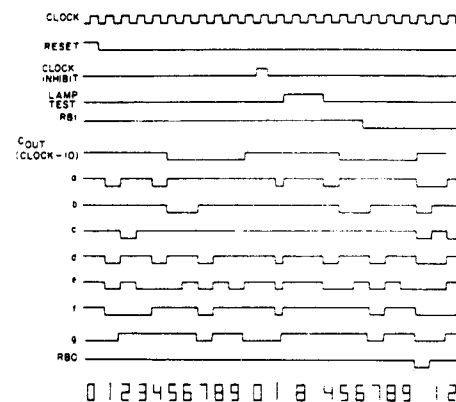
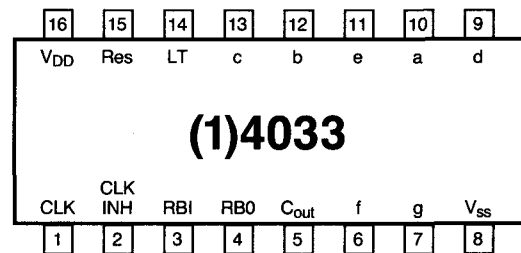
## (1)4033

10-teller/deler met 7-segment decoder/driver



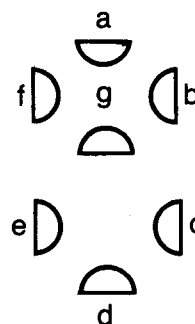
logisch symbool

Figuur 4/9.3-33

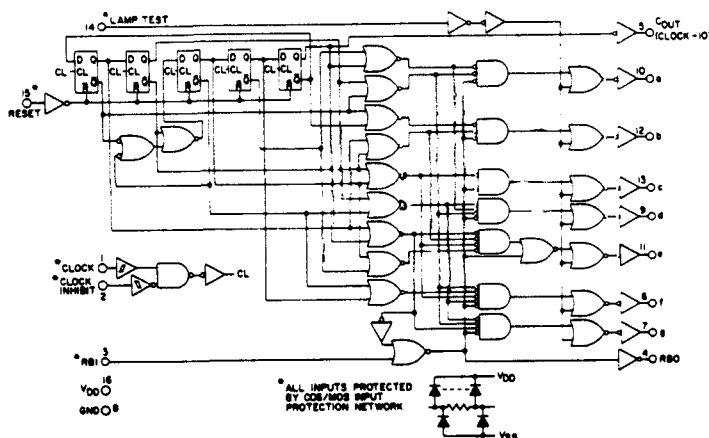


timing

aanduiding segmenten



leverbaar: CD 4033 A/B



functioneel blokschema (pos. logika)

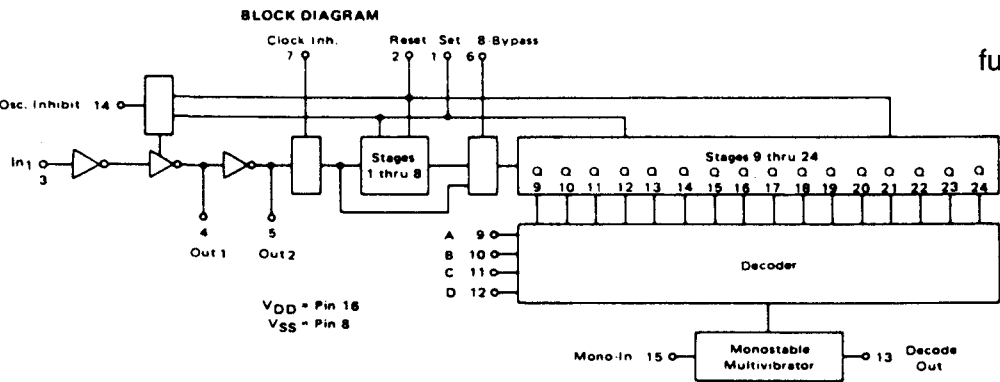
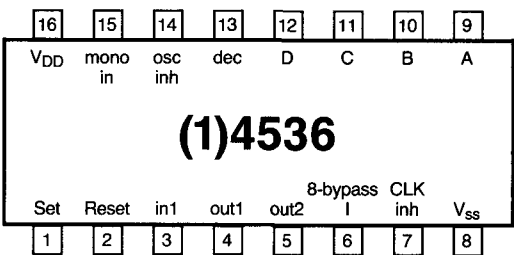
9.3 (1)4xxx-serie CMOS

(1)4536

programmeerbare timer

(programmeerbare 24-traps binaire teller met oscillator en one-shot uitgang)

Figuur 4/9.3-536



functioneel blokschema

Input					Stage Selected For Decode Out
8-Bypass	D	C	B	A	
0	0	0	0	0	9
0	0	0	0	1	10
0	0	0	1	0	11
0	0	0	1	1	12
0	0	1	0	0	13
0	0	1	0	1	14
0	0	1	1	0	15
0	0	1	1	1	16
0	1	0	0	0	17
0	1	0	0	1	18
0	1	0	1	0	19
0	1	0	1	1	20
0	1	1	0	0	21
0	1	1	0	1	22
0	1	1	1	0	23
0	1	1	1	1	24

Input					Stage Selected For Decode Out
8-Bypass	D	C	B	A	
1	0	0	0	0	1
1	0	0	0	1	2
1	0	0	1	0	3
1	0	0	1	1	4
1	0	1	0	0	5
1	0	1	0	1	6
1	0	1	1	0	7
1	0	1	1	1	8
1	1	0	0	0	9
1	1	0	0	1	10
1	1	0	1	0	11
1	1	0	1	1	12
1	1	1	0	0	13
1	1	1	0	1	14
1	1	1	1	0	15
1	1	1	1	1	16

waarheidstabellen

## 9.3 (1)4xxx-serie CMOS

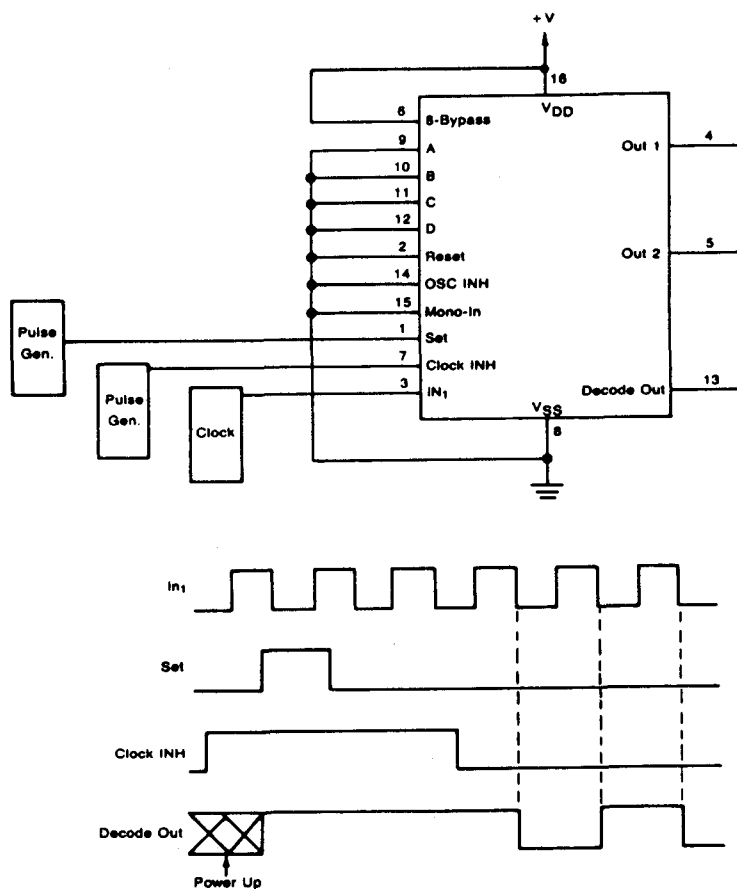
FUNCTION TABLE

In <sub>1</sub>	Set	Reset	Clock Inh	OSC Inh	Out 1	Out 2	Decode Out
	0	0	0	0			No Change
	0	0	0	0			Advance to next state
X	1	0	0	0	0	1	1
X	0	1	0	0	0	1	0
X	0	0	1	0	—	—	No Change
X	0	0	0	1	0	1	No Change
0	0	0	0	X	0	1	No Change
1	0	0	0				Advance to next state

X = Don't Care

functietabel

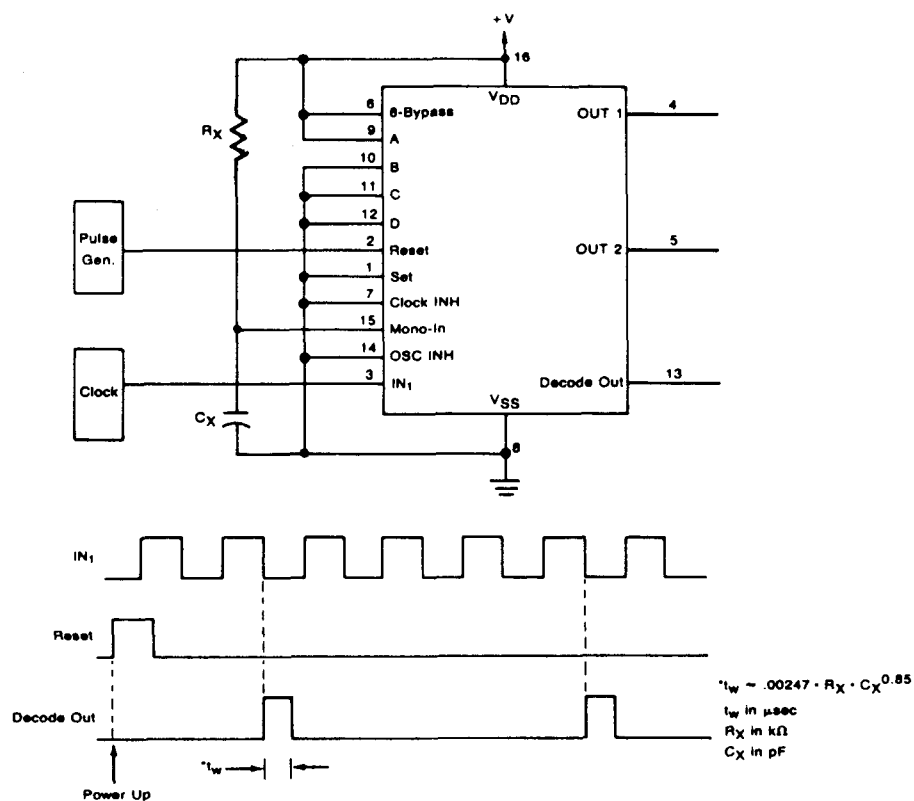
toepassingen:

TIME INTERVAL CONFIGURATION USING AN EXTERNAL CLOCK, SET, AND CLOCK INHIBIT FUNCTIONS  
(DIVIDE-BY-2 CONFIGURED)

Note: When power is first applied to the device, Decode Out can be either at a high or low state. On the rising edge of a Set pulse the output goes high if initially at a low state. The output remains high if initially at a high state. Because Clock Inh is held high, the clock source on the input pin has no effect on the output. Once Clock Inh is taken low, the output goes low on the first negative clock transition. The output returns high depending on the 8-Bypass, A, B, C, and D inputs, and the clock input period. A  $2^n$  frequency division (where  $n$  = the number of stages selected from the truth table) is obtainable at Decode Out. A  $2^n$ -divided output of IN<sub>1</sub> can be obtained at OUT<sub>1</sub> and OUT<sub>2</sub>.

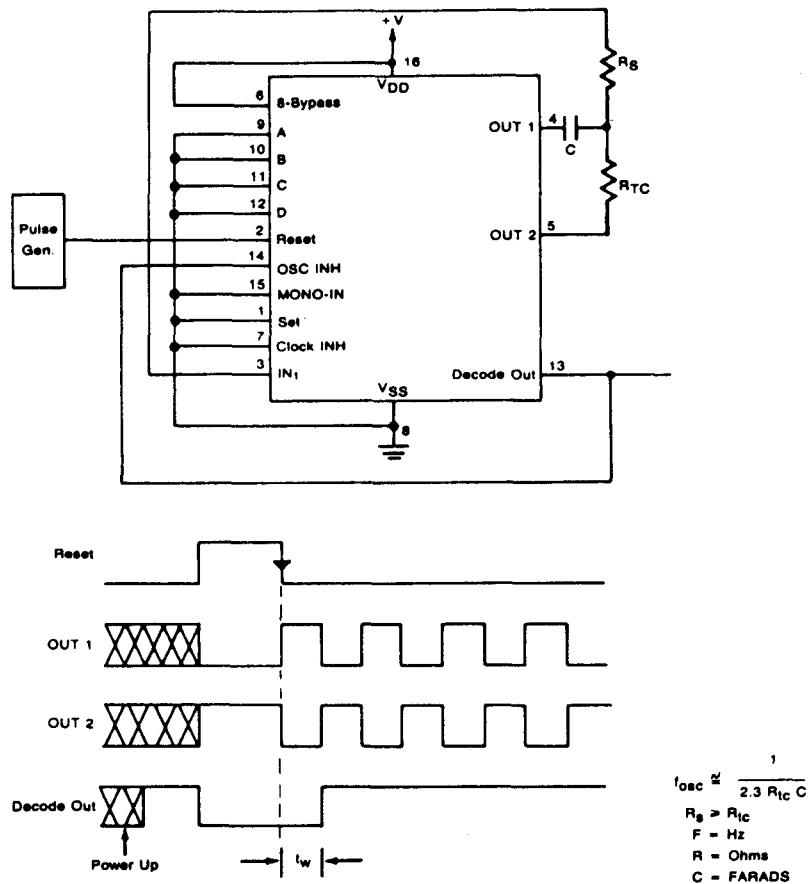
## 9.3 (1)4xxx-serie CMOS

TIME INTERVAL CONFIGURATION USING AN EXTERNAL CLOCK, RESET, AND OUTPUT MONOSTABLE TO ACHIEVE A PULSE OUTPUT. (DIVIDE-BY-4 CONFIGURED).



**Note:** When Power is first applied to the device with the Reset input going high, Decode Out initializes low. Bringing the Reset input low enables the chip's internal counters. After Reset goes low, the  $2^{n/2}$  negative transition of the clock input causes Decode Out to go high. Since the Mono-In input is being used, the output becomes monostable. The pulse width of the output is dependent on the external timing components. The second and all subsequent pulses occur at  $2^n \times$  (the clock period) intervals where  $n$  = the number of stages selected from the truth table.

## 9.3 (1)4xxx-serie CMOS

TIME INTERVAL CONFIGURATION USING ON-CHIP RC OSCILLATOR AND RESET INPUT TO INITIATE TIME INTERVAL  
(DIVIDE-BY-2 CONFIGURED)

Note: This circuit is designed to use the on-chip oscillation function. The oscillator frequency is determined by the external R and C components. When power is first applied to the device, Decode Out initializes to a high state. Because this output is tied directly to the Osc-Inh input, the oscillator is disabled. This puts the device in a low-current standby condition. The rising edge of the Reset pulse will cause the output to go low. This in turn causes Osc-Inh to go low. However, while Reset is high, the oscillator is still disabled (i.e., standby condition). After Reset goes low, the output remains low for 2<sup>n</sup>/2 of the oscillator's period. After the part times out, the output again goes high.

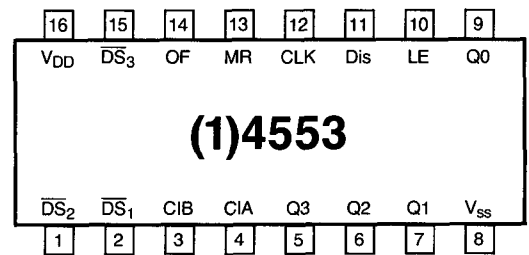
leverbaar: MC 14536 B

9.3 (1)4xxx-serie CMOS

# (1)4553

3-cijferige BCD-teller met oscillator, latches en multiplexer

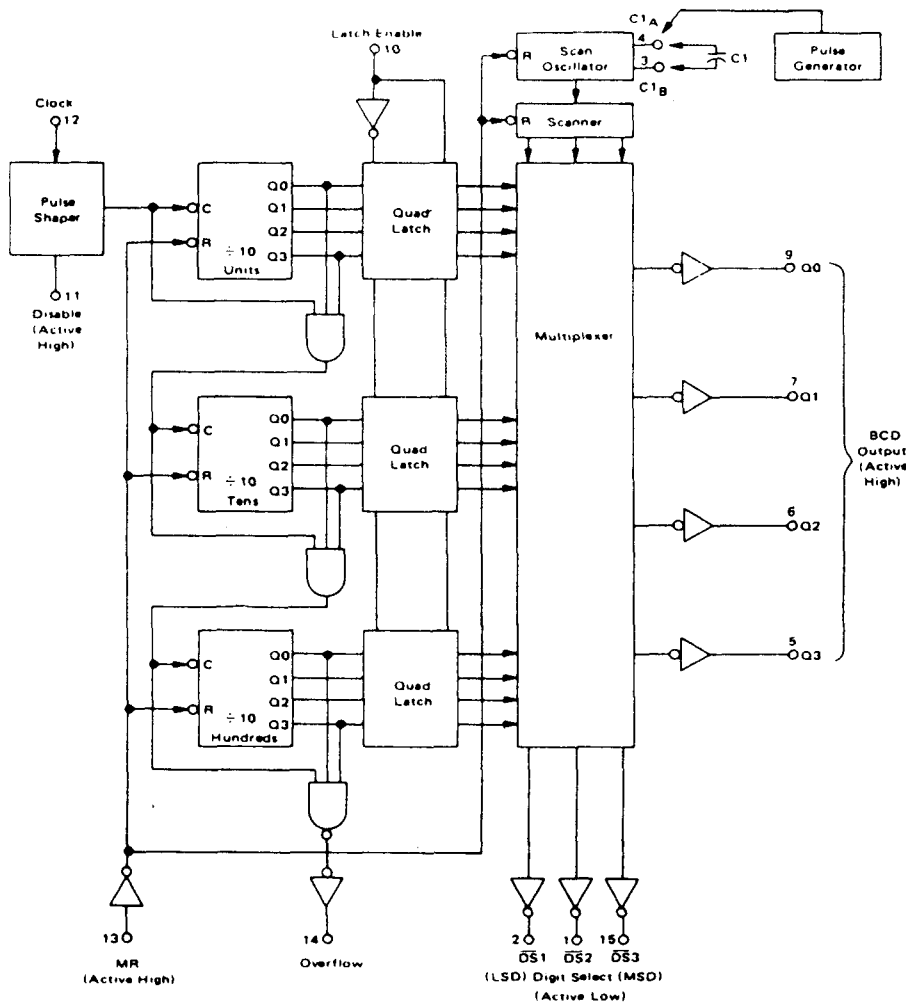
Figuur 4/9.3-533



TRUTH TABLE				
INPUTS				OUTPUTS
MASTER RESET	CLOCK	DISABLE	LE	
0		0	0	No Change
0		0	0	Advance
0	x	1	x	No Change
0	1		0	Advance
0	1		0	No Change
0	0	x	x	No Change
0	x	x		Latched
0	x	x	1	Latched
1	x	x	0	Q0 = Q1 = Q2 = Q3 = 0

X = Don't Care

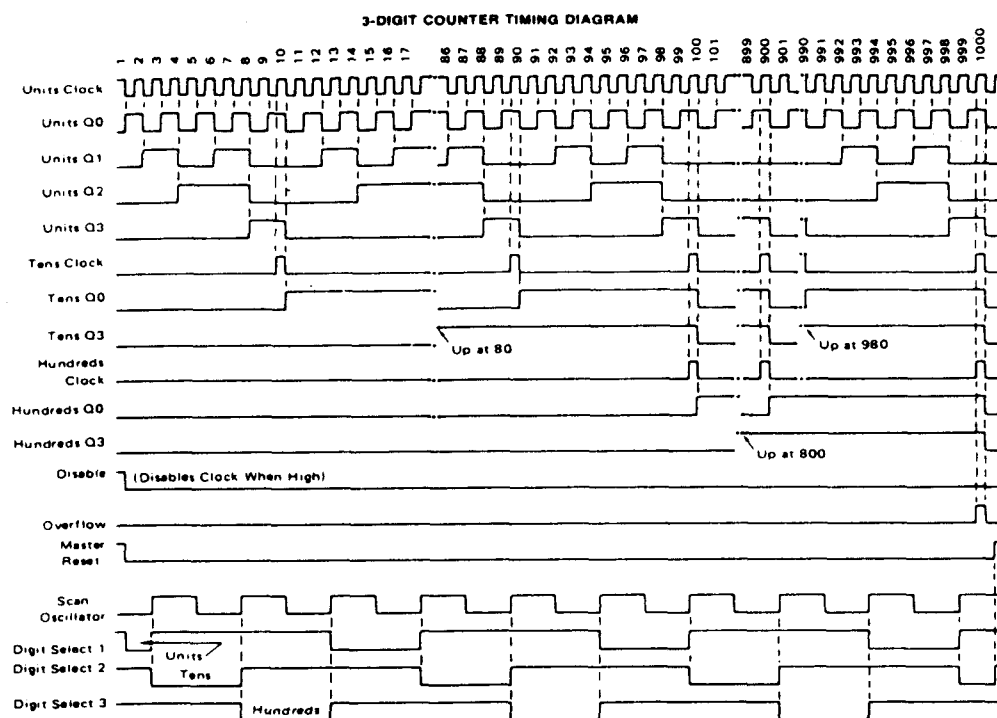
waarheidstabel



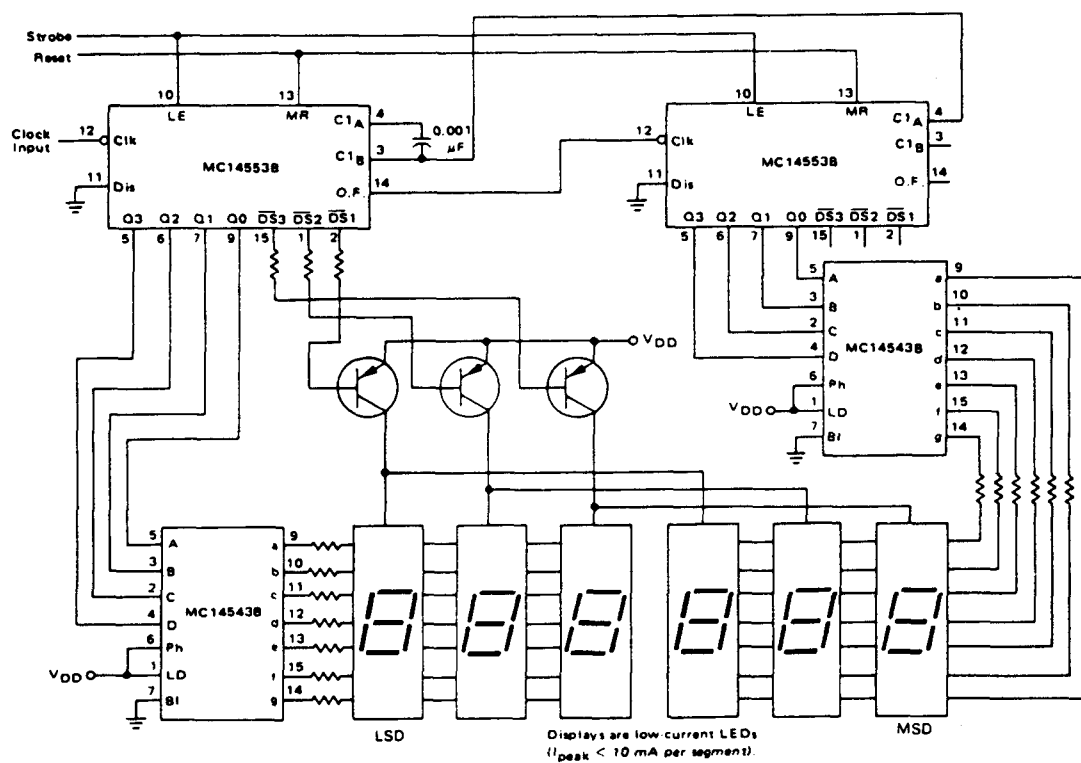
leverbaar: MC 14553 B

uitgebreid functioneel blokschema

## 9.3 (1)4xxx-serie CMOS



timing



toepassingsvoorbeeld



# 4/9.5

## Speciale IC's uit de 74C-serie

### 74C925

#### 4-digit counter met gemultiplexte 7-segment output drivers

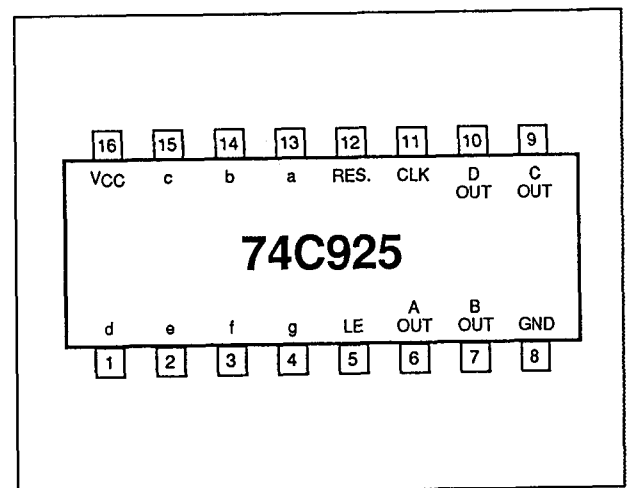
De 74C925 teller bestaat uit een 4-cijferige decimale teller, een interne uitgangslatch, NPN "sourcing" uitgangsdrievors voor een 7-segment display en een inwendige multiplexer voor 4 gemultiplexte uitgangen. De multiplex-schakeling heeft een eigen vrijlopende oscillator, zodat daar geen externe clock voor nodig is. De teller gaat een stap verder op de negatieve flank van de clock. Met een HOOG signaal op de Reset-ingang wordt de teller op nul gezet. Wordt de Latch Enable-ingang LAAG gemaakt dan wordt de stand van de teller overgenomen door de uitgangslatches.

Om de dissipatie te verminderen en zodoende de verhitting van de chip tegen te gaan, wordt aanbevolen segment-weerstanden te gebruiken. Wanneer heldere display's nodig zijn kan de 75492 goed dienst doen als digit-driver. Wanneer deze driver met een 5 V voeding bij kamertemperatuur wordt gebruikt zijn geen segmentweerstand nodig. Bij een hogere spanning of hogere temperatuur is echter voorzichtigheid geboden.

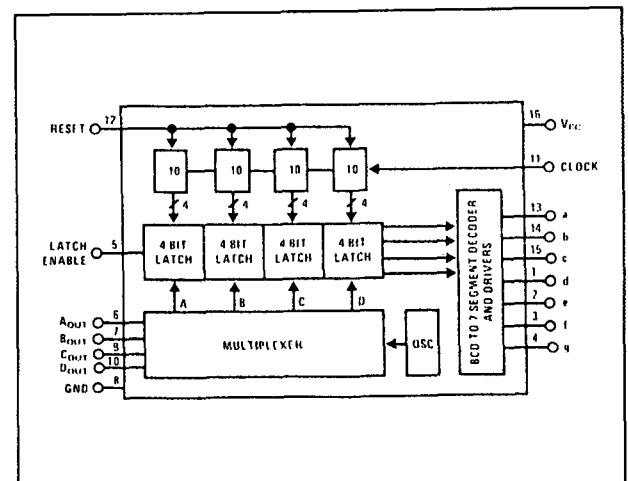
De 4-decadenteller 74C925 heeft een Clock-, een Latch Enable- en een Reset-ingang. Alleen de CMOS-versie MM74C925 van National Semiconductor is leverbaar.

#### Technische gegevens

De technische gegevens van de 74C925 zijn samengevat in de figuren 4/9.5-1 tot en met 4/9.5-5 en de tabellen 4/9.5-1, -2 en -3.

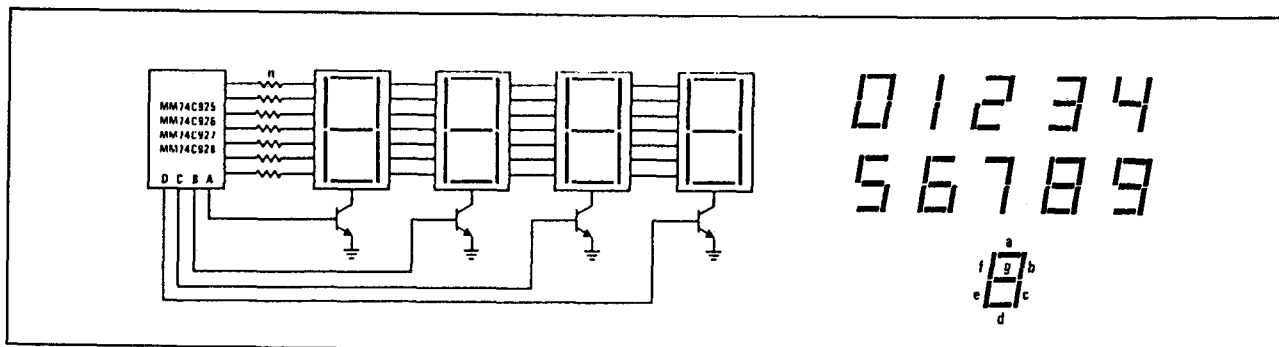


Figuur 4/9.5-1: Aansluitgegevens van de 74C925.

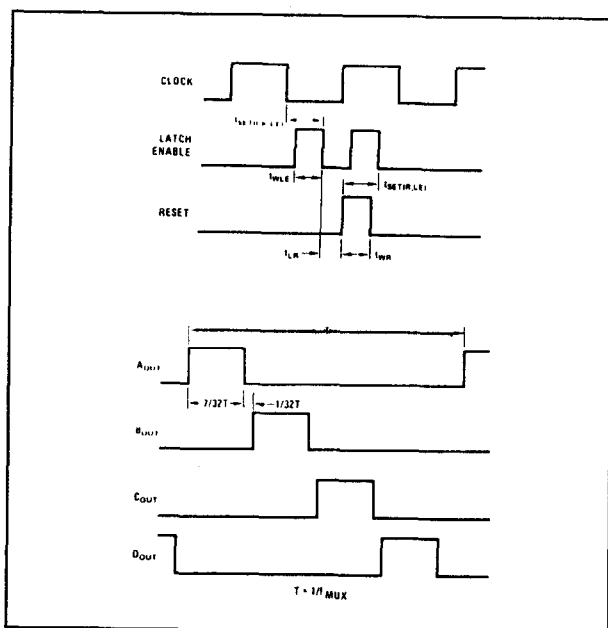


Figuur 4/9.5-2: Functioneel blokschema van de 74C925.

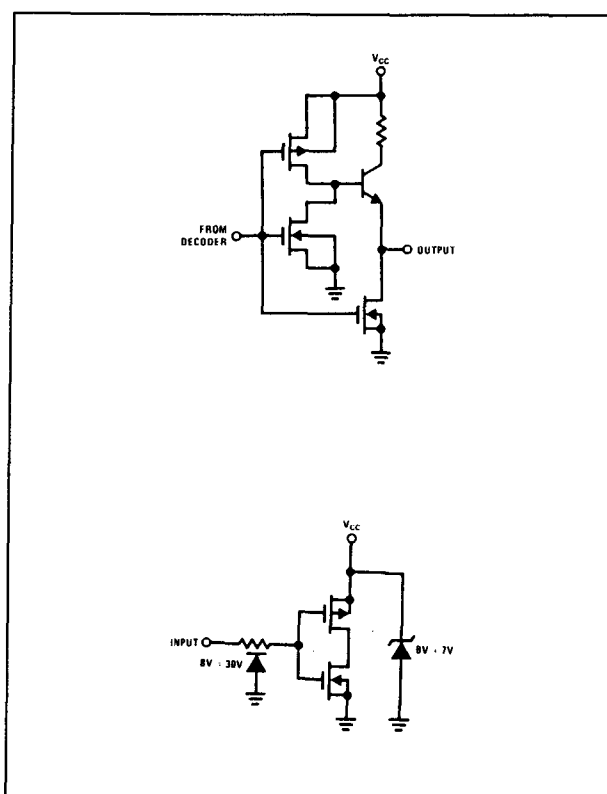
## 9.5 Speciale IC's uit de 74C-serie



**Figuur 4/9.5-3:** Toepassing van de 74C925 en identificatie van de segmenten van een 7-segments display.



**Figuur 4/9.5-4:** Golfvormen aan ingangen en uitgangen van de 74C925.



**Figuur 4/9.5-5:** Constructie van de segment-uitgangen en van de beveiligde ingangen.

**Absolute Maximum Ratings**

Voltage at Any Output Pin	Gnd - 0.3V to $V_{CC} + 0.3V$
Voltage at Any Input Pin	Gnd - 0.3V to +15V
Operating Temperature Range ( $T_A$ )	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Package Dissipation	Refer to $P_{D(MAX)}$ vs $T_A$ Graph
Operating $V_{CC}$ Range	3V to 6V
$V_{CC}$	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

**Tabel 4/9.5-1:** Maximaal toegelaten waarden bij de 74C925.

## 9.5 Speciale IC's uit de 74C-serie

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CMOS TO CMOS</b>						
$V_{IN(1)}$	Logical "1" Input Voltage	$V_{CC} = 5.0V$	3.5			V
$V_{IN(0)}$	Logical "0" Input Voltage	$V_{CC} = 5.0V$			1.5	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-out and Digit Output Only)	$V_{CC} = 5.0V, I_O = -10\mu A$	4.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 5.0V, I_O = 10\mu A$			0.5	V
$I_{IN(1)}$	Logical "1" Input Current	$V_{CC} = 5.0V, V_{IN} = 15V$		0.005	1.0	$\mu A$
$I_{IN(0)}$	Logical "0" Input Current	$V_{CC} = 5.0V, V_{IN} = 0V$	-1.0	-0.005		$\mu A$
$I_{CC}$	Supply Current	$V_{CC} = 5.0V$ , Outputs Open Circuit, $V_{IN} = 0V$ or $5V$		20	1000	$\mu A$
<b>CMOS/LPTTL INTERFACE</b>						
$V_{IN(1)}$	Logical "1" Input Voltage	$V_{CC} = 4.75V$	$V_{CC}-2.0$			V
$V_{IN(0)}$	Logical "0" Input Voltage	$V_{CC} = 4.75V$			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-Out and Digit Output Only)	$V_{CC} = 4.75V$ , $I_O = -360\mu A$	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 4.75V$ , $I_O = 360\mu A$			0.4	V
<b>OUTPUT DRIVE</b>						
$V_{OUT}$	Output Voltage (Segment Sourcing Output)	$I_{OUT} = -65\text{ mA}, V_{CC} = 5V, T_j = 25^\circ C$ $I_{OUT} = -40\text{ mA}, V_{CC} = 5V$ $\begin{cases} T_j = 100^\circ C \\ T_j = 150^\circ C \end{cases}$	$V_{CC}-2.0$ $V_{CC}-1.6$ $V_{CC}-2$	$V_{CC}-1.3$ $V_{CC}-1.2$ $V_{CC}-1.4$		V V V
$R_{ON}$	Output Resistance (Segment Sourcing Output)  Output Resistance (Segment Output) Temperature Coefficient	$I_{OUT} = -65\text{ mA}, V_{CC} = 5V, T_j = 25^\circ C$ $I_{OUT} = -40\text{ mA}, V_{CC} = 5V$ $\begin{cases} T_j = 100^\circ C \\ T_j = 150^\circ C \end{cases}$		20 30 35 0.6	32 40 50 0.8	$\Omega$ $\Omega$ $\Omega$ %/°C
$I_{SOURCE}$	Output Source Current (Digit Output)	$V_{CC} = 4.75V, V_{OUT} = 1.75V, T_j = 150^\circ C$	-1	-2		mA
$I_{SOURCE}$	Output Source Current (Carry-out)	$V_{CC} = 5V, V_{OUT} = 0V, T_j = 25^\circ C$	-1.75	-3.3		mA
$I_{SINK}$	Output Sink Current (All Outputs)	$V_{CC} = 5V, V_{OUT} = V_{CC}, T_j = 25^\circ C$	1.75	3.6		mA
$\theta_{JA}$	Thermal Resistance	MM74C925 (Note 4)		75	100	°C/W

Tabel 4/9.5-2: Gelijkspanningscondities van de 74C925.

## 9.5 Speciale IC's uit de 74C-serie

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{MAX}$	Maximum Clock Frequency	$V_{CC} = 5.0V$ , Square Wave Clock $T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	2 1.5	4 3		MHz MHz
$t_r, t_f$	Maximum Clock Rise or Fall Time	$V_{CC} = 5.0V$			15	$\mu s$
$t_{WR}$	Reset Pulse Width	$V_{CC} = 5.0V$ $T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	250 320	100 125		ns ns
$t_{WLE}$	Latch Enable Pulse Width	$V_{CC} = 5.0V$ $T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	250 320	100 125		ns ns
$t_{SETICK,LE}$	Clock to Latch Enable Set-Up Time	$V_{CC} = 5.0V$ $T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	2500 3200	1250 1600		ns ns
$t_{LR}$	Latch Enable to Reset Wait Time	$V_{CC} = 5.0V$ $T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	0 0	-100 100		ns ns
$t_{SET(R,LE)}$	Reset to Latch Enable Set-Up Time	$V_{CC} = 5.0V$ $T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	320 400	160 200		ns ns
$f_{MUX}$	Multiplexing Output Frequency	$V_{CC} = 5.0V$		1000		Hz
$C_{IN}$	Input Capacitance	Any Input (Note 2)		5		pF

Tabel 4/9.5-3: Schakeltijden van de 74C925.

**74C926****4-digit counter met gemultiplexte  
7-segment output drivers**

De teller 74C926 bestaat uit een 4-cijferige decadenteller, een interne uitgangslatch, NPN "sourcing" uitgangsdrievors voor een 7-segment display en een inwendige multiplexer voor 4 gemultiplexte uitgangen. De multiplex-schakeling heeft een eigen vrijlopende oscillator, zodat voor het aftasten van de cijfers (digits) geen externe clock nodig is. De stand van de teller wordt telkens op de negatieve flank van de clock met één verhoogd.

Met een HOOG signaal op de Reset-ingang wordt de teller op nul en de carry-uitgang LAAG gezet. Wordt de Latch Enable-ingang LAAG gemaakt dan wordt de stand van de teller ingeklokt in de uitgangslatches.

Om de vermogensdissipatie te begrenzen en zodoende verhitting van de chip tegen te gaan, wordt aanbevolen segment-weerstanden te gebruiken.

Wanneer heldere display's nodig zijn kan bijvoorbeeld de 75492 worden toegepast als digit-driver.

Wanneer deze driver met een 5 V voeding bij kamertemperatuur wordt gebruikt zijn geen segmentweerstand nodig. Bij een hogere spanning of hogere temperatuur is echter voorzichtigheid geboden.

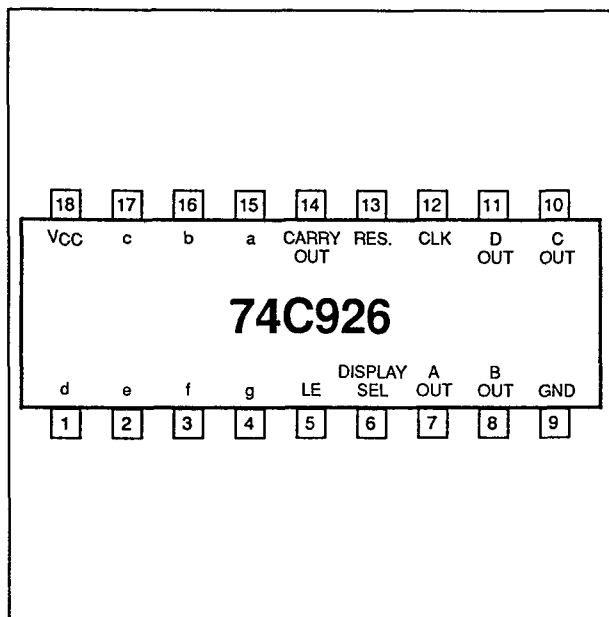
De 74C926 heeft niet alleen een Clock-, een Latch Enable- en een Reset-ingang, maar ook een display select en een carry-uitgang voor het in cascade schakelen van tellers. Het carry-sigitaal gaat HOOG bij 6000 en weer LAAG bij 0000.

Alleen het CMOS-type MM74C926 van National Semiconductor is leverbaar.

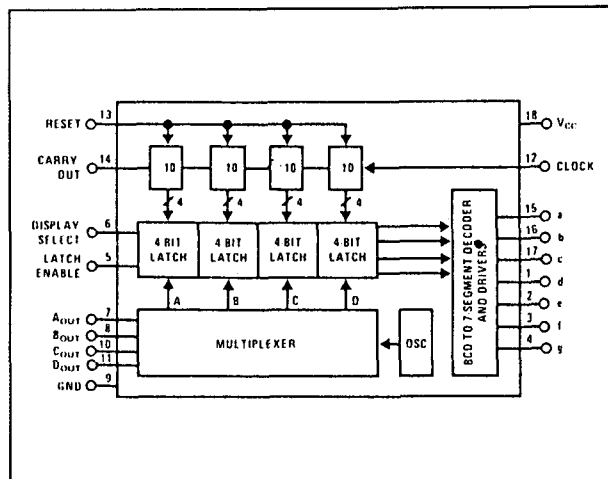
**Technische gegevens**

De technische gegevens van de 74C926 zijn samengevat in de figuren 4/9.5-6 tot en met 4/9.5-10 en de tabellen 4/9.5-4 tot en met 4/9.5-6.

# 9.5 Speciale IC's uit de 74C-serie



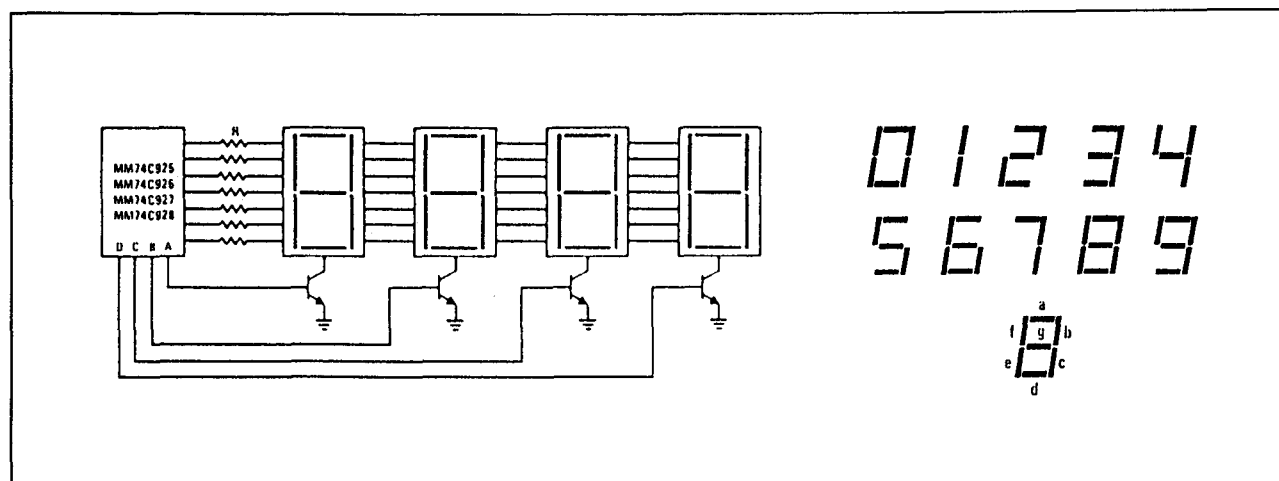
Figuur 4/9.5-6: Aansluitgegevens van de 74C926.



Figuur 4/9.5-7: Functioneel blokschema van de 74C926.

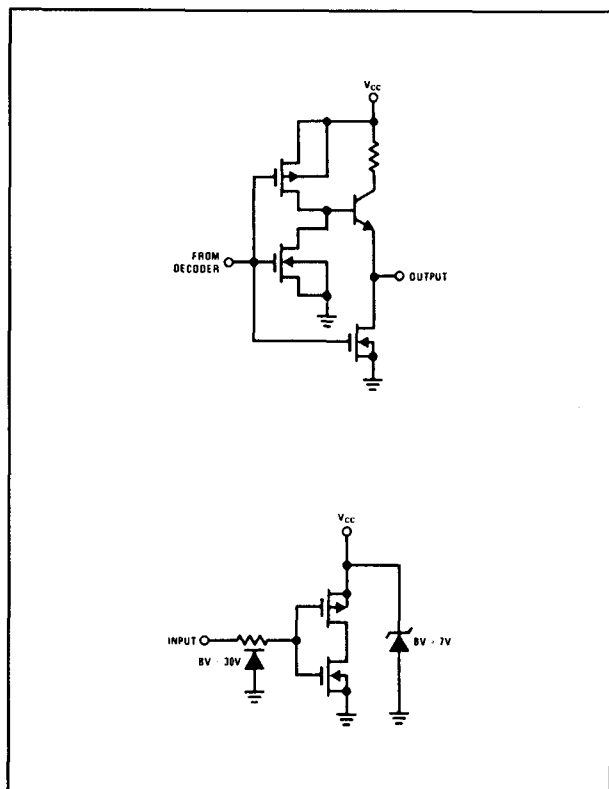
Voltage at Any Output Pin	Gnd - 0.3V to $V_{CC} + 0.3V$
Voltage at Any Input Pin	Gnd - 0.3V to +15V
Operating Temperature Range ( $T_A$ )	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Package Dissipation	Refer to $P_{D(MAX)}$ vs $T_A$ Graph
Operating $V_{CC}$ Range	3V to 6V
$V_{CC}$	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

Tabel 4/9.5-4: Absoluut maximale waarden bij de 74C926.

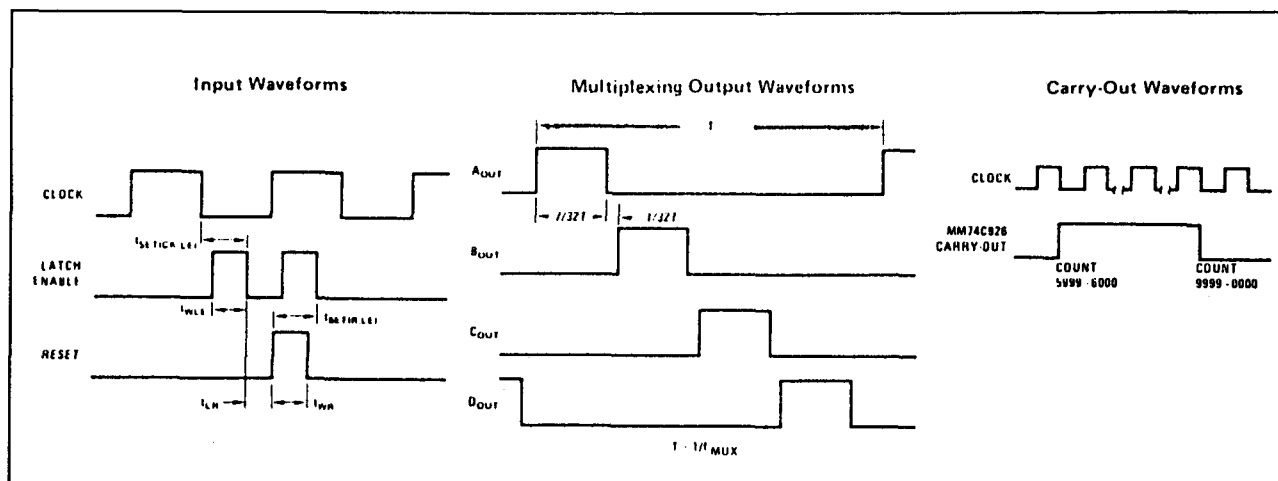


Figuur 4/9.5-8: Praktische schakeling met de 74C926 en betekenis van de segmenten van een 7-segments display.

## 9.5 Speciale IC's uit de 74C-serie



**Figuur 4/9.5-9:** Opbouw van de segment-uitgangen en de beveiligde ingangen van een 74C926.



**Figuur 4/9.5-10:** Golfvormen aan in- en uitgangen van de 74C926.

## 9.5 Speciale IC's uit de 74C-serie

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CMOS TO CMOS</b>						
$V_{IN(1)}$	Logical "1" Input Voltage	$V_{CC} = 5.0V$	3.5			V
$V_{IN(0)}$	Logical "0" Input Voltage	$V_{CC} = 5.0V$			1.5	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-out and Digit Output Only)	$V_{CC} = 5.0V, I_O = -10\mu A$	4.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 5.0V, I_O = 10\mu A$			0.5	V
$I_{IN(1)}$	Logical "1" Input Current	$V_{CC} = 5.0V, V_{IN} = 15V$		0.005	1.0	$\mu A$
$I_{IN(0)}$	Logical "0" Input Current	$V_{CC} = 5.0V, V_{IN} = 0V$	-1.0	-0.005		$\mu A$
$I_{CC}$	Supply Current	$V_{CC} = 5.0V$ , Outputs Open Circuit, $V_{IN} = 0V$ or $5V$		20	1000	$\mu A$
<b>CMOS/LPTTL INTERFACE</b>						
$V_{IN(1)}$	Logical "1" Input Voltage	$V_{CC} = 4.75V$	$V_{CC}-2.0$			V
$V_{IN(0)}$	Logical "0" Input Voltage	$V_{CC} = 4.75V$			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-Out and Digit Output Only)	$V_{CC} = 4.75V$ , $I_O = -360\mu A$	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 4.75V$ , $I_O = 360\mu A$			0.4	V
<b>OUTPUT DRIVE</b>						
$V_{OUT}$	Output Voltage (Segment Sourcing Output)	$I_{OUT} = -65\text{ mA}, V_{CC} = 5V, T_j = 25^\circ C$ $I_{OUT} = -40\text{ mA}, V_{CC} = 5V \begin{cases} T_j = 100^\circ C \\ T_j = 150^\circ C \end{cases}$	$V_{CC}-2.0$ $V_{CC}-1.6$ $V_{CC}-2$	$V_{CC}-1.3$ $V_{CC}-1.2$ $V_{CC}-1.4$		V V V
$R_{ON}$	Output Resistance (Segment Sourcing Output)  Output Resistance (Segment Output) Temperature Coefficient	$I_{OUT} = -65\text{ mA}, V_{CC} = 5V, T_j = 25^\circ C$ $I_{OUT} = -40\text{ mA}, V_{CC} = 5V \begin{cases} T_j = 100^\circ C \\ T_j = 150^\circ C \end{cases}$		20 30 35 0.6	32 40 50 0.8	$\Omega$ $\Omega$ $\Omega$ %/°C
$I_{SOURCE}$	Output Source Current (Digit Output)	$V_{CC} = 4.75V, V_{OUT} = 1.75V, T_j = 150^\circ C$	-1	-2		mA
$I_{SOURCE}$	Output Source Current (Carry-out)	$V_{CC} = 5V, V_{OUT} = 0V, T_j = 25^\circ C$	-1.75	-3.3		mA
$I_{SINK}$	Output Sink Current (All Outputs)	$V_{CC} = 5V, V_{OUT} = V_{CC}, T_j = 25^\circ C$	1.75	3.6		mA
$\theta_{JA}$	Thermal Resistance			70	90	°C/W

Tabel 4/9.5-5: Gelijkspanningscondities van de 74C926.

## 9.5 Speciale IC's uit de 74C-serie

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{MAX}$	Maximum Clock Frequency	$V_{CC} = 5.0V$ , Square Wave Clock	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	4 3		MHz MHz
$t_r, t_f$	Maximum Clock Rise or Fall Time	$V_{CC} = 5.0V$			15	$\mu s$
$t_{WR}$	Reset Pulse Width	$V_{CC} = 5.0V$	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	100 125		ns ns
$t_{WLE}$	Latch Enable Pulse Width	$V_{CC} = 5.0V$	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	100 125		ns ns
$t_{SET(CK,LE)}$	Clock to Latch Enable Set-Up Time	$V_{CC} = 5.0V$	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	1250 1600		ns ns
$t_{LR}$	Latch Enable to Reset Wait Time	$V_{CC} = 5.0V$	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	-100 -100		ns ns
$t_{SET(R,LE)}$	Reset to Latch Enable Set-Up Time	$V_{CC} = 5.0V$	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	160 200		ns ns
$f_{MUX}$	Multiplexing Output Frequency	$V_{CC} = 5.0V$		1000		Hz
$C_{IN}$	Input Capacitance	Any Input (Note 2)		5		pF

Tabel 4/9.5-6: Bij de 74C926 optredende schakeltijden.

**74C927****4-digit counter met gemultiplexte 7-segment output drivers**

De 74C927 teller is een 6000-teller (waarvan de op één na hoogste digit door 6 deelt in plaats van door 10 zoals de anderen).

Verder bevat deze teller interne uitgangslatches, NPN "sourcing" uitgangsdrievors voor een 7-segment display en een inwendige multiplexer voor 4 gemultiplexte uitgangen. De multiplex-schakeling beschikt over een eigen vrijlopende oscillator, zodat deze geen externe clock nodig heeft. De inhoud van de teller wordt op de negatieve flank van de clock met één verhoogd. Met een HOOG signaal op de Reset-ingang wordt de teller op nul gezet en wordt de Carry-uitgang LAAG. Wordt de Latch Enable-ingang LAAG gemaakt dan wordt de stand van de teller overgenomen door de uitgangslatches.

Om de dissipatie te beperken (en verhitting van de chip te voorkomen), dienen segmentweerstandn te worden gebruikt.

Wanneer heldere display's gewenst zijn kan de 75492 worden gebruikt als digit-driver.

Wordt deze driver met een 5V voeding bij kamertemperatuur gebruikt dan zijn geen segmentweerstandn nodig.

Bij een hogere spanning of hogere temperatuur bestaat echter gevaar voor oververhitting.

De 4-digit teller 74C927 heeft Clock-, Latch Enable-, Reset- en Display Select-ingangen en voor het in cascade schakelen een Carry-uitgang.

De eerste, tweede en vierde (hoogste cijfer) trap delen door 10, terwijl de derde trap door 6 deelt.

Als de clockfrequentie dus 10 Hz is, kan op het display het bereik van 10-den seconden tot en met minuten worden afgelezen (maximaal 9:59,9).

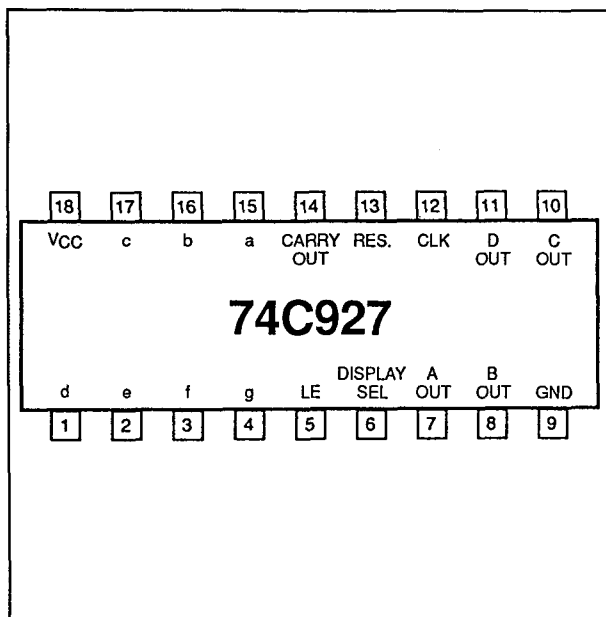
Alleen de CMOS-versie MM74C927 van National Semiconductor is leverbaar.

**Technische gegevens**

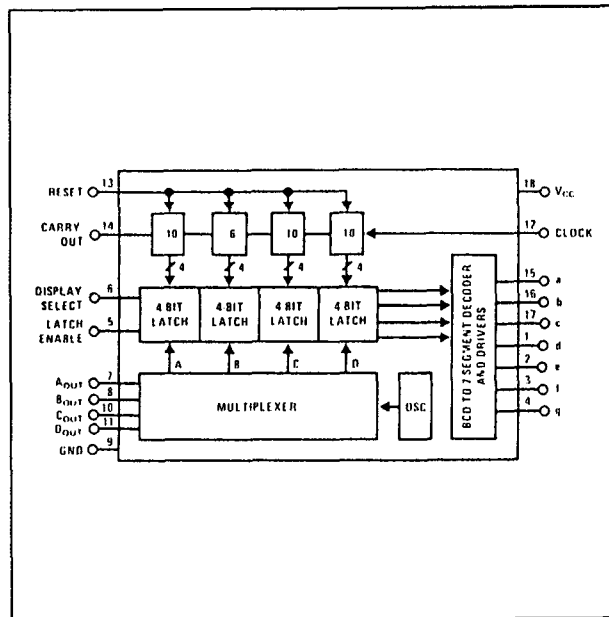
De technische gegevens van de 74C927 zijn samengevat in de figuren 4/9.5-11 tot en met 4/9.5-15 en de tabellen 4/9.5-7, -8 en -9.



### 9.5 Speciale IC's uit de 74C-serie



Figuur 4/9.5-11: Aansluitgegevens van de 74C927.

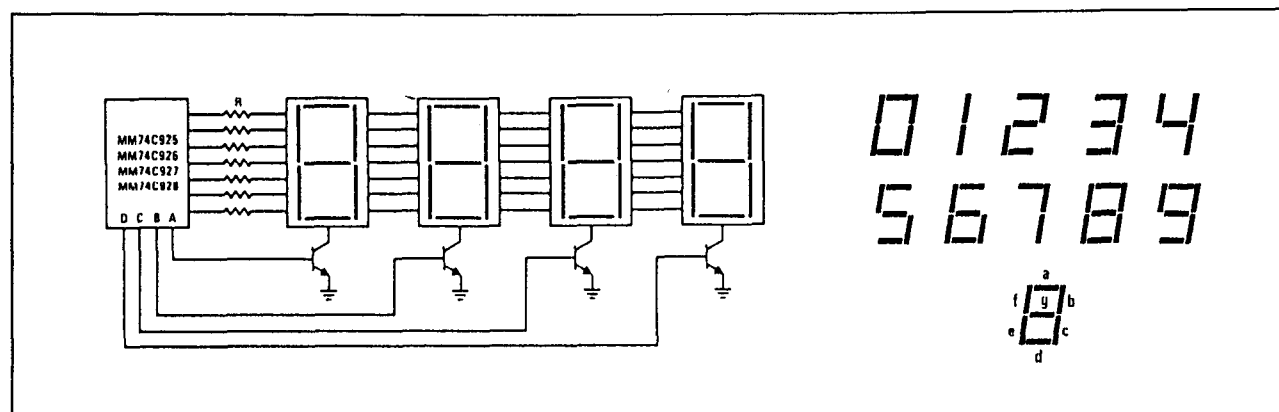


Figuur 4/9.5-12: Functioneel blokschema van de 74C927.

#### Absolute Maximum Ratings

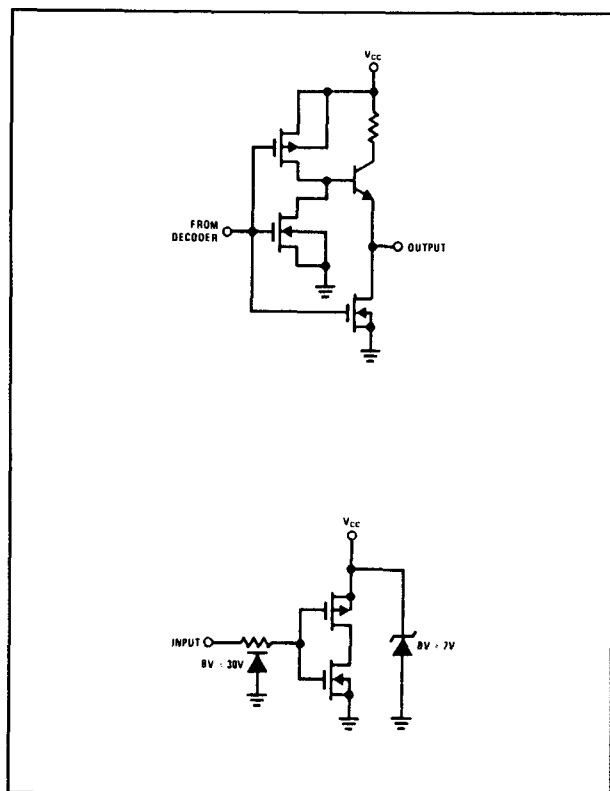
Voltage at Any Output Pin	Gnd - 0.3V to $V_{CC} + 0.3V$
Voltage at Any Input Pin	Gnd - 0.3V to +15V
Operating Temperature Range ( $T_A$ )	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Package Dissipation	Refer to $P_{D(MAX)}$ vs $T_A$ Graph
Operating $V_{CC}$ Range	3V to 6V
$V_{CC}$	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

Tabel 4/9.5-7: Maximaal toelaatbare waarden van de 74C927.

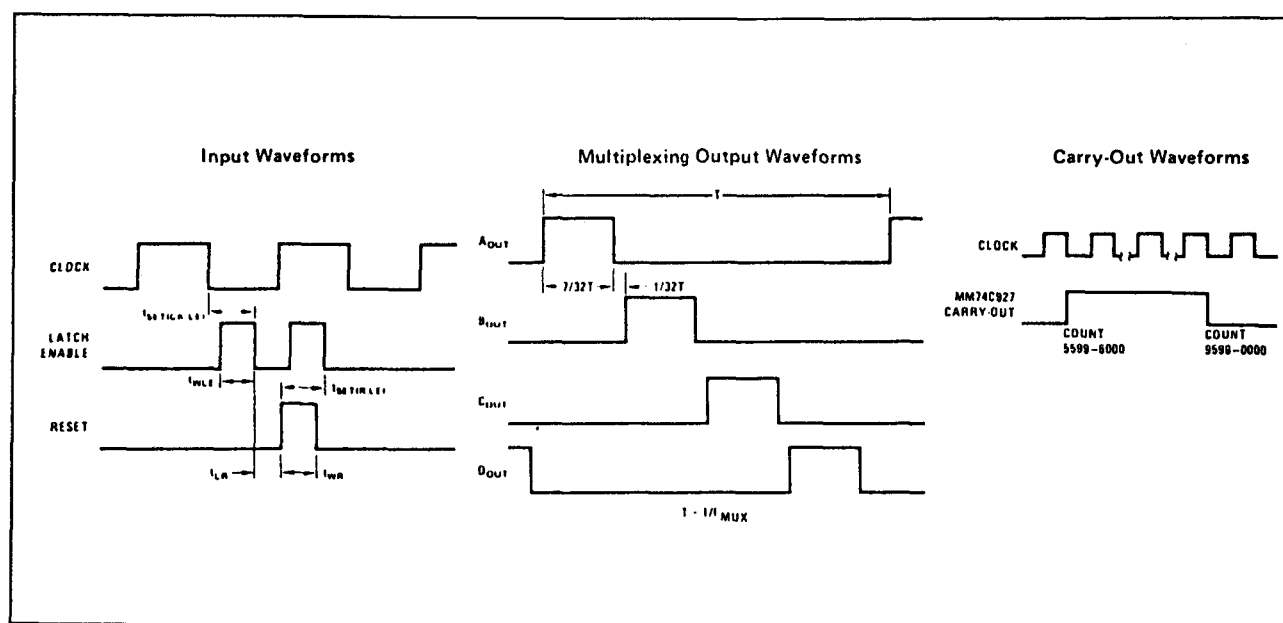


Figuur 4/9.5-13: Toepassingsvoorbeeld met de 74C927 en identificatie van de 7 segmenten van een display.

## 9.5 Speciale IC's uit de 74C-serie



**Figuur 4/9.5-14:** Architectuur van één van de segment-uitgangen en beveiliging van de ingangen.



**Figuur 4/9.5-15:** Golfvormen zoals die optreden aan ingangen en uitgangen van de 74C927.

## 9.5 Speciale IC's uit de 74C-serie

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CMOS TO CMOS</b>						
$V_{IN(1)}$	Logical "1" Input Voltage	$V_{CC} = 5.0V$	3.5			V
$V_{IN(0)}$	Logical "0" Input Voltage	$V_{CC} = 5.0V$			1.5	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-out and Digit Output Only)	$V_{CC} = 5.0V, I_O = -10\mu A$	4.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 5.0V, I_O = 10\mu A$			0.5	V
$I_{IN(1)}$	Logical "1" Input Current	$V_{CC} = 5.0V, V_{IN} = 15V$		0.005	1.0	$\mu A$
$I_{IN(0)}$	Logical "0" Input Current	$V_{CC} = 5.0V, V_{IN} = 0V$	-1.0	-0.005		$\mu A$
$I_{CC}$	Supply Current	$V_{CC} = 5.0V$ , Outputs Open Circuit, $V_{IN} = 0V$ or $5V$		20	1000	$\mu A$
<b>CMOS/LPTTL INTERFACE</b>						
$V_{IN(1)}$	Logical "1" Input Voltage	$V_{CC} = 4.75V$	$V_{CC}-2.0$			V
$V_{IN(0)}$	Logical "0" Input Voltage	$V_{CC} = 4.75V$			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-Out and Digit Output Only)	$V_{CC} = 4.75V$ , $I_O = -360\mu A$	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 4.75V$ , $I_O = 360\mu A$			0.4	V
<b>OUTPUT DRIVE</b>						
$V_{OUT}$	Output Voltage (Segment Sourcing Output)	$I_{OUT} = -65\text{ mA}, V_{CC} = 5V, T_j = 25^\circ C$ $I_{OUT} = -40\text{ mA}, V_{CC} = 5V$ $\begin{cases} T_j = 100^\circ C \\ T_j = 150^\circ C \end{cases}$	$V_{CC}-2.0$ $V_{CC}-1.6$ $V_{CC}-2$	$V_{CC}-1.3$ $V_{CC}-1.2$ $V_{CC}-1.4$		V V V
$R_{ON}$	Output Resistance (Segment Sourcing Output)  Output Resistance (Segment Output) Temperature Coefficient	$I_{OUT} = -65\text{ mA}, V_{CC} = 5V, T_j = 25^\circ C$ $I_{OUT} = -40\text{ mA}, V_{CC} = 5V$ $\begin{cases} T_j = 100^\circ C \\ T_j = 150^\circ C \end{cases}$		20 30 35 0.6	32 40 50 0.8	$\Omega$ $\Omega$ $\Omega$ %/°C
$I_{SOURCE}$	Output Source Current (Digit Output)	$V_{CC} = 4.75V, V_{OUT} = 1.75V, T_j = 150^\circ C$	-1	-2		mA
$I_{SOURCE}$	Output Source Current (Carry-out)	$V_{CC} = 5V, V_{OUT} = 0V, T_j = 25^\circ C$	-1.75	-3.3		mA
$I_{SINK}$	Output Sink Current (All Outputs)	$V_{CC} = 5V, V_{OUT} = V_{CC}, T_j = 25^\circ C$	1.75	3.6		mA
$\theta_{JA}$	Thermal Resistance			70	90	°C/W

Tabel 4/9-5-8: Gelijkspanningscondities bij de 74C927.

## 9.5 Speciale IC's uit de 74C-serie

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{MAX}$	Maximum Clock Frequency	$V_{CC} = 5.0V$ , Square Wave Clock	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	2 1.5	4 3	MHz MHz
$t_r, t_f$	Maximum Clock Rise or Fall Time	$V_{CC} = 5.0V$			15	$\mu s$
$t_{WR}$	Reset Pulse Width	$V_{CC} = 5.0V$	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	250 320	100 125	ns ns
$t_{WLE}$	Latch Enable Pulse Width	$V_{CC} = 5.0V$	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	250 320	100 125	ns ns
$t_{SET(CK,LE)}$	Clock to Latch Enable Set-Up Time	$V_{CC} = 5.0V$	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	2500 3200	1250 1600	ns ns
$t_{LR}$	Latch Enable to Reset Wait Time	$V_{CC} = 5.0V$	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	0 0	-100 -100	ns ns
$t_{SET(R,LE)}$	Reset to Latch Enable Set-Up Time	$V_{CC} = 5.0V$	$T_j = 25^{\circ}C$ $T_j = 100^{\circ}C$	320 400	160 200	ns ns
$f_{MUX}$	Multiplexing Output Frequency	$V_{CC} = 5.0V$		1000		Hz
$C_{IN}$	Input Capacitance	Any Input (Note 2)		5		pF

Tabel 4/9.5-9: Schakeltijden van de 74C927.

**74C928****4-digit counter met gemultiplexte 7-segment output drivers**

De 74C928 is een teller waarvan de hoogste digit door 2 deelt in plaats van door 10 zoals de anderen.

Aangezien de Carry-uitgang HOOG gaat als de teller op 2000 komt en weer LAAG wordt bij 0000 is dit een 3 1/2-digit teller. Verder bevat de 74C928 interne uitgangslatches, NPN "sourcing" uitgangsdrievors voor 7-segment display's en een interne multiplexer voor 4 gemultiplexte uitgangen. De multiplex-schakeling beschikt over een eigen vrijlopende oscillator, zodat deze geen externe clock voor nodig heeft.

De inhoud van de teller wordt op de negatieve flank van de clock met één verhoogd. Met een HOOG signaal op de Reset-ingang wordt de teller op nul en de Carry-uitgang LAAG gezet. Wordt de Latch Enable-ingang LAAG gemaakt dan wordt de stand van de teller overgenomen door de uitgangslatches.

Om de dissipatie te beperken (en verhitting van de chip te voorkomen), moeten segment-weerstanden worden gebruikt. Als heldere display's gewenst zijn kan de 75492 worden gebruikt als digit-driver (bij 5 V en kamertemperatuur zijn geen segmentweerstand nodig). Bij een hogere spanning of hogere temperatuur bestaat echter gevaar voor oververhitting.

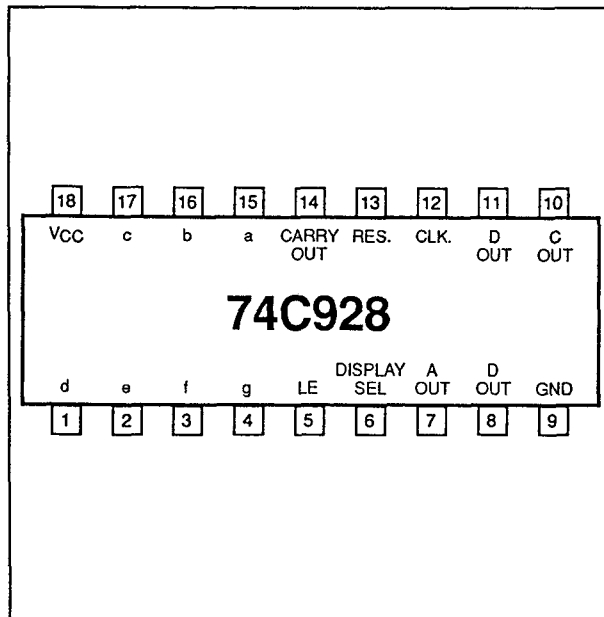
De 3 1/2-digit teller 74C928 heeft Clock-, Reset-, Latch Enable- en Display Select-ingangen en een Carry-uitgang. De laagste drie trappen delen door 10 en de hoogste door 2.

Alleen het CMOS-type MM74C928 van National Semiconductor is leverbaar.

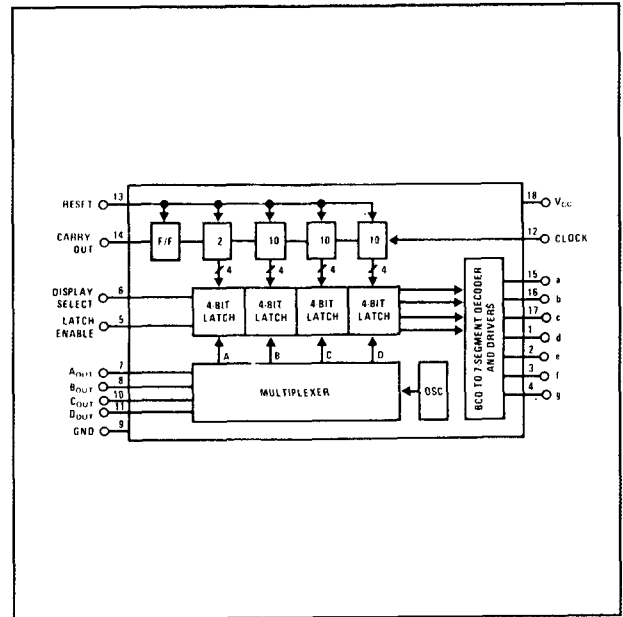
**Technische gegevens**

De technische gegevens van de 74C928 zijn samengevat in de figuren 4/9.5-16 tot en met 4/9.5-20 en de tabellen 4/9.5-10, -11 en -12.

### 9.5 Speciale IC's uit de 74C-serie



**Figuur 4/9.5-16:** Aansluitgegevens van de 74C928.

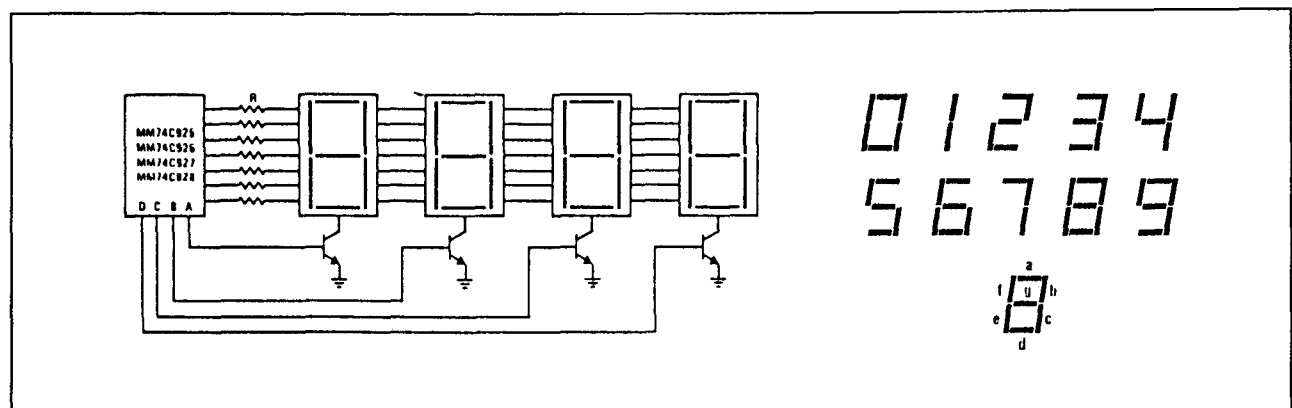


**Figuur 4/9.5-17:** Functioneel blokschema van de 74C928.

#### Absolute Maximum Ratings (Note 1)

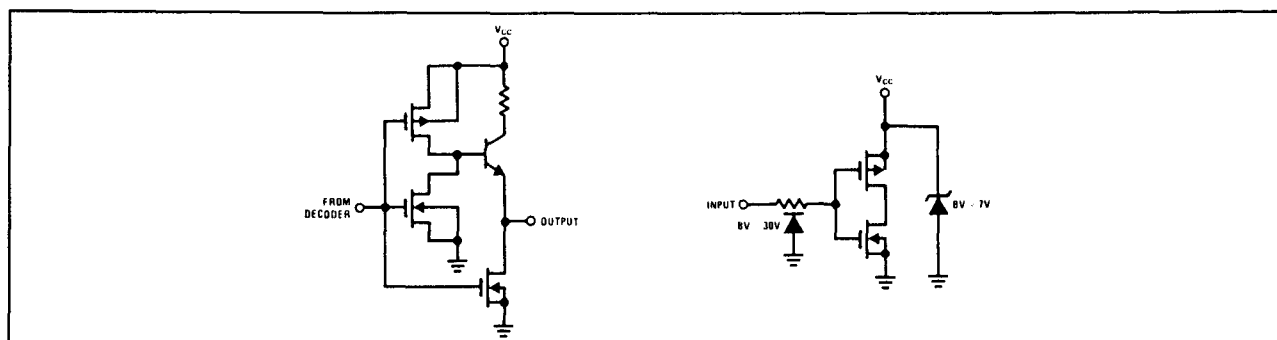
Voltage at Any Output Pin	Gnd - 0.3V to $V_{CC} + 0.3V$
Voltage at Any Input Pin	Gnd - 0.3V to +15V
Operating Temperature Range ( $T_A$ )	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Package Dissipation	Refer to $P_{D(MAX)}$ vs $T_A$ Graph
Operating $V_{CC}$ Range	3V to 6V
$V_{CC}$	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

**Tabel 4/9.5-10:** Maximaal toelaatbare waarden van de 74C928.



**Figuur 4/9.5-18:** Toepassing van de 74C928 en identificatie van de 7 segmenten van een display.

## 9.5 Speciale IC's uit de 74C-serie

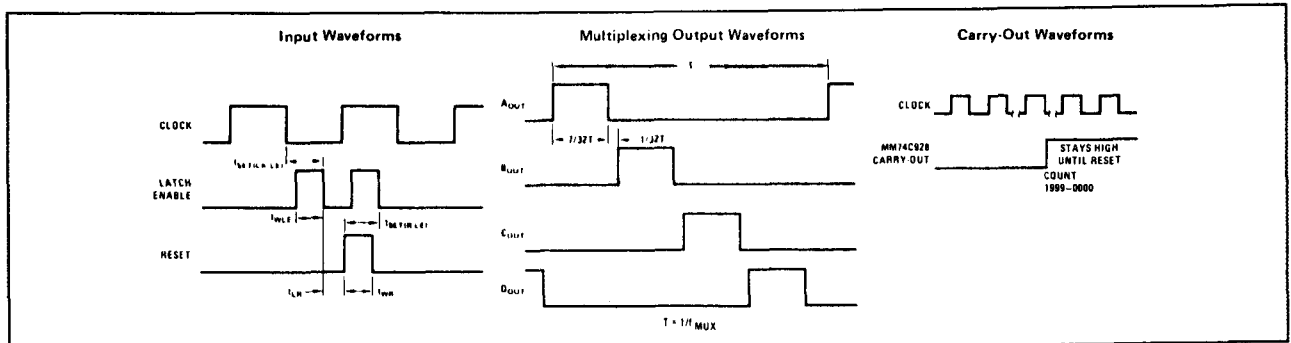


Figuur 4/9.5-19: Inrichting van de segment-uitgangen en beveiliging van de ingangen.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CMOS TO CMOS</b>						
$V_{IN(1)}$	Logical "1" Input Voltage	$V_{CC} = 5.0V$	3.5			V
$V_{IN(0)}$	Logical "0" Input Voltage	$V_{CC} = 5.0V$			1.5	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-out and Digit Output Only)	$V_{CC} = 5.0V, I_O = -10\mu A$	4.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 5.0V, I_O = 10\mu A$			0.5	V
$I_{IN(1)}$	Logical "1" Input Current	$V_{CC} = 5.0V, V_{IN} = 15V$		0.005	1.0	$\mu A$
$I_{IN(0)}$	Logical "0" Input Current	$V_{CC} = 5.0V, V_{IN} = 0V$	-1.0	-0.005		$\mu A$
$I_{CC}$	Supply Current	$V_{CC} = 5.0V$ , Outputs Open Circuit, $V_{IN} = 0V$ or $5V$		20	1000	$\mu A$
<b>CMOS/LPTTL INTERFACE</b>						
$V_{IN(1)}$	Logical "1" Input Voltage	$V_{CC} = 4.75V$	$V_{CC}-2.0$			V
$V_{IN(0)}$	Logical "0" Input Voltage	$V_{CC} = 4.75V$			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-Out and Digit Output Only)	$V_{CC} = 4.75V$ , $I_O = -360\mu A$	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 4.75V$ , $I_O = 360\mu A$			0.4	V
<b>OUTPUT DRIVE</b>						
$V_{OUT}$	Output Voltage (Segment Sourcing Output)	$I_{OUT} = -65mA, V_{CC} = 5V, T_J = 25^\circ C$ $I_{OUT} = -40mA, V_{CC} = 5V$ $\begin{cases} T_J = 100^\circ C \\ T_J = 150^\circ C \end{cases}$	$V_{CC}-2.0$ $V_{CC}-1.6$ $V_{CC}-2$	$V_{CC}-1.3$ $V_{CC}-1.2$ $V_{CC}-1.4$		V V V
$R_{ON}$	Output Resistance (Segment Sourcing Output)	$I_{OUT} = -65mA, V_{CC} = 5V, T_J = 25^\circ C$ $I_{OUT} = -40mA, V_{CC} = 5V$ $\begin{cases} T_J = 100^\circ C \\ T_J = 150^\circ C \end{cases}$		20 30 35	32 40 50	$\Omega$ $\Omega$ $\Omega$
	Output Resistance (Segment Output) Temperature Coefficient			0.6	0.8	$\%/^\circ C$
$I_{SOURCE}$	Output Source Current (Digit Output)	$V_{CC} = 4.75V, V_{OUT} = 1.75V, T_J = 150^\circ C$	-1	-2		mA
$I_{SOURCE}$	Output Source Current (Carry-out)	$V_{CC} = 5V, V_{OUT} = 0V, T_J = 25^\circ C$	-1.75	-3.3		mA
$I_{SINK}$	Output Sink Current (All Outputs)	$V_{CC} = 5V, V_{OUT} = V_{CC}, T_J = 25^\circ C$	1.75	3.6		mA
$\theta_{JA}$	Thermal Resistance			70	90	$^\circ C/W$

Tabel 4/9.5-11: Gelijkspanningscondities van de 74C928.

### 9.5 Speciale IC's uit de 74C-serie



**Figuur 4/9.5-20:** Golfvormen die optreden aan ingangen en uitgangen van de 74C928.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{MAX}$	Maximum Clock Frequency	$V_{CC} = 5.0V$ , Square Wave Clock $T_j = 25^\circ C$ $T_j = 100^\circ C$	2 1.5	4 3		MHz MHz
$t_r, t_f$	Maximum Clock Rise or Fall Time	$V_{CC} = 5.0V$			15	$\mu s$
$t_{WR}$	Reset Pulse Width	$V_{CC} = 5.0V$ $T_j = 25^\circ C$ $T_j = 100^\circ C$	250 320	100 125		ns ns
$t_{WLE}$	Latch Enable Pulse Width	$V_{CC} = 5.0V$ $T_j = 25^\circ C$ $T_j = 100^\circ C$	250 320	100 125		ns ns
$t_{SET(CK,LE)}$	Clock to Latch Enable Set-Up Time	$V_{CC} = 5.0V$ $T_j = 25^\circ C$ $T_j = 100^\circ C$	2500 3200	1250 1600		ns ns
$t_{LR}$	Latch Enable to Reset Wait Time	$V_{CC} = 5.0V$ $T_j = 25^\circ C$ $T_j = 100^\circ C$	0 0	100 100		ns ns
$t_{SET(R,LE)}$	Reset to Latch Enable Set-Up Time	$V_{CC} = 5.0V$ $T_j = 25^\circ C$ $T_j = 100^\circ C$	320 400	160 200		ns ns
$f_{MUX}$	Multiplexing Output Frequency	$V_{CC} = 5.0V$		1000		Hz
$C_{IN}$	Input Capacitance	Any Input (Note 2)		5		pF

**Tabel 4/9.5-12:** Schakeltijden van de 74C928.

## 74C945

### 4-digit up/down counter/latch/decoder/driver

De 74C945 is een 4-cijferige teller waarmee LCD-display's direct aangestuurd kunnen worden. De 74C945 bevat een 4-decaden op-/neerteller met uitgangslatches, een teller/latch-select multiplexer en 7-segment decoders. Tevens is de chip voorzien van de oscillator/driver, segmentdrivers en de display-blank schakeling. Het IC heeft 28 segment-uitgangen voor het aansturen van een 4-cijferig display. De golfvormen voor segmenten en backplane worden weliswaar intern gegenereerd, maar ze kunnen ook af-

hankelijk worden gemaakt van een extern signaal (bijvoorbeeld een andere 74C945). Hierdoor kunnen meerdere display's gemakkelijker in cascade worden geschakeld, waarbij ook de Carry- (/Borrow-) uitgang wordt gebruikt. Met het Select- signaal kiest men of de inhoud van de teller of die van de latch wordt zichtbaar gemaakt. De Reset en Store signalen maken toepassing als periode- of frequentieteller mogelijk.

### Beschrijving van de signalen

#### – Backplane In/Out

Wanneer de oscillator-ingang is geaard is deze pen een ingang waarmee een extern

## 9.5 Speciale IC's uit de 74C-serie

apparaat een backplane-golfvorm kan invoeren.

Is de oscillator-ingang open dan is deze pen een uitgang en levert hij het backplane-sigitaal voor de display.

- Oscillator

De oscillatie-frequentie (typisch 85 Hz) kan worden verlaagd door een condensator ( $C_{osc}$ ) tussen deze pen en aarde aan te sluiten.

Als deze pen aan aarde wordt gelegd, kan de teller als slaaf van een extern backplane worden gebruikt.

- Store

Deze ingang bestuurt de op de chip aanwezige latches.

Als Store LAAG is staan de latches in de "doorstroom" mode (de uitgangen volgen de teller). Als Store HOOG dan wordt de inhoud van de teller opgeslagen (en vastgehouden) in de latches.

- Reset

LAAG reset de teller op nul.

- Clock

De teller doet een stap op de negatieve flank.

- Enable

LAAG stopt de werking van de teller.

- Blanking

Met HOOG wordt niets zichtbaar (blank).

- Select

HOOG laat de inhoud van de teller zien en LAAG die van de latches.

- Carry

Deze uitgang gaat HOOG als bij het optellen 9999 wordt bereikt of 0000 bij het neertellen.

- Up/Down

Als deze ingang HOOG is telt de teller op (neer indien LAAG).

- A1 tot en met G1

Segment-uitgangen van Digit 1.

- A2 tot en met G2

Segment-uitgangen van Digit 2.

- A3 tot en met G3

Segment-uitgangen van Digit 3.

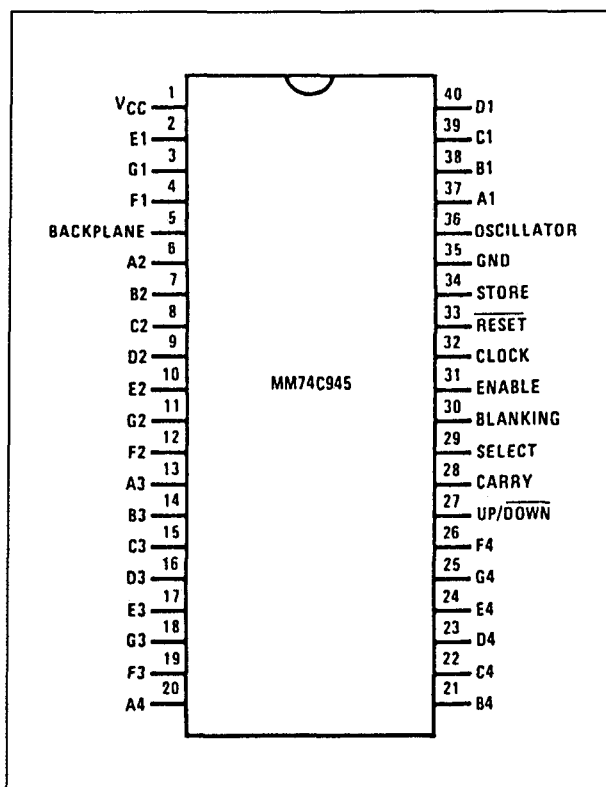
- A4 tot en met G4

Segment-uitgangen van Digit 4.

### Technische gegevens

In de tabellen 4/9.5-13 tot en met 4/9.5-15 en de figuren 4/9.5-21 tot en met 4/9.5-26 zijn de elektrische gegevens van de 74C945 te zien.

Van de 74C945 is alleen de CMOS-versie MM74C945 verkrijgbaar bij National Semiconductor.



Figuur 4/9.5-21: Aansluitgegevens van de 74C945.

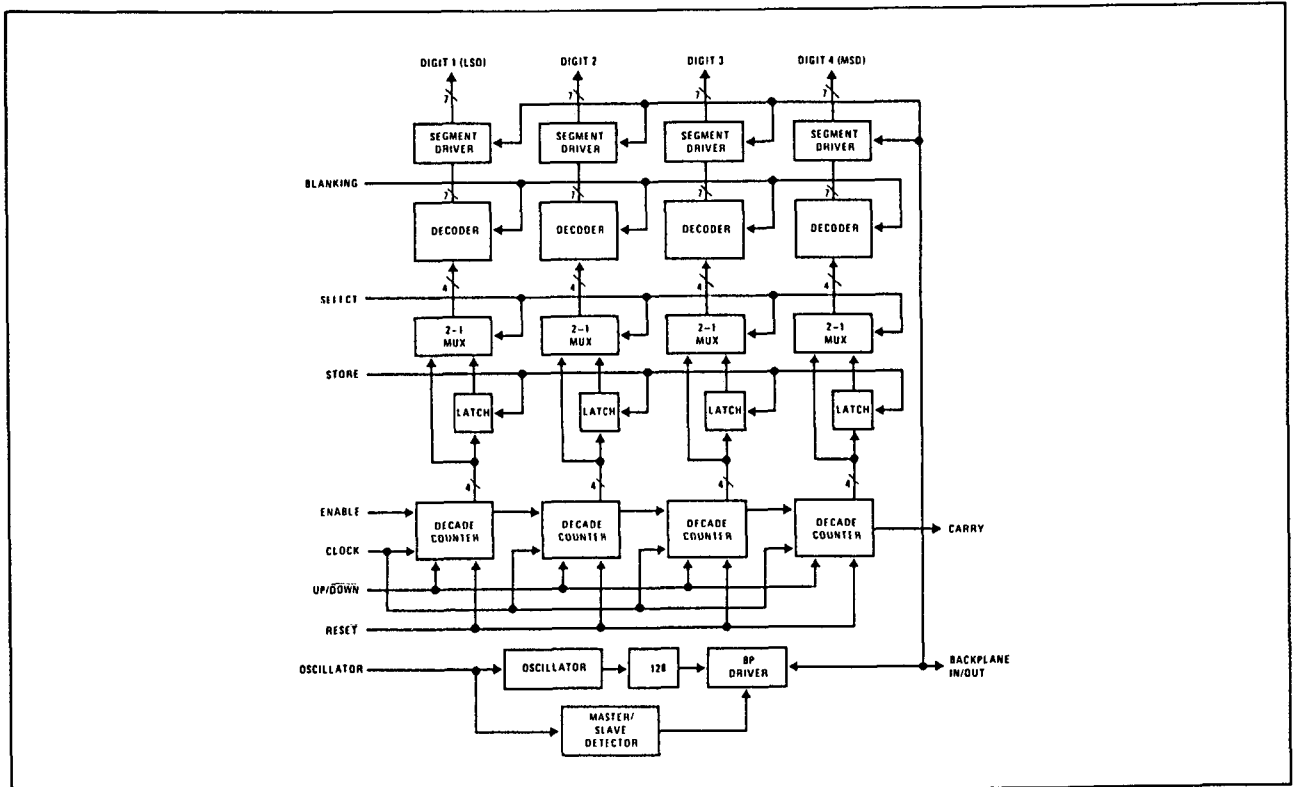
### Absolute Maximum Ratings (Note 1)

Voltage at Any Pin	-0.3V to $V_{CC} + 0.3V$
Operating Temperature Range	-40°C to +85°C
MM74C945/MM74C947	-65°C to +150°C
Storage Temperature Range	-65°C to +150°C
Package Dissipation	500 mW
Operating $V_{CC}$ Range	3.0V to 6.0V
Absolute Maximum $V_{CC}$	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

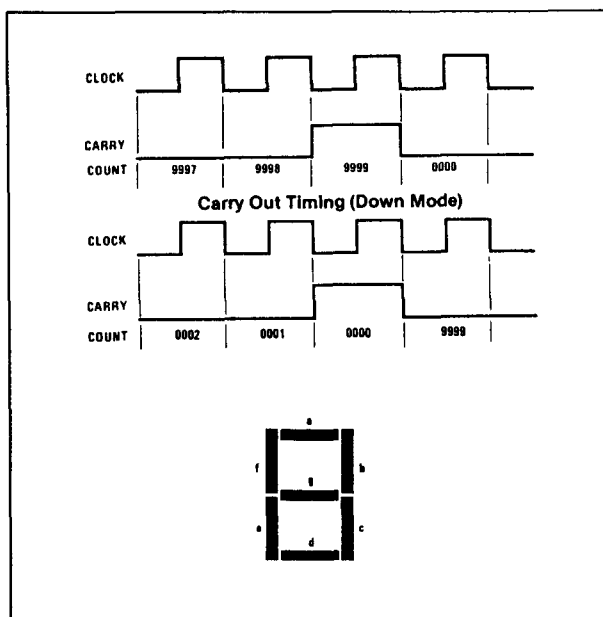
Tabel 4/9.5-13: Maximaal toegelaten waarden voor de 74C945.



### 9.5 Speciale IC's uit de 74C-serie

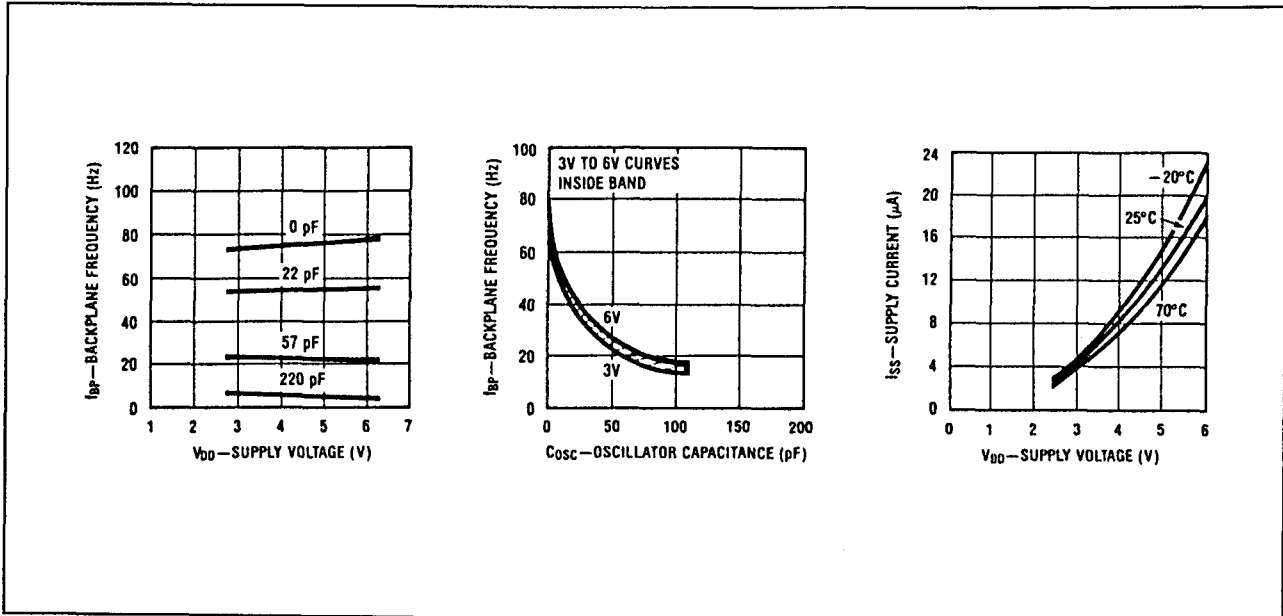


**Figuur 4/9.5-22:** Functioneel blokschema van de 74C945.

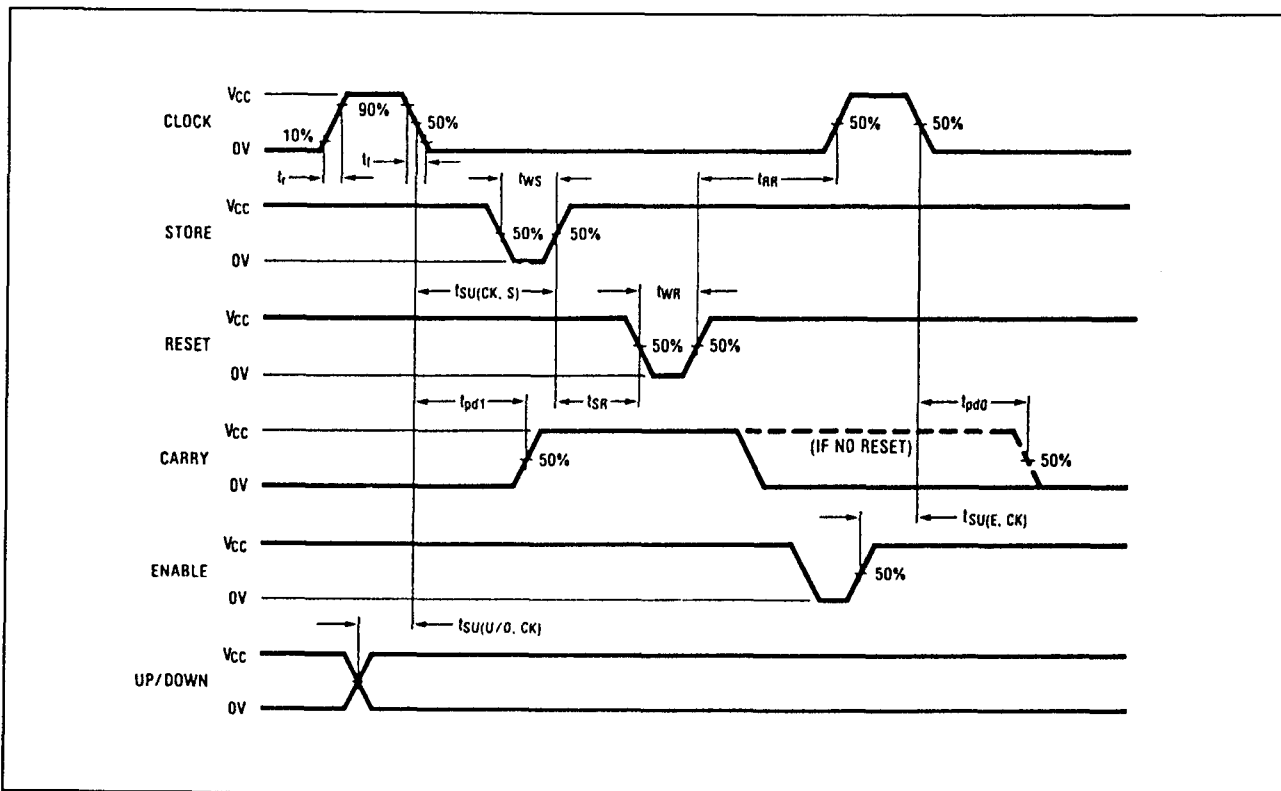


**Figuur 4/9.5-23:** Het Carry-sigitaal bij op- en neertellen en identificatie van de segmenten in een 7-segments display.

## 9.5 Speciale IC's uit de 74C-serie

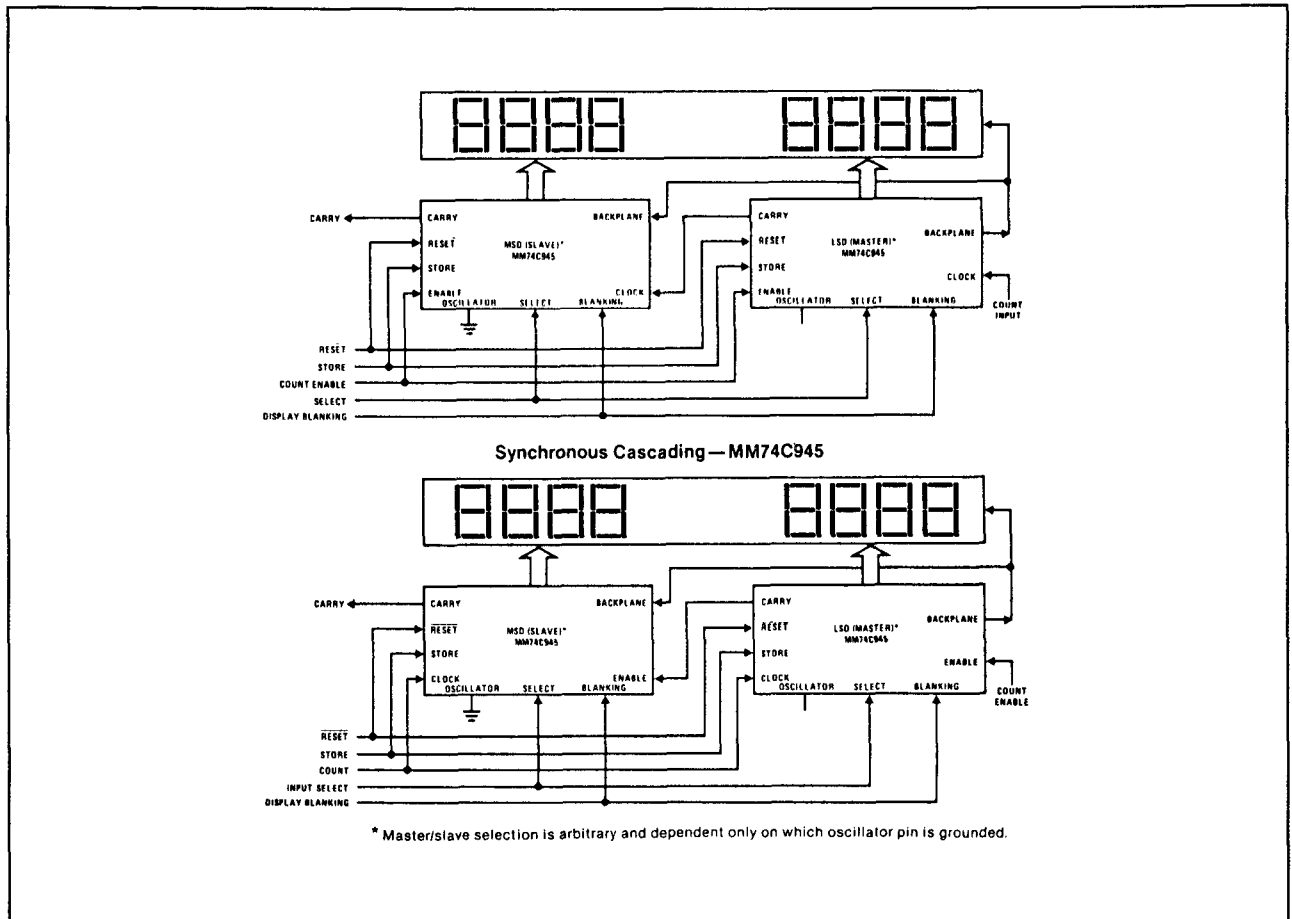


**Figuur 4/9.5-24:** Enkele typische karakteristieken voor een 74C945: backplane-frequentie als functie van de oscillator-condensator (midden) en afhankelijkheid van backplane-frequentie en bedrijfsstroom van de voedingsspanning.



**Figuur 4/9.5-25:** Golfvormen en schakeltijden van de 74C945.

### 9.5 Speciale IC's uit de 74C-serie



**Figuur 4/9.5-26:** Toepassing van meerdere 74C94's voor grotere display's: "ripple-carry" (boven) en synchrone cascadeschakeling (onder).

## 9.5 Speciale IC's uit de 74C-serie

Parameter	Conditions	Min	Typ	Max	Units
<b>CMOS TO CMOS</b>					
$V_{T+}$ Positive Going Threshold Voltage (Clock Only)	$V_{CC} = 5V, V_{IN} (0-5) V$	2.5	2.9	3.25	V
$V_{T-}$ Negative Going Threshold Voltage (Clock Only)	$V_{CC} = 5V, V_{IN} (5-0) V$	1.5	2.2	2.4	V
Hysteresis ( $V_{T+} - V_{T-}$ ) (Clock Only)	$V_{CC} = 5V$	0.1	0.7	1.75	V
Logical "1" Input Voltage ( $V_{IN(1)}$ )	$V_{CC} = 5V$	3.5			V
Logical "0" Input Voltage ( $V_{IN(0)}$ )	$V_{CC} = 5V$			1.5	V
Logical "1" Output Voltage ( $V_{OUT(1)}$ ) (LZO and Carry)	$V_{CC} = 5V, I_O = -10 \mu A$	4.5			V
Logical "0" Output Voltage ( $V_{OUT(0)}$ ) (LZO and Carry)	$V_{CC} = 5V, I_O = +10 \mu A$			0.5	V
Clock Input Current ( $I_{IN}$ )	$V_{CC} = 5V, V_{IN} = 5V/0V$		0.005	1.0	$\mu A$
Input Current @ Pins 29, 31, 33 and 34 (Note 2)	$V_{CC} = 5V, V_{IN} = 0V$	-2.0	-12	-25	$\mu A$
Oscillator Input Current ( $I_{OSL}$ )	$V_{CC} = 5V, V_{IN} = 0V/5V$		$\pm 1$	$\pm 10.0$	$\mu A$
Supply Current ( $I_{CC}$ ) (Note 3)	$V_{CC} = 5V, V_{IN} = 0V/5V$		10	60	$\mu A$
Oscillator Input Voltage $V_{IH} (OSC)$ $V_{IL} (OSC)$	When Driving Oscillator Pin with External Signal	0.2 $V_{CC}$		$V_{CC} - 0.2$	V V
DC Offset Voltage (Note 4)	$V_{CC} = 5V$			25	mV
<b>CMOS/LPTTL INTERFACE</b>					
Logical "1" Input Voltage ( $V_{IN(1)}$ )	$V_{CC} = 4.75V$	$V_{CC} - 1.5V$			V
Logical "0" Input Voltage ( $V_{IN(0)}$ )	$V_{CC} = 4.75V$			0.8	V
Logical "1" Output Voltage ( $V_{OUT(1)}$ ) (LZO and Carry)	$V_{CC} = 4.75V, I_O = -360 \mu A$	2.4			V
Logical "0" Output Voltage ( $V_{OUT(0)}$ ) (LZO and Carry)	$V_{CC} = 4.75V, I_O = 360 \mu A$			0.4	V
<b>OUTPUT DRIVE (SHORT CIRCUIT CURRENT)</b>					
Output Source Current ( $I_{SOURCE}$ ) (LZO and Carry)	$V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$	1.75	2.7		mA
Output Sink Current ( $I_{SINK}$ ) (LZO and Carry)	$V_{CC} = 5V, V_{OUT} = 5V$ $T_A = 25^\circ C$	1.75	3.2		mA
Output Source Current ( $I_{SOURCE}$ ) (Segment Outputs)	$V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$	1.4	2.0		mA
Output Sink Current ( $I_{SINK}$ ) (Segment Output)	$V_{CC} = 5V, V_{OUT} = 5V$ $T_A = 25^\circ C$	1.4	2.2		mA
Output Source Current ( $I_{SOURCE}$ ) (Backplane Output)	$V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$	12.6	15.0		mA
Output Sink Current ( $I_{SINK}$ ) (Backplane Output)	$V_{CC} = 5V, V_{OUT} = 5V$ $T_A = 25^\circ C$	12.6	20.0		mA

Tabel 4/9.5-14: Gelijkspanningscondities van de 74C945.

## 9.5 Speciale IC's uit de 74C-serie

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{pd0}, t_{pd1}$	Propagation Delay Clock to Carry	$V_{CC} = 5.0V$		375	600	ns
$f_{CLK}$	Maximum Clock Frequency	$V_{CC} = 5.0V$	2	3		MHz
$t_r, t_f$	Clock Input Rise or Fall Time	$V_{CC} = 5.0V$			No Limit	
$t_{WR}$	Reset Pulse Width	$V_{CC} = 5.0V$	180	120		ns
$t_{WS}$	Store Pulse Width	$V_{CC} = 5.0V$	150	80		ns
$t_{SU(CK, S)}$	Clock to Store Set-Up Time	$V_{CC} = 5.0V$	500	270		ns
$t_{SR}$	Store to Reset Wait Time	$V_{CC} = 5.0V$	280	170		ns
$t_{SU(E, CK)}$	Enable to Clock Set-Up Time	$V_{CC} = 5.0V$	140	80		ns
$t_{RR}$	Reset Removal	$V_{CC} = 5.0V$	50	0		ns
$t_{SU(U/D, CK)}$	Up/Down to Clock Set-Up Time	$V_{CC} = 5.0V$	300	190		ns
$f_{BP}$	Backplane Output Frequency	Pin 36 Floating, $V_{CC} = 5V$		85		Hz
$C_{IN}$	Input Capacitance	Logic Inputs (Note 2)		5		pF
$t_{ris}$	Segment Rise/Fall Time	$C_{load} = 200 \text{ pF}$		0.5		$\mu s$
$t_{rtb}$	Backplane Rise/Fall Time	$C_{load} = 5000 \text{ pF}$		1.5		$\mu s$
$f_{osc}$	Oscillator Frequency	Pin 36 Floating, $V_{CC} = 5V$		11		kHz

Tabel 4/9.5-15: Schakeltijden en andere AC-eigenschappen van de 74C945.

**74C946****4 1/2-digit counter/decoder/driver voor LCD-display's**

De 74C946 is een 4 1/2-cijferige CMOS-teller met directe aansturing voor LCD-display's. De 74C946 bevat een keten van decade-tellers, decoders, uitgangslatches, 7-segment drivers, tel-inhibit en backplane/driver-schakelingen. De chip onderdrukt automatisch alle voorlopende nullen en is voorzien van een carry-uitgang voor grotere flexibiliteit en het in cascade schakelen van meerdere 4-digit secties.

De 74C946 heeft 29 segment-uitgangen voor het aansturen van een standaard 4,5 digit LCD-display.

De op de chip aanwezige backplane oscillator/driver kan worden uitgeschakeld door de oscillatorpen te aarden, waardoor de 74C946 afhankelijk wordt van een extern backplane-sigitaal (slave).

De Reset en Store signalen maken toepassing als periode- of frequentieteller mogelijk.

De 74C946 is leverbaar als MM74C946 van National Semiconductor of als (pen-compatibele) ICM7224 van Intersil (Harris).

**Beschrijving van de signalen**

- Backplane In/Out  
Deze pen is een ingang als de oscillator-ingang is geaard. Via deze pen wordt dan het backplane-sigitaal van een extern apparaat ingevoerd. Bij open oscillator-ingang is dit een uitgangspen voor het backplane-sigitaal van een LCD.
- Oscillator  
De oscillatie-frequentie (typ. 85 Hz) kan worden verlaagd door een condensator ( $C_{osc}$ ) tussen deze pen en aarde te plaatsen. Ligt deze pen aan aarde dan wordt de backplane-pen een ingang.
- Store-ingang  
Deze bestuurt de latches. Als Store LAAG is volgen de uitgangen van de latches de teller ("doorstroom" mode), maar als Store HOOG is wordt de inhoud van de teller opgeslagen en zichtbaar gemaakt.
- Reset-ingang  
LAAG reset de teller op nul.
- Clock-ingang  
Teller wordt op elke negatieve flank met één verhoogd.
- Enable-ingang  
LAAG stopt de werking van de teller.

## 9.5 Speciale IC's uit de 74C-serie

- Leading Zero-ingang (LZI)  
Wanneer deze ingang HOOG is, worden alle voorlopende nullen onzichtbaar.
- Leading Zero-uitgang (LZO)  
Deze uitgang gaat HOOG zodra de inhoud van de latch nul en LZI HOOG is.
- Carry-uitgang  
Deze uitgang gaat HOOG als de stand 9999 wordt bereikt.
- A1 tot en met G1  
Segment-uitgangen van Digit 1.
- A2 tot en met G2  
Segment-uitgangen van Digit 2.
- A3 tot en met G3  
Segment-uitgangen van Digit 3.
- A4 tot en met G4  
Segment-uitgangen van Digit 4.
- 1/2 Digit-uitgang  
Gaaf HOOG als de teller van 9999 overgaat in 0000 en blijft HOOG totdat Reset LAAG gaat.

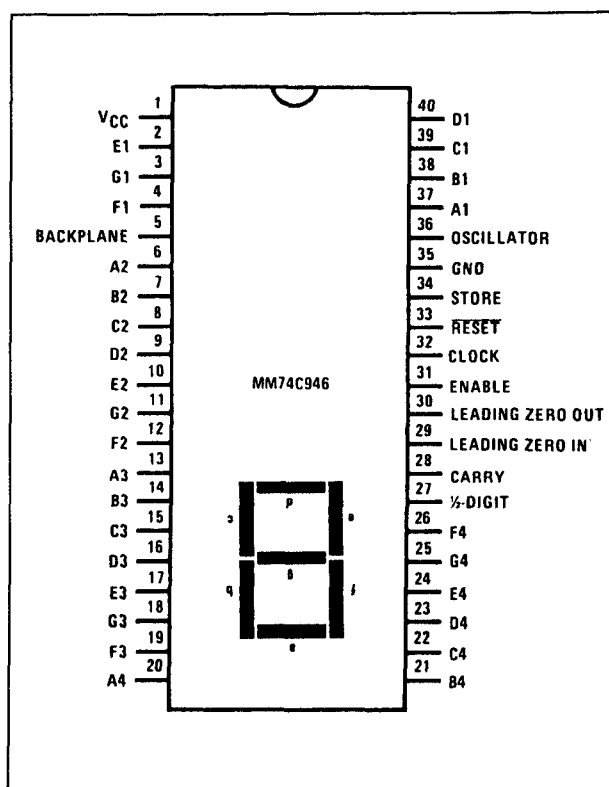
## Technische gegevens

In de tabellen 4/9.5-16 tot en met 4/9.5-18 en de figuren 4/9.5-27 tot en met 4/9.5-31 zijn alle elektrische gegevens van de 74C946 samengevat.

## Absolute Maximum Ratings

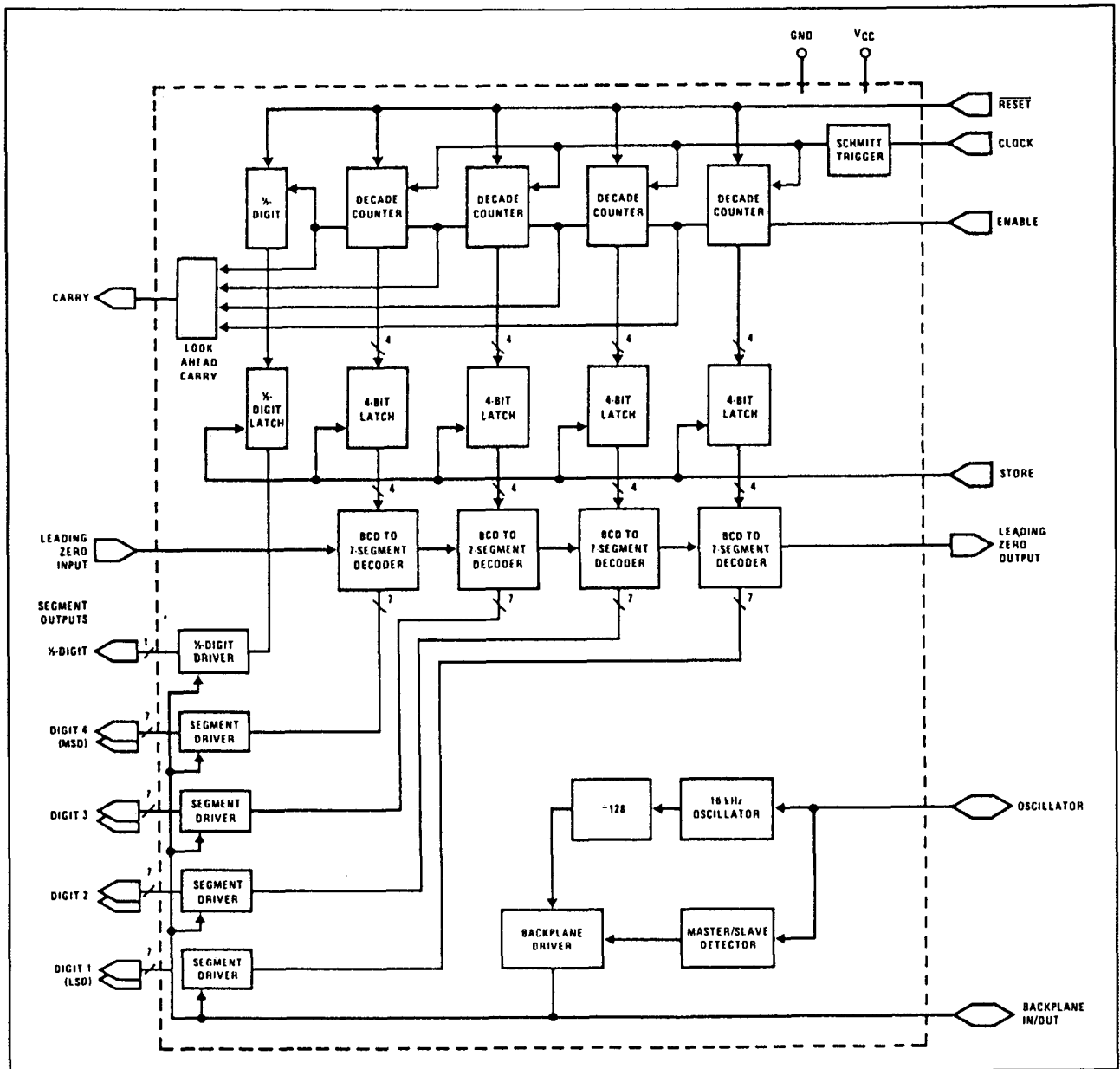
Voltage at Any Pin	– 0.3V to $V_{CC} + 0.3V$
Operating Temperature Range	– 40°C to + 85°C
MM74C946	– 65°C to + 150°C
Storage Temperature Range	– 65°C to + 150°C
Package Dissipation	500 mW
Operating $V_{CC}$ Range	3.0V to 6.0V
Absolute Maximum $V_{CC}$	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

Tabel 4/9.5-16: Maximaal toegelaten waarden voor de 74C946.



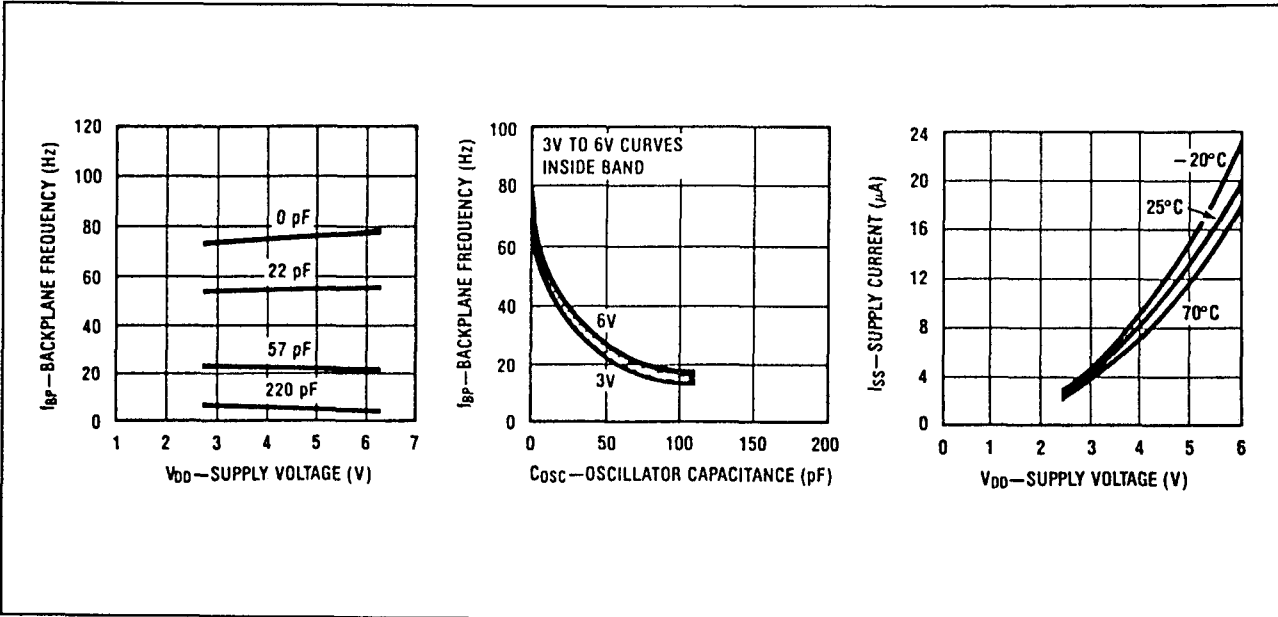
Figuur 4/9.5-27: Aansluitgegevens van de 74C946 en plaats van de segmenten van een 7-segments display.

## 9.5 Speciale IC's uit de 74C-serie

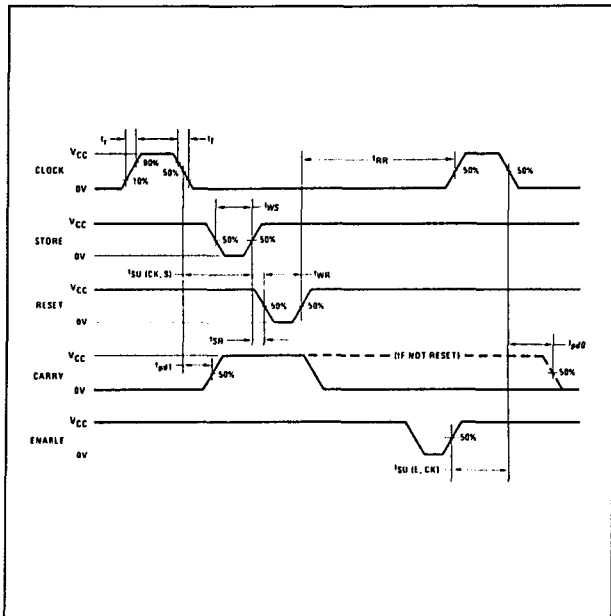


Figuur 4/9.5-28: Functioneel blokschema van de 74C946.

## 9.5 Speciale IC's uit de 74C-serie



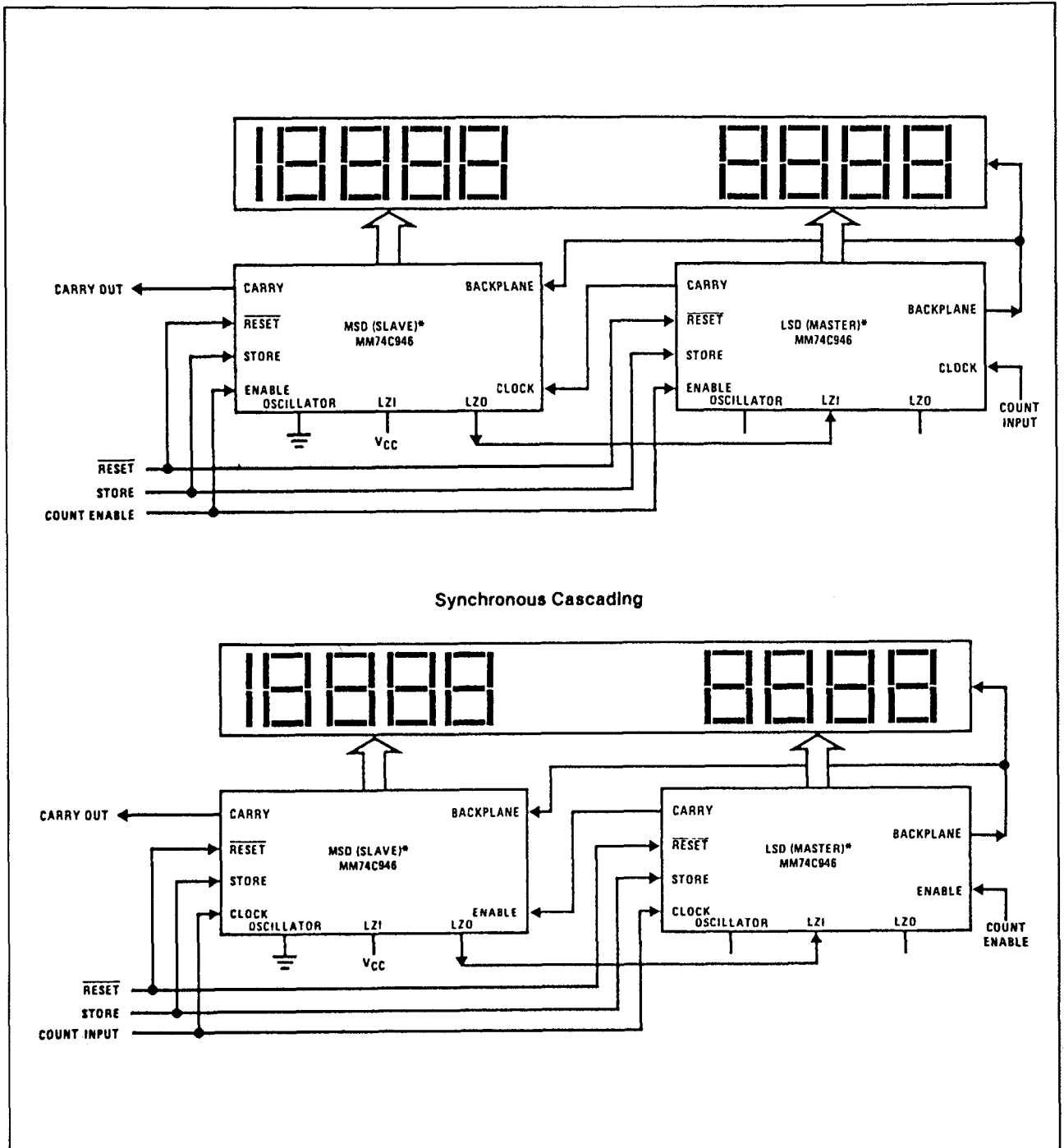
**Figuur 4/9.5-29:** Typische karakteristieken voor een 74C946: backplane-frequentie als functie van de oscillator-condensator (midden) en afhankelijkheid van backplane-frequentie en bedrijfsstroom van de voedingsspanning.



**Figuur 4/9.5-30:** Golfvormen en schakeltijden van de 74C946.



### 9.5 Speciale IC's uit de 74C-serie



**Figuur 4/9.5-31:** Toepassing van meerdere 74C946's voor uitgebreider display's: "ripple-carry" (boven) en synchrone cascadeschakeling (onder).

## 9.5 Speciale IC's uit de 74C-serie

Parameter	Conditions	Min	Typ	Max	Units
<b>CMOS TO CMOS</b>					
$V_{T+}$ Positive Going Threshold Voltage (Clock Input)	$V_{CC} = 5V, V_{IN} (0-5) V$	2.5	2.9	3.25	V
$V_{T-}$ Negative Going Threshold Voltage (Clock Input)	$V_{CC} = 5V, V_{IN} (5-0) V$	1.5	2.2	2.4	V
Hysteresis ( $V_{T+} - V_{T-}$ ) (Clock Input)	$V_{CC} = 5V$	0.1	0.7	1.75	V
Logical "1" Input Voltage ( $V_{IN(1)}$ )	$V_{CC} = 5V$	3.5			V
Logical "0" Input Voltage ( $V_{IN(0)}$ )	$V_{CC} = 5V$			1.5	V
Logical "1" Output Voltage ( $V_{OUT(1)}$ ) (LZO and Carry)	$V_{CC} = 5V, I_O = -10 \mu A$	4.5			V
Logical "0" Output Voltage ( $V_{OUT(0)}$ ) (LZO and Carry)	$V_{CC} = 5V, I_O = +10 \mu A$			0.5	V
Clock Input Current ( $I_{IN}$ )	$V_{CC} = 5V, V_{IN} = 5V/0V$		0.005	1.0	$\mu A$
Input Current @ Pins 29, 31, 33 and 34 (Note 2)	$V_{CC} = 5V, V_{IN} = 0V$	-2.0	-12.0	-25.0	$\mu A$
Oscillator Input Current ( $I_{OSL}$ )	$V_{CC} = 5V, V_{IN} = 0V/5V$		$\pm 1.0$	$\pm 10.0$	$\mu A$
Supply Current ( $I_{CC}$ ) (Note 3)	$V_{CC} = 5V, V_{IN} = 0V/5V$		10	60	$\mu A$
Oscillator Input Voltage $V_{IH(OSC)}$ $V_{IL(OSC)}$	When Driving Oscillator Pin with External Signal	0.2 $V_{CC}$		$V_{CC} - 0.2$	V V
DC Offset Voltage (Note 4)	$V_{CC} = 5V$			25	mV
<b>CMOS/LPTTL INTERFACE</b>					
Logical "1" Input Voltage ( $V_{IN(1)}$ )	$V_{CC} = 4.75V$	$V_{CC} - 1.5V$			V
Logical "0" Input Voltage ( $V_{IN(0)}$ )	$V_{CC} = 4.75V$			0.8	V
Logical "1" Output Voltage ( $V_{OUT(1)}$ ) (LZO and Carry)	$V_{CC} = 4.75V, I_O = -360 \mu A$	2.4			V
Logical "0" Output Voltage ( $V_{OUT(0)}$ ) (LZO and Carry)	$V_{CC} = 4.75V, I_O = 360 \mu A$			0.4	V
<b>OUTPUT DRIVE (SHORT CIRCUIT CURRENT)</b>					
Output Source Current ( $I_{SOURCE}$ ) (LZO and Carry)	$V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$	1.75	2.7		mA
Output Sink Current ( $I_{SINK}$ ) (LZO and Carry)	$V_{CC} = 5V, V_{OUT} = 5V$ $T_A = 25^\circ C$	1.75	3.2		mA
Output Source Current ( $I_{SOURCE}$ ) (Segment Outputs)	$V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$	1.4	2.0		mA
Output Sink Current ( $I_{SINK}$ ) (Segment Outputs)	$V_{CC} = 5V, V_{OUT} = 5V$ $T_A = 25^\circ C$	1.4	2.2		mA
Output Source Current ( $I_{SOURCE}$ ) (Backplane Output)	$V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$	12.6	15.0		mA
Output Sink Current ( $I_{SINK}$ ) (Backplane Output)	$V_{CC} = 5V, V_{OUT} = 5V$ $T_A = 25^\circ C$	12.6	20.0		mA
Output Source Current ( $I_{SOURCE}$ ) (1/2-Digit)	$V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$	2.8	3.4		mA
Output Sink Current ( $I_{SINK}$ ) (1/2-Digit)	$V_{CC} = 5V, V_{OUT} = 5V$ $T_A = 25^\circ C$	2.8	5.0		mA

Tabel 4/9.5-17: Gelijkspanningscondities van de 74C946.

## 9.5 Speciale IC's uit de 74C-serie

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{pd0}, t_{pd1}$	Propagation Delay Clock to Carry	$V_{CC} = 5.0V$		375	600	ns
$f_{CLK}$	Maximum Clock Frequency	$V_{CC} = 5.0V$	2	3		MHz
$t_r, t_f$	Clock Input Rise or Fall Time	$V_{CC} = 5.0V$			No Limit	
$t_{WR}$	Reset Pulse Width	$V_{CC} = 5.0V$	180	120		ns
$t_{WS}$	Store Pulse Width	$V_{CC} = 5.0V$	150	80		ns
$t_{SU(CK, S)}$	Clock to Store Set-Up Time	$V_{CC} = 5.0V$	500	270		ns
$t_{SR}$	Store to Reset Wait Time	$V_{CC} = 5.0V$	280	170		ns
$t_{SU(E, CK)}$	Enable to Clock Set-Up Time	$V_{CC} = 5.0V$	140	80		ns
$t_{RR}$	Reset Removal	$V_{CC} = 5.0V$	50	0		ns
$f_{BP}$	Backplane Output Frequency	Pin 36 Floating, $V_{CC} = 5V$		85		Hz
$C_{IN}$	Input Capacitance	Logic Inputs (Note 5);		5		pF
$t_{ris}$	Segment Rise/Fall Time	$C_{load} = 200 \text{ pF}$		0.5		$\mu s$
$t_{rib}$	Backplane Rise/Fall Time	$C_{load} = 5000 \text{ pF}$		1.5		$\mu s$
$f_{osc}$	Oscillator Frequency	Pin 36 Floating, $V_{CC} = 5V$		11		kHz

Tabel 4/9.5-18: Schakeltijden en andere AC-eigenschappen van de 74C946.

**74C947****4-digit up/down counter/latch/decoder/driver**

De 74C947 is een 4-cijferige decade-teller met directe aansturing voor LCD-display's. De 74C947 bevat een 4-decaden op-/neer-teller met uitgangslatches en 7-segment decoders. De chip is bovendien voorzien van een oscillator/driver, segmentdrivers en een automatische display-blankschakeling (true ripple blanking). Alle voorlopende nullen worden automatisch onderdrukt, behalve die van de laagste digit (die optioneel kan worden onderdrukt).

De 74C947 heeft 28 segment-uitgangen voor het aansturen van een 4-digit display. Hoewel de golfvormen voor de segmenten en het backplane intern worden gegene-reerd, kunnen ze ook afhankelijk worden gemaakt van een extern signaal (bijvoor-beeld een andere 74C947).

Meerdere display's kunnen zodoende ge-makkelijker in cascade worden geschakeld, waarbij ook de Carry- (/borrow-) uitgang

wordt gebruikt. De Reset en Store signalen maken toepassing als periode- of frequen-tieteller mogelijk.

**Beschrijving van de signalen**

- Backplane In/Out  
Bij geaarde oscillator-ingang is deze pen een ingang voor invoering van het back-plane-sig-naal van een extern apparaat. Is de oscillator-ingang open dan werkt deze pen als uitgang voor het backplane-sig-naal van de display.
- Oscillator  
De oscillatie-frequentie (typ. 85 Hz) kan worden verlaagd door een condensator ( $C_{osc}$ ) tussen deze pen en aarde aan te sluiten. Als deze pen aan aarde wordt gelegd, volgt de display-uitgang van de teller een extern backplane (slave).
- Store  
Deze ingang bestuurt de op de chip aan-wezige latches. Als Store LAAG is staan de latches in de "doorstroom" mode en volgen de uitgangen de teller.

## 9.5 Speciale IC's uit de 74C-serie

Als Store HOOG is wordt de inhoud van de teller opgeslagen (en vastgehouden) in de latches.

- **Reset**  
LAAG reset de teller op nul.
- **Clock**  
De teller doet een stap op de negatieve flank.
- **Enable**  
LAAG stopt de werking van de teller.
- **Leading Zero Input (LZI)**  
Wanneer deze ingang HOOG is, worden de voorlopende nullen onzichtbaar gemaakt.
- **Leading Zero Output (LZO)**  
Deze uitgang gaat HOOG zodra de inhoud van de latch nul wordt, LZI HOOG is en de oscillator open is.
- **Carry**  
Deze uitgang gaat HOOG als bij het optellen 9999 wordt bereikt of 0000 bij het neertellen.
- **Up/Down**  
Als deze ingang HOOG is telt de teller op (neer indien LAAG).
- **A1 tot en met G**  
Segment-uitgangen van Digit 1.
- **A2 tot en met G2**  
Segment-uitgangen van Digit 2.
- **A3 tot en met G3**  
Segment-uitgangen van Digit 3.
- **A4 tot en met G4**  
Segment-uitgangen van Digit 4.

**Technische gegevens**

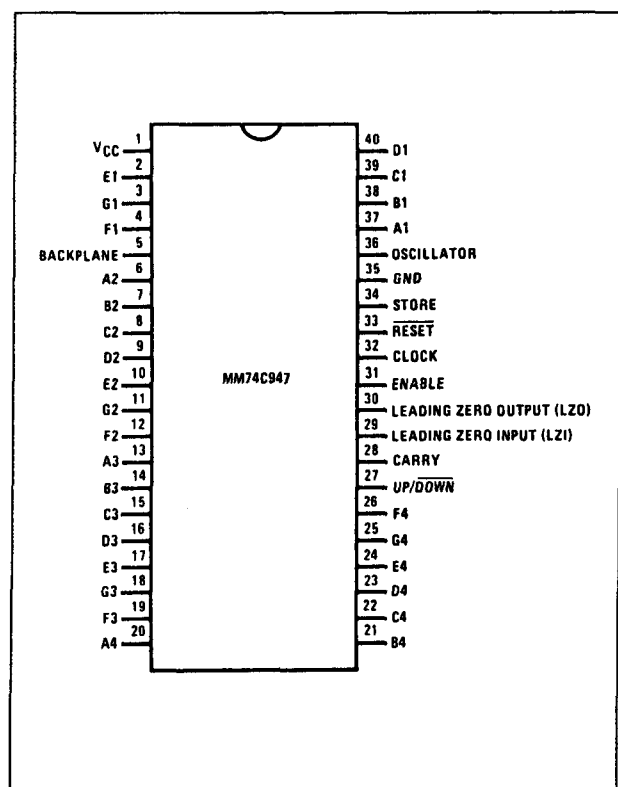
In de figuren 4/9.5-32 tot en met 4/9.5-37 en de tabellen 4/9.5-19, -20 en -21 zijn de elektrische gegevens van de 74C947 te zien.

Van de 74C947 is alleen de CMOS-versie MM74C947 verkrijgbaar van National Semiconductor.

**Absolute Maximum Ratings**

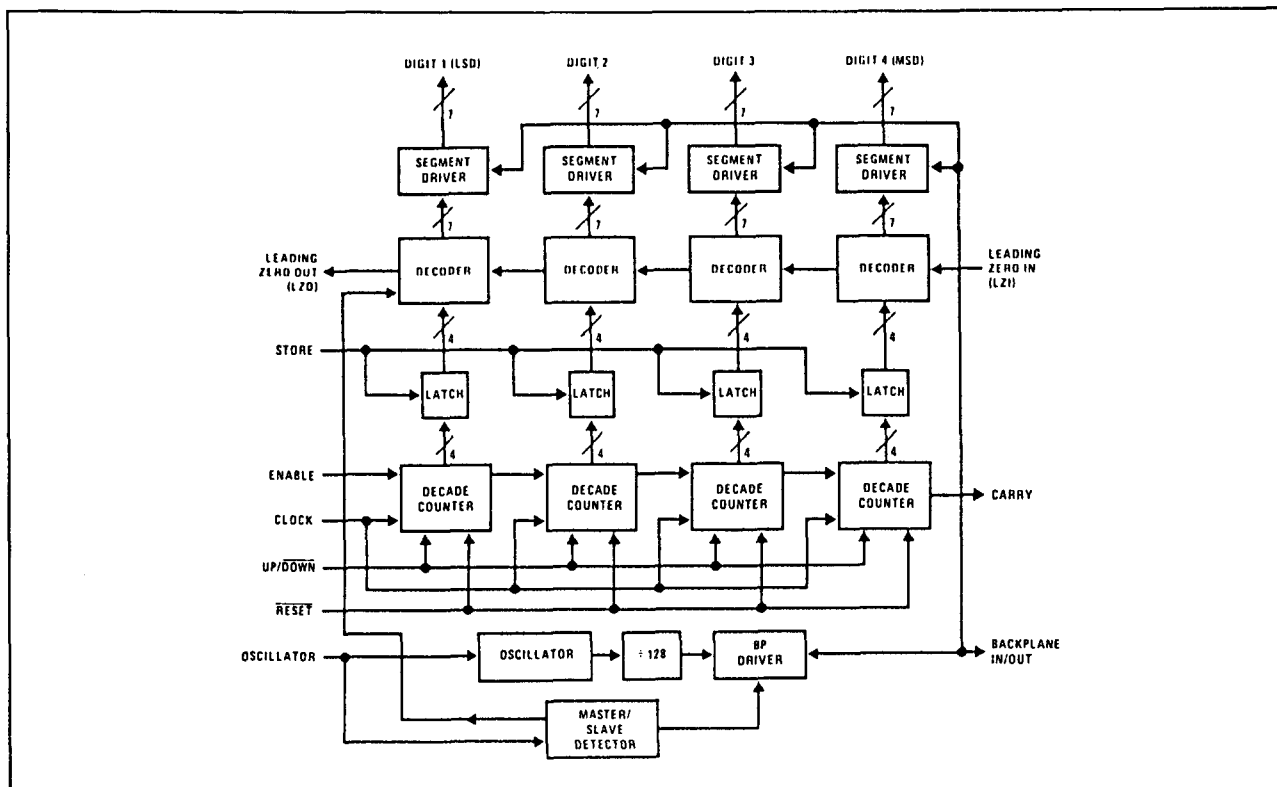
Voltage at Any Pin	-0.3V to $V_{CC} + 0.3V$
Operating Temperature Range	
MM74C945/MM74C947	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Package Dissipation	500 mW
Operating $V_{CC}$ Range	3.0V to 6.0V
Absolute Maximum $V_{CC}$	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

Tabel 4/9.5-19: Maximaal toegelaten waarden voor de 74C947.

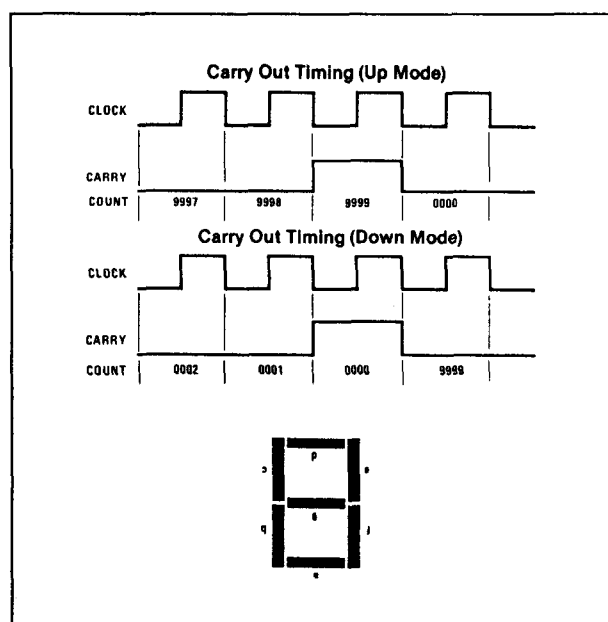


Figuur 4/9.5-32: Aansluitgegevens van de 74C947.

### 9.5 Speciale IC's uit de 74C-serie

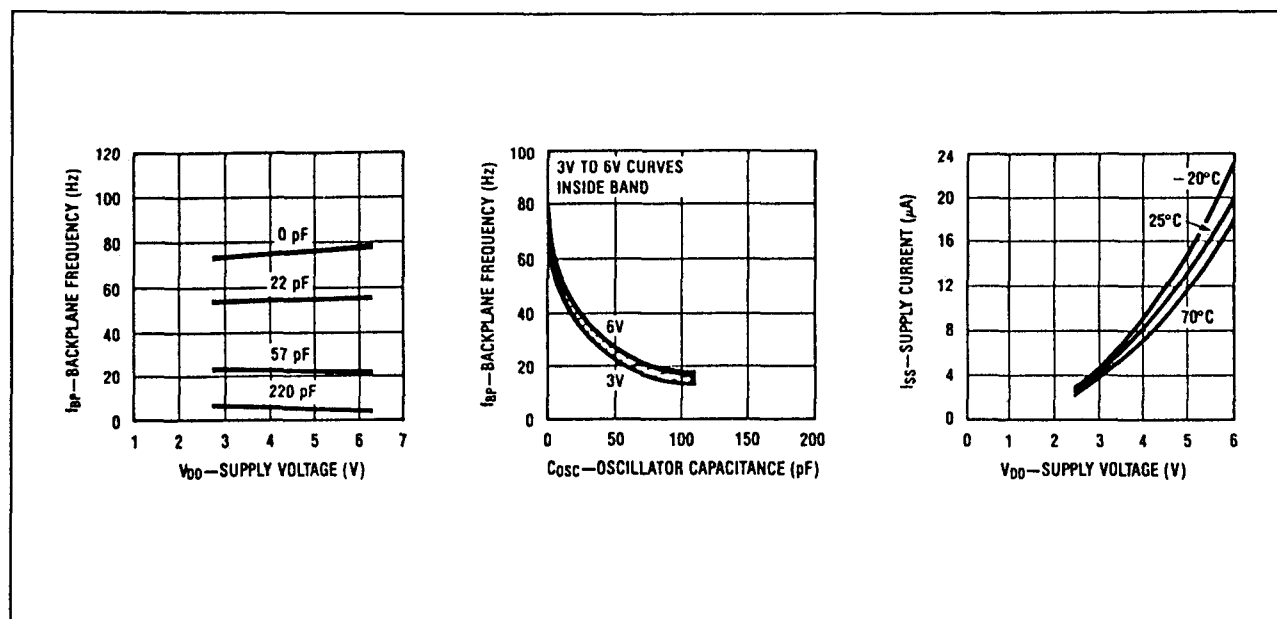


Figuur 4/9.5-33: Functioneel blokschema van de 74C947.

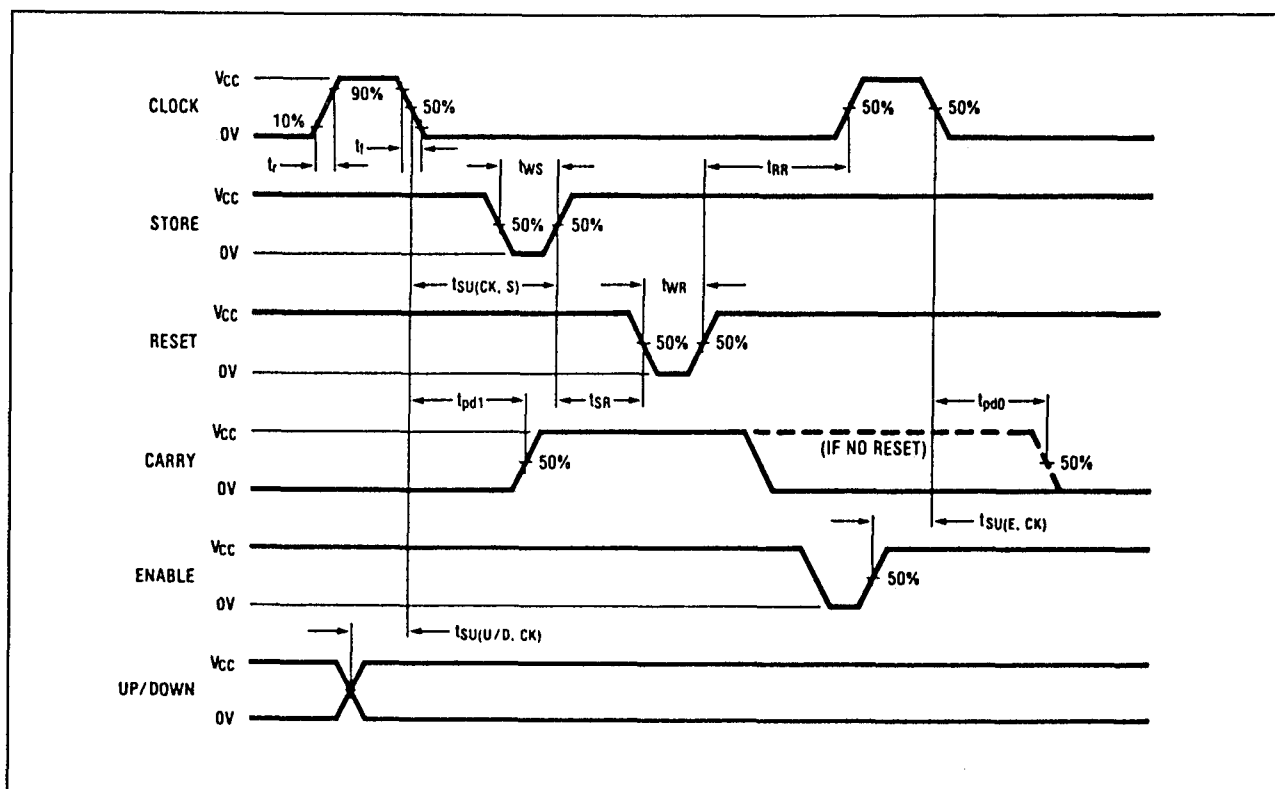


Figuur 4/9.5-34: Het Carry-sigitaal bij op- en neertellen plus identificatie van de segmenten in een 7-segments display.

## 9.5 Speciale IC's uit de 74C-serie

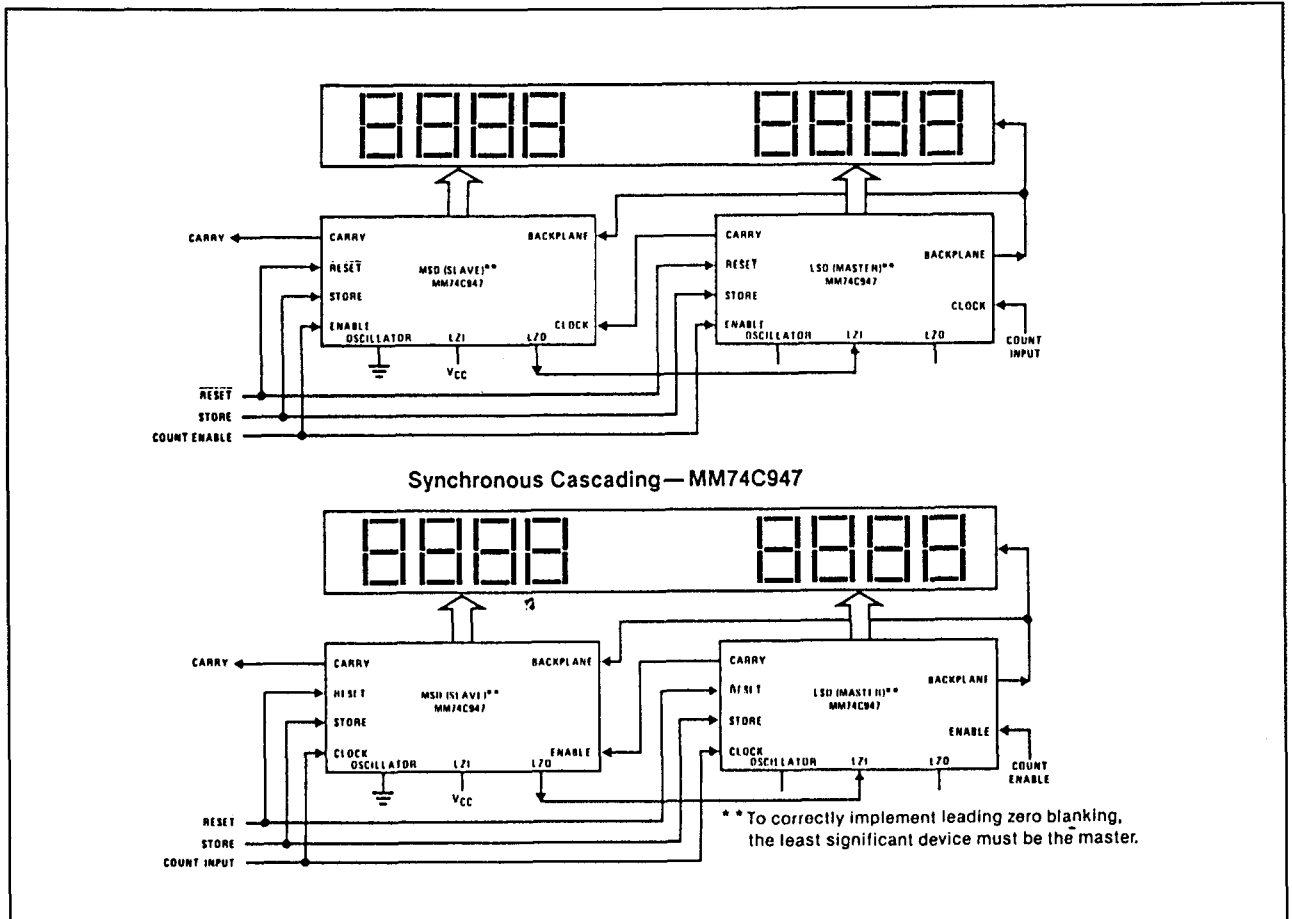


**Figuur 4/9.5-35:** Enkele typische 74C947-karakteristieken: backplane-frequentie als functie van de oscillator-condensator (midden) en afhankelijkheid van backplane-frequentie en bedrijfsstroom van de voedingsspanning.



**Figuur 4/9.5-36:** Golfvormen en schakeltijden van de 74C947.

### 9.5 Speciale IC's uit de 74C-serie



**Figuur 4/9.5-37:** Cascadeschakeling van meerdere 74C947's: "ripple-carry" (boven) en synchrone cascade-schakeling (onder).

## 9.5 Speciale IC's uit de 74C-serie

Parameter	Conditions	Min	Typ	Max	Units
<b>CMOS TO CMOS</b>					
$V_{T+}$ Positive Going Threshold Voltage (Clock Only)	$V_{CC} = 5V, V_{IN} (0-5) V$	2.5	2.9	3.25	V
$V_{T-}$ Negative Going Threshold Voltage (Clock Only)	$V_{CC} = 5V, V_{IN} (5-0) V$	1.5	2.2	2.4	V
Hysteresis ( $V_{T+} - V_{T-}$ ) (Clock Only)	$V_{CC} = 5V$	0.1	0.7	1.75	V
Logical "1" Input Voltage ( $V_{IN(1)}$ )	$V_{CC} = 5V$	3.5			V
Logical "0" Input Voltage ( $V_{IN(0)}$ )	$V_{CC} = 5V$			1.5	V
Logical "1" Output Voltage ( $V_{OUT(1)}$ ) (LZO and Carry)	$V_{CC} = 5V, I_O = -10 \mu A$	4.5			V
Logical "0" Output Voltage ( $V_{OUT(0)}$ ) (LZO and Carry)	$V_{CC} = 5V, I_O = +10 \mu A$			0.5	V
Clock Input Current $ I_{IN} $	$V_{CC} = 5V, V_{IN} = 5V/0V$		0.005	1.0	$\mu A$
Input Current @ Pins 29, 31, 33 and 34 (Note 2)	$V_{CC} = 5V, V_{IN} = 0V$	-2.0	-12	-25	$\mu A$
Oscillator Input Current ( $I_{OSL}$ )	$V_{CC} = 5V, V_{IN} = 0V/5V$		$\pm 1$	$\pm 10.0$	$\mu A$
Supply Current ( $I_{CC}$ ) (Note 3)	$V_{CC} = 5V, V_{IN} = 0V/5V$		10	60	$\mu A$
Oscillator Input Voltage $V_{IH} (OSC)$ $V_{IL} (OSC)$	When Driving Oscillator Pin with External Signal	0.2 $V_{CC}$		$V_{CC} - 0.2$	V V
DC Offset Voltage (Note 4)	$V_{CC} = 5V$			25	mV
<b>CMOS/LPTTL INTERFACE</b>					
Logical "1" Input Voltage ( $V_{IN(1)}$ )	$V_{CC} = 4.75V$	$V_{CC} - 1.5V$			V
Logical "0" Input Voltage ( $V_{IN(0)}$ )	$V_{CC} = 4.75V$			0.8	V
Logical "1" Output Voltage ( $V_{OUT(1)}$ ) (LZO and Carry)	$V_{CC} = 4.75V, I_O = -360 \mu A$	2.4			V
Logical "0" Output Voltage ( $V_{OUT(0)}$ ) (LZO and Carry)	$V_{CC} = 4.75V, I_O = 360 \mu A$			0.4	V
<b>OUTPUT DRIVE (SHORT CIRCUIT CURRENT)</b>					
Output Source Current ( $I_{SOURCE}$ ) (LZO and Carry)	$V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$	1.75	2.7		mA
Output Sink Current ( $I_{SINK}$ ) (LZO and Carry)	$V_{CC} = 5V, V_{OUT} = 5V$ $T_A = 25^\circ C$	1.75	3.2		mA
Output Source Current ( $I_{SOURCE}$ ) (Segment Outputs)	$V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$	1.4	2.0		mA
Output Sink Current ( $I_{SINK}$ ) (Segment Output)	$V_{CC} = 5V, V_{OUT} = 5V$ $T_A = 25^\circ C$	1.4	2.2		mA
Output Source Current ( $I_{SOURCE}$ ) (Backplane Output)	$V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$	12.6	15.0		mA
Output Sink Current ( $I_{SINK}$ ) (Backplane Output)	$V_{CC} = 5V, V_{OUT} = 5V$ $T_A = 25^\circ C$	12.6	20.0		mA

Tabel 4/9.5-20: Gelijkspanningscondities van de 74C947.



## 9.5 Speciale IC's uit de 74C-serie

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{pd0}, t_{pd1}$	Propagation Delay Clock to Carry	$V_{CC} = 5.0V$		375	600	ns
$f_{CLK}$	Maximum Clock Frequency	$V_{CC} = 5.0V$	2	3		MHz
$t_r, t_f$	Clock Input Rise or Fall Time	$V_{CC} = 5.0V$			No Limit	
$t_{WR}$	Reset Pulse Width	$V_{CC} = 5.0V$	180	120		ns
$t_{WS}$	Store Pulse Width	$V_{CC} = 5.0V$	150	80		ns
$t_{SU(CK, S)}$	Clock to Store Set-Up Time	$V_{CC} = 5.0V$	500	270		ns
$t_{SR}$	Store to Reset Wait Time	$V_{CC} = 5.0V$	280	170		ns
$t_{SU(E, CK)}$	Enable to Clock Set-Up Time	$V_{CC} = 5.0V$	140	80		ns
$t_{RR}$	Reset Removal	$V_{CC} = 5.0V$	50	0		ns
$t_{SU(UD, CK)}$	Up/Down to Clock Set-Up Time	$V_{CC} = 5.0V$	300	190		ns
$f_{BP}$	Backplane Output Frequency	Pin 36 Floating, $V_{CC} = 5V$		85		Hz
$C_{IN}$	Input Capacitance	Logic Inputs (Note 2)		5		pF
$t_{rfs}$	Segment Rise/Fall Time	$C_{load} = 200 \text{ pF}$		0.5		$\mu s$
$t_{rlb}$	Backplane Rise/Fall Time	$C_{load} = 5000 \text{ pF}$		1.5		$\mu s$
$f_{osc}$	Oscillator Frequency	Pin 36 Floating, $V_{CC} = 5V$		11		kHz

Tabel 4/9.5-21: AC-eigenschappen van de 74C947.

## 9.5 Speciale IC's uit de 74C-serie

4/10

# Schuifregisters

## Inhoud

### 4/10.1 Achtergrond-informatie (aanvulling 11)

### 4/10.2 Schuifregisters 74xx-serie TTL en HC (aanvulling 9 + 49)

7491	8-bit serie-in, serie-uit
7494	4-bit parallel/serie-in, serie-uit
7495	4-bit parallel-in/uit, serie-in, links/rechts
7496	5-bit parallel-in/uit, serie-in
74164	8-bit serie-in, parallel-uit
74165	8-bit parallel-in, serie-uit
74166	8-bit parallel/serie-in, serie-uit
74178	4-bit synchroon parallel/serie-in, parallel-uit
74179	4-bit synchroon parallel/serie-in, parallel-uit, directe clear, QD-uit complementair
74194	4-bit parallel-in/uit, serie-in, links/rechts
74195	4-bit parallel-in/uit, JK serie-in, serie-uit, QD-uit complementair
74198	8-bit parallel-in/uit serie-in, links/rechts
74199	8-bit parallel-in/uit, JK serie-in, links/rechts
74295	4-bit parallel-in/uit serie-in, links/rechts, 3-state
74299	8-bit gemultiplexte parallel-in/uit, serie-in/uit, links/rechts, met opslag-register, 3-state
74322	8-bit gemultiplexte parallel-in/uit, serie-in/uit, met opslag-register, 3-state, sign-extend
74323	8-bit gemultiplexte parallel-in/uit, serie-in, met opslag-register, links/rechts, 3-state, synchrone clear
74395	4-bit parallel-in/uit, serie-in, 3-state, cascade-uit
74396	8-voudig 2-traps opslagregister
74594	8-bit serie-in, parallel-uit, met uitgangs-register
74595	8-bit serie-in, parallel-uit, 3-state, met uitgangs-register, directe SR-clear
74596	8-bit serie-in, parallel-uit, open-collector, met uitgangsregister, directe SR-clear

74597	8-bit serie-in, parallel-uit, met ingangsregister, directe SR-load en SR-clear
74598	8-bit gemultiplexte parallel-in/uit, serie-in/uit met ingangsregister, 3-state, directe SR-load en SR-clear
74599	8-bit serie-in, parallel-uit, open-collector, met uitgangsregister
74671	4-bit universeel met opslag-register, 3-state, directe SR-clear
74672	4-bit universeel met opslag-register, 3-state, synchrone SR-clear
74673	16-bit serie-in/uit (3-state), 16-bit opslag-register, parallel-uit
74674	16-bit parallel-in, serie-uit
74589	8-bit schuifregister, ingangslatches, 3-state uitgangen

**4/10.3 Schuifregisters (1)4xxx-serie CMOS***(aanvulling 11)*

(1)4006	18-traps, instelbaar
(1)4014	8-bit, synchroon parallel-in, serie-in/uit
(1)4015	2 x 4-bit, serie-in/parallel-uit, reset
(1)4021	8-bit, asynchroon parallel-in, synchroon serie-in/serie-uit
(1)4031	64-traps serie-in/serie-uit
(1)4034	8-bit universeel busregister
(1)4035	4-bit parallel-in/uit, true/complement ingang en clear
(1)4062	200-traps dynamisch, 1- of 2-fase clock
(1)4094	8-traps schuif-/opslagregister serie-in/parallel-uit, 3-state
(1)40100	32-traps, LIFO, FIFO, recirculeren
(1)4194 (40194)	4-bit bidirectioneel, serie-in/-uit, parallel-in/-uit, hold, reset
(1)41195 (40195)	4-bit parallel-in/-uit, clear
(1)4517	2 x 64-bit, aftakkingen per 16-bit
(1)4557	1 tot 64-bit (variabel), serie-in/-uit
(1)4562	128-bit, aftakkingen per 16-bit
(1)4731	4 x 64-bit, serie-in/-uit

**4/10.4 Schuifregisters 10k-serie ECL***(aanvulling 49)*

10144	4-bit universeel
-------	------------------

**4/10.5 Power Logic schuifregisters***(aanvulling 60)*

TPIC 6595	Power Logic 8-bit schuifregister
TPIC 6A595	Power Logic 8-bit schuifregister met stroombegrenzing
TPIC 6B595	Power Logic 8-bit schuifregister

## 4/10.1

## Achtergrond-informatie

**Schuifregisters**

Schuifregisters worden veelvuldig toegepast in allerlei digitale systemen. De werking ervan kan aan de hand van een eenvoudig zakrekenmachientje worden uitgelegd. Om bijvoorbeeld het getal 314 te laden wordt eerst de 3 ingetoetst, die op de display verschijnt. Vervolgens wordt de 1 ingetoetst, waarna 31 zichtbaar is. Tenslotte wordt de 4 ingetoetst en geeft de display het gewenste getal 314 aan. Wat er gebeurt is het volgende: door het intoetsen van de 1 wordt de 3 naar links geschoven om plaats te maken voor de 1. Door het intoetsen van de 4 moeten beide reeds aanwezige cijfers een plaats naar links. De 'schuif'-functie is dus duidelijk. De cijfers moeten echter ook (tijdelijk) worden 'onthou-

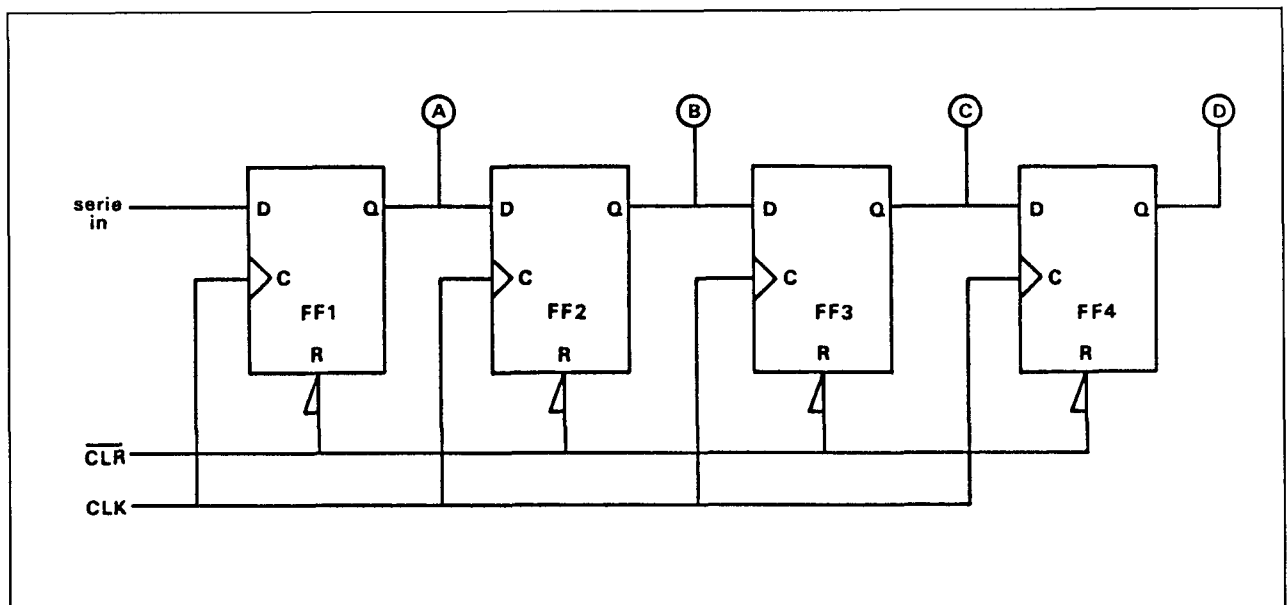
den', omdat de toetsen na het indrukken weer worden losgelaten. Een schuifregister is in staat om beide functies te verrichten. Bovendien zijn er typen die niet alleen naar links, maar ook naar rechts kunnen schuiven.

Schuifregisters worden ook vaak gebruikt voor het omzetten van parallelle data in seriële en omgekeerd.

Schuifregisters worden geklassificeerd als sequentiële logische schakelingen en worden opgebouwd uit flip-flop's.

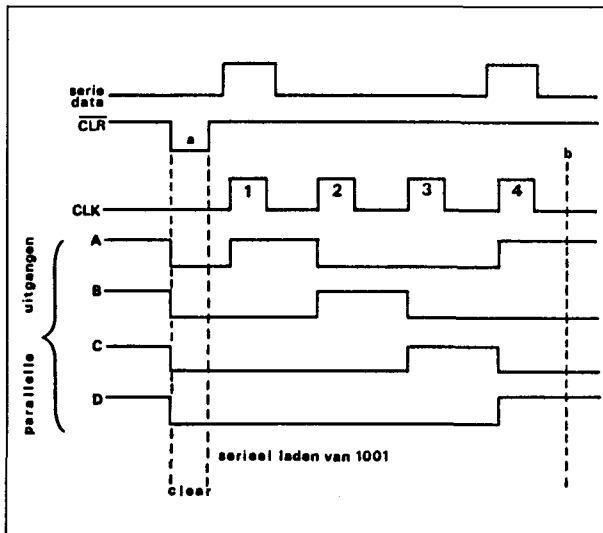
**Serie-in schuifregister**

In figuur 4/10.1-1 is een eenvoudig 4-bit serie-in/parallel-uit schuifregister te zien, dat is opgebouwd uit 4 D-type flip-flop's. De in-



**Figuur 4/10.1-1:** Logisch schema van een 4-bit serie-in, naar rechts schuivend schuifregister.

## 10.1 Achtergrond-informatie

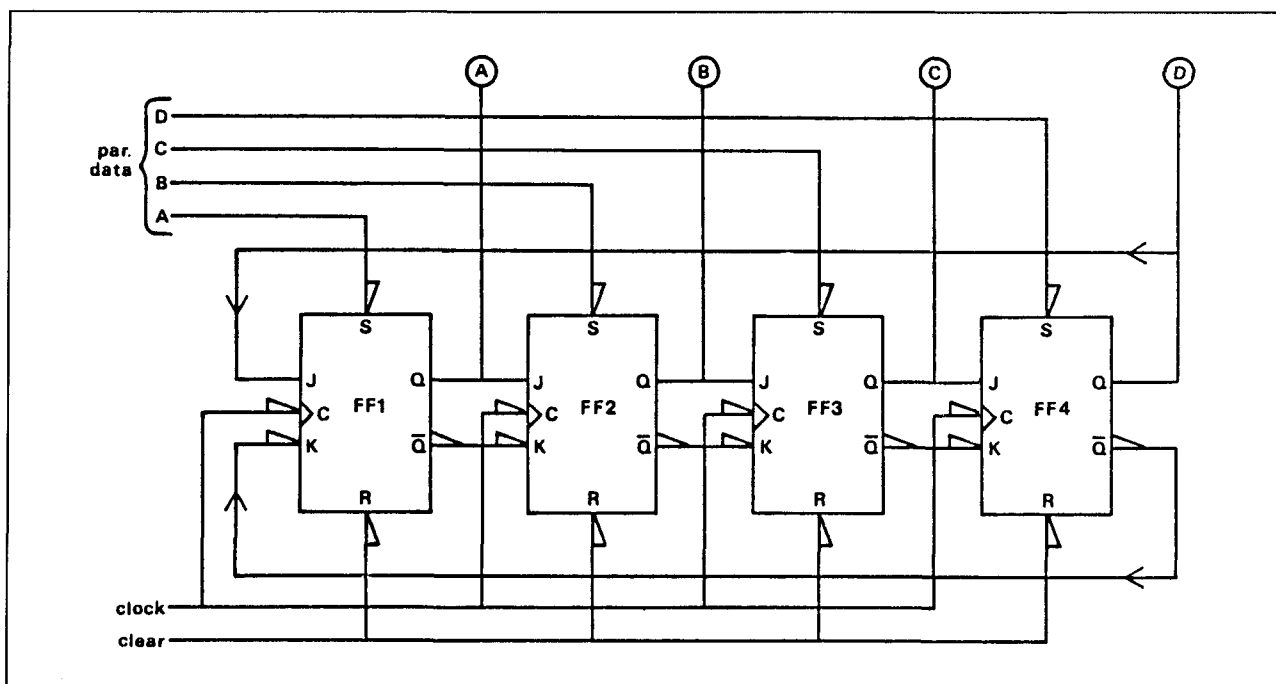


**Figuur 4/10.1-2:** Tijddiagram behorende bij het serie-in schuifregister.

informatie komt binnen op de seriële ingang (D-ingang van FF1) en verschijnt op uitgang A door een LAAG-naar-HOOG overgang op de clock-ingang. De indicatoren A, B, C en D laten de inhoud van de flip-flop's zien. Door de clear-ingang LAAG te maken worden de Q-uitgangen van alle flip-flops tegelijk LAAG.

Stel nu dat het schuifregister met het cijfer 9 (binair 1001) moet worden geladen. Eerst maken we het register leeg door even  $\text{CLR}=0$  te maken (daarna weer  $\text{CLR}=1$ ). De uitgang ABCD is dan 0000. Nu wordt een 1 op de seriële ingang gezet en ingeklokt door één clockpuls. De uitgang is nu 1000 ( $A=1, B=0, C=0, D=0$ ). Vervolgens wordt een 0 op de ingang gezet en een tweede clockpuls gegeven. De uitgang is dan 0100. Na achtereenvolgens een 0 en een 1 in te klokken, wordt de uitgang 1001. In figuur 4/10.1-2 is het tijddiagram van deze handelingen te zien (van links naar rechts). Op punt a wordt het register asynchroon (zonder clock) leeggemaakt, waarna na 4 clockpulsen de gewenste waarde is geladen. Let op dat de informatie door eventuele volgende clockpulsen wordt verminkt. Het is dus nodig de informatie vóór de 5e clockpuls (punt b) over te nemen in een ander register of de clock te sperren.

Uitgang D kan dienen als serie-uitgang. Wanneer de uitgangen A, B en C van buitenaf niet bereikbaar zijn, spreekt men van een serie-in/serie-uit schuifregister.



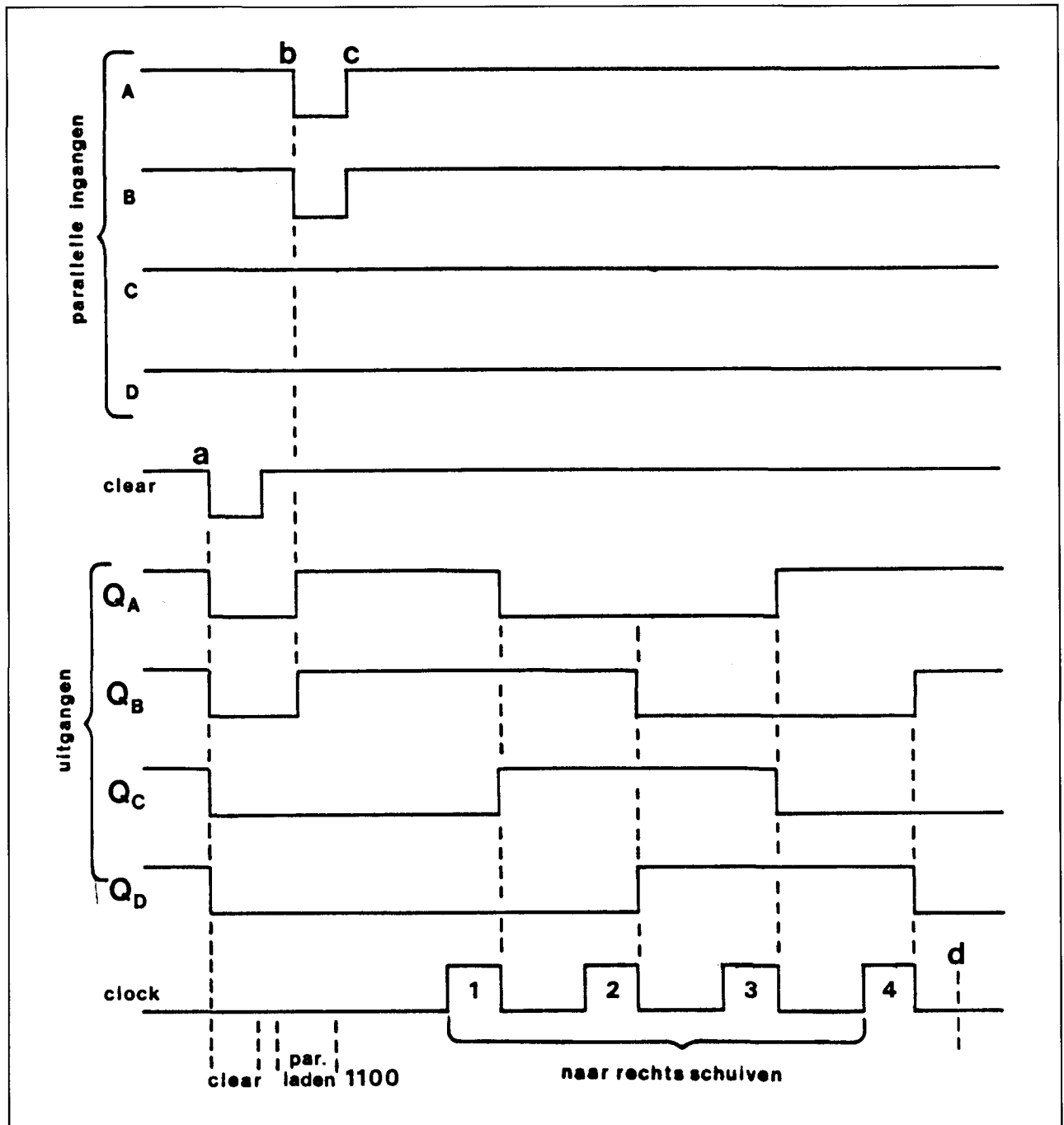
**Figuur 4/10.1-3:** Logisch schema van een 4-bit asynchroon parallel-in recirculerend schuifregister.

## 10.1 Achtergrond-informatie

**Parallel-in schuifregister**

Een nadeel van het serie-in schuifregister zou kunnen zijn, dat er veel clockpulsen nodig zijn om het te laden. Bij een parallel-in schuifregister worden alle informatiebits tegelijk geladen. In figuur 4/10.1-3 is een een-

voudig 4-bit type te zien. Van de JK-flip-flop's in dit voorbeeld worden alle ingangen gebruikt: J, K, Clock, Preset en Clear. De Preset-ingangen worden gebruikt voor het parallel laden (asynchroon) van de ingangsdata die door middel van clockpulsen naar



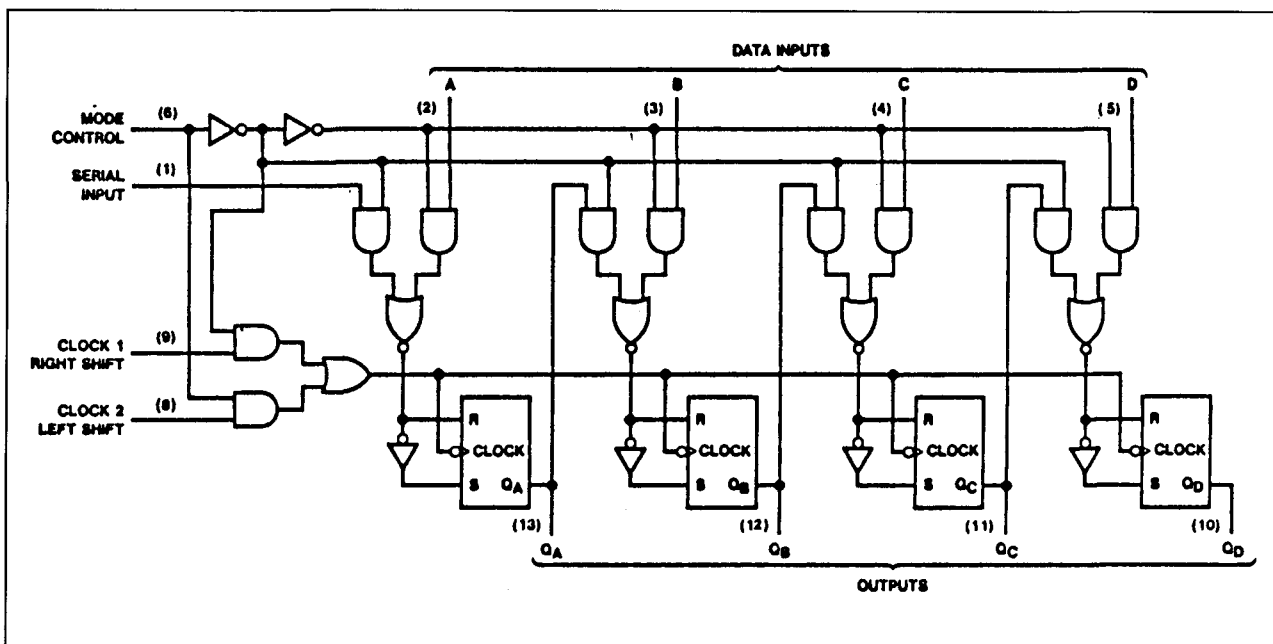
Figuur 4/10.1-4: Tijddiagram voor een 4-bit parallel-in recirculerend schuifregister.

## 10.1 Achtergrond-informatie

rechts worden geschoven. De indicatoren A, B, C en D laten de toestand van de bijbehorende Q-uitgangen zien. Door de uitgangen van FF4 terug te koppelen naar de ingangen van FF1 (Q van FF4 naar J van FF1 en  $\bar{Q}$  van FF4 naar K van FF1) is het schuifregister recirculerend geworden. De informatie gaat dan niet verloren aan de rechterkant. Figuur 4/10.1-4 is weer een tijddiagram, waarin achtereenvolgens clear, parallel laden en naar rechts schuiven te zien zijn. Omdat de Presetlijnen actief LAAG zijn, moeten deze normaal HOOG zijn (net als Clear).

Op punt a wordt het schuifregister leeggemaakt, zodat de inhoud 0000 wordt. Dit is nodig omdat op punt b alleen de A en B ingangen worden geactiveerd. De C en D ingangen blijven bij het parallel laden ongemoeid. Op punt c moeten alle parallel ingangen weer in de HOOG toestand worden gezet om naar rechts schuiven mogelijk te maken. Na 4 clockpulsen is de informatie weer in de oorspronkelijke flip-flop's terecht gekomen. De schakeling kan dus worden gebruikt om een bepaalde combinatie 1-en en 0-en (een zogenaamd 'woord') in serie te laten passeren.

Normaal zal uitgang D als seriële uitgang dienen, maar ook de andere kunnen voor dit doel worden gebruikt. Moet de informatie slechts eenmaal in serie worden gezet, dan moet de clock na 4 pulsen worden gesperd (punt d). Aan de schakeling van figuur 4/10.1-3 zijn wat nadelen verbonden: voor het op tijd aanbieden en weghalen van de parallel ingangsdata is extra logica nodig en het laden geschiedt asynchroon. Met het schuifregister van figuur 4/10.1-5 (het type 7495) wordt aan deze bezwaren tegemoet gekomen. De R en S ingangen in dit schema zijn eigenlijk de J en K ingangen. Als de mode-ingang HOOG is, wordt data op de A, B, C en D ingangen parallel geladen door een puls op de clock2-ingang. Is de mode-ingang LAAG, dan wordt naar rechts geschoven door pulsen op de clock1-ingang (right shift). De clock2-ingang heeft als extra aanduiding 'left shift'. Er wordt echter alleen maar links geschoven wanneer de mode-ingang HOOG is, en  $Q_B$  aan A,  $Q_C$  aan B en  $Q_D$  aan C zijn gelegd. Er wordt dan in feite telkens parallel geladen met de inhoud van de flip-flop aan de rechterzijde.



Figuur 4/10.1-5: Logisch schema van een 4-bit synchroon parallel-in schuifregister (type 7495).



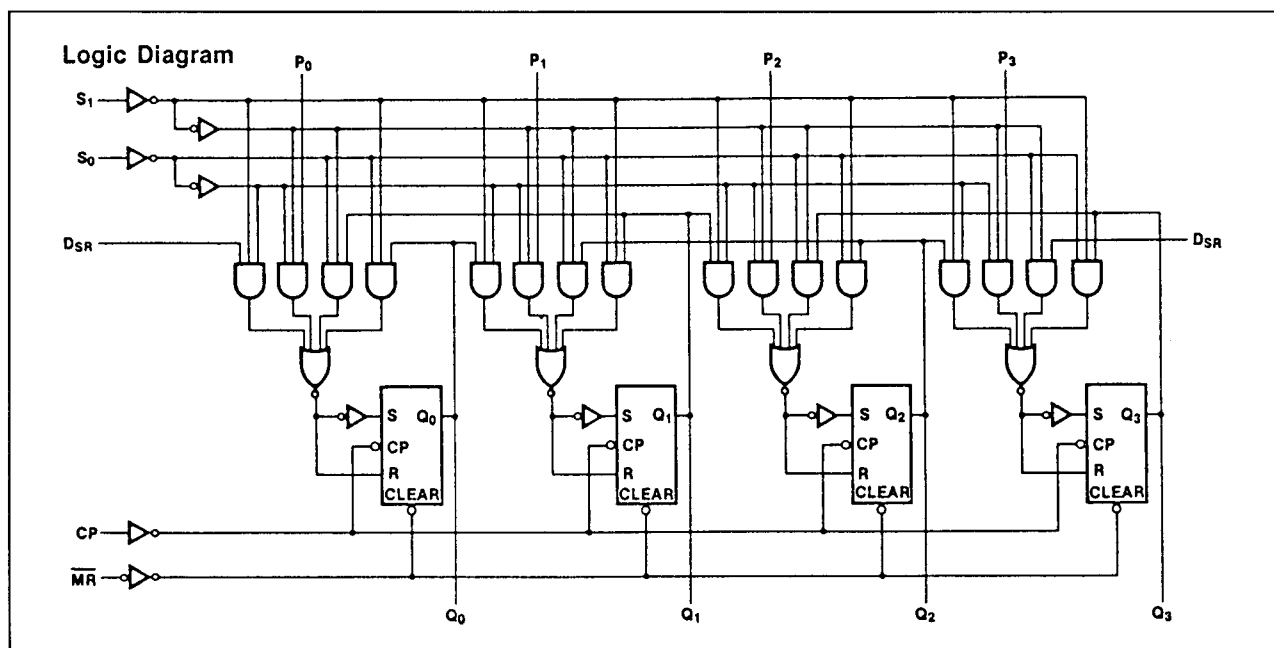
## 10.1 Achtergrond-informatie

### Universeel schuifregister

Als voorbeeld van een zogenaamd 'universeel' schuifregister is in figuur 4/10.1-6 het inwendige van een 74194 te zien. Behalve 4 parallelle ingangen en 4 parallelle uitgangen heeft deze schakeling 2 seriële ingangen (één voor naar rechts en één voor naar links schuiven). Welke handeling wordt verricht, wordt bepaald door de beide mode-ingangen S0 en S1. De schakeling komt dus overeen met die van figuur 4/10.1-5.

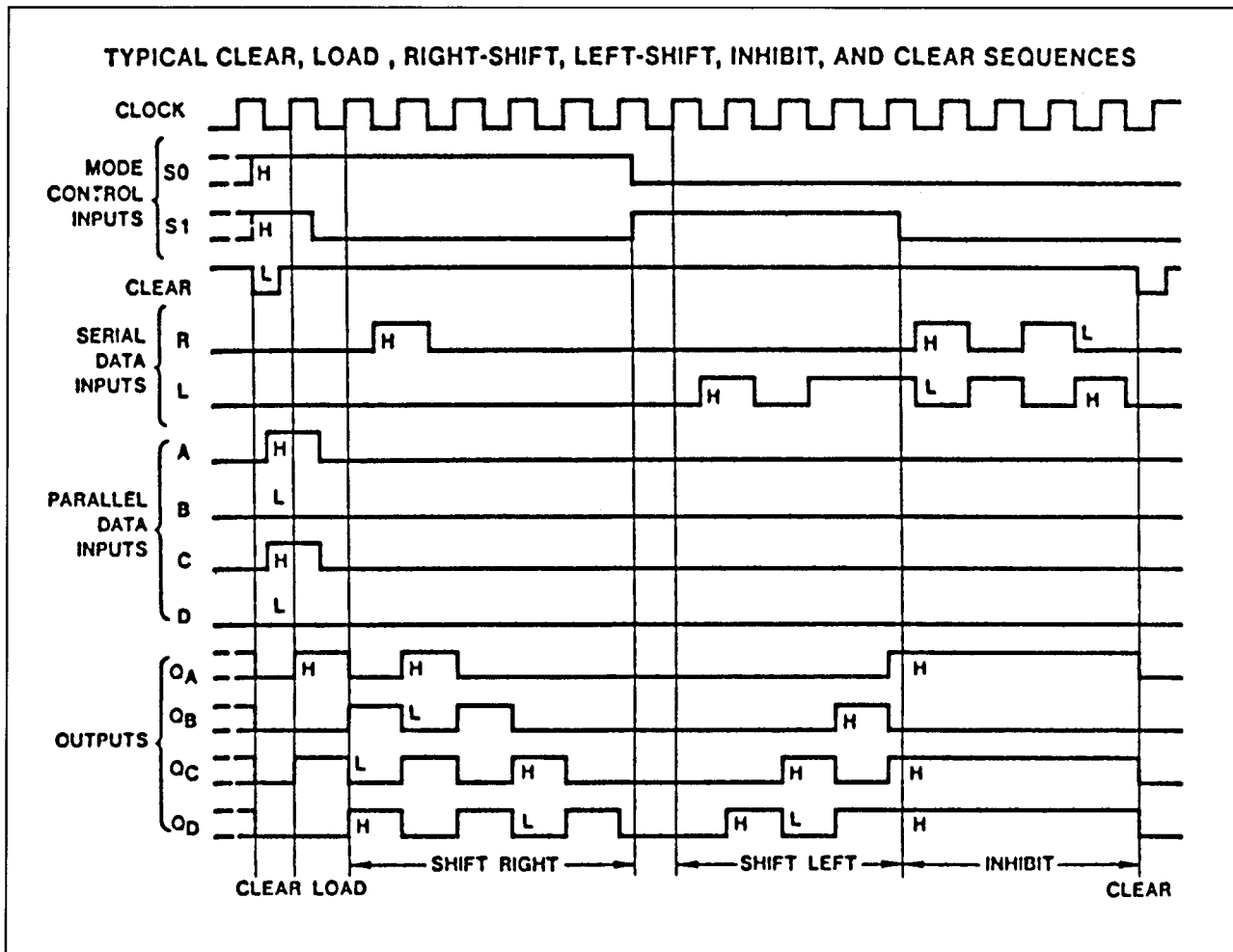
Wanneer  $S0 = S1 = \text{LAAG}$  wordt van elke groep van vier AND-poorten de meest recht-

se gekozen, zodat elke flip-flop met zijn eigen uitgang is verbonden. Het schuifregister bevindt zich dan in de 'houd' toestand. Bij  $S0 = \text{HOOG}$  en  $S1 = \text{LAAG}$  wordt de meest linkse AND-poort gekozen: naar rechts schuiven. Is  $S0 = \text{LAAG}$  en  $S1 = \text{HOOG}$ , dan wordt naar links geschoven en wanneer  $S0 = S1 = \text{HOOG}$  wordt er parallel geladen. Een en ander kan worden gevolgd aan de hand van het tijddiagram van figuur 4/10.1-7. Met dit universele schuifregister zijn dus alle dataverwerkende handelingen mogelijk: parallel-in/uit, serie-in/uit, naar links- en naar rechts schuiven.



Figuur 4/10.1-6: Logisch schema van een 4-bit universeel schuifregister (type 74194).

## 10.1 Achtergrond-informatie



Figuur 4/10.1-7: Tijddiagram behorende bij het 4-bit universele schuifregister.

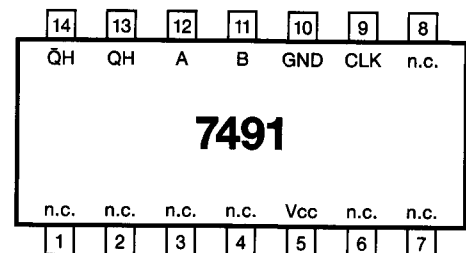
## 4/10.2

## Schuifregisters 74xx-serie

## 7491

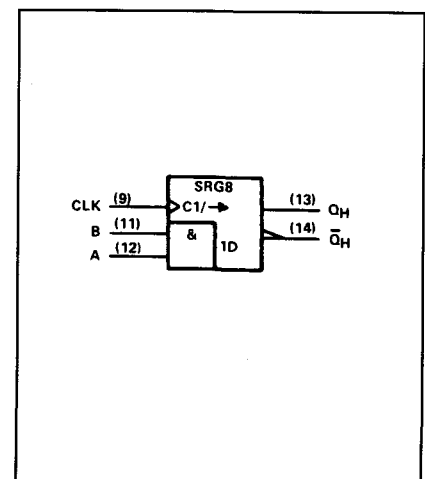
8-bit serie-in,  
serie-uit  
schuifregister

Figuur 4/10.2-91.



LOGICA	TTL <sup>1)</sup>	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	35	3.5			12					mA
I <sub>os</sub>	-18 -57	-3 -15			-20 -100					mA
T <sub>plh</sub> <sup>2)</sup>	24	55			24					ns
T <sub>phl</sub> <sup>2)</sup>	27	100			27					ns
f <sub>clock</sub> (max)	18	6.5			18					MHz

1) 7491A 2) clock → output



inputs op	t <sub>n</sub>	outputs op	t <sub>n+8</sub>
A	B	QH	QH
H	H	H	L
L	X	L	H
X	L	L	H

t<sub>n</sub> = ref. bit tijd,  
clock low

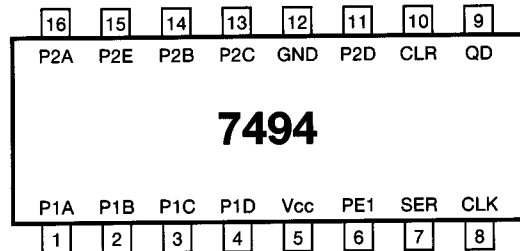
t<sub>n+8</sub> = bit tijd na 8  
laag → hoog clock  
overgangen

## 10.2 74xx-serie

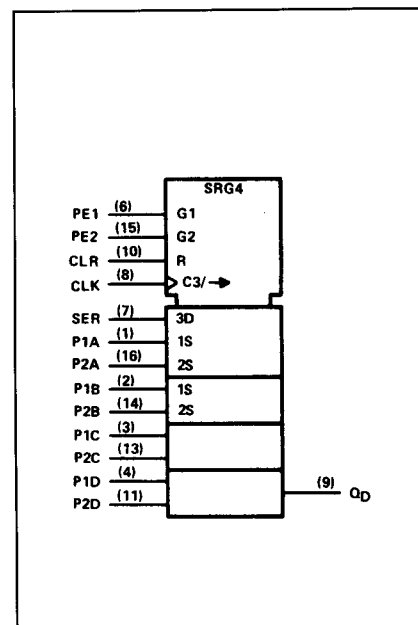
## 7494

4-bit schuifregister  
parallel/serie-in,  
serie-uit

Figuur 4/10.2-94.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	35									mA
I <sub>os</sub>	-18 -57									mA
T <sub>plh</sub> <sup>1)</sup>	25									ns
T <sub>phl</sub> <sup>1)</sup>	25									ns
T <sub>plh</sub> <sup>2)</sup>	35									ns
T <sub>phl</sub> <sup>3)</sup>	40									ns
f <sub>clock</sub> (max)	10									MHz



1) clock → output 2) preset → output 3) clear → output

Waarheidstabel voor presetten  
(alle andere bits net als bit A)

preset inputs				internal preset A
PE1	P1A	PE2	P2A	
L	X	L	X	H (inactive)
L	X	X	L	H (inactive)
X	L	L	X	H (inactive)
X	L	X	L	H (inactive)
H	H	X	X	L (active)
X	X	H	H	L (active)

Waarheidstabel  
voor registers

internal presets				inputs			internal outputs			output
A	B	C	D	clear	clock	serial	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
H	H	H	H	H	X	X	L	L	L	L
L	L	L	L	L	X	X	H	H	H	H
H	H	H	H	L	L	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>
L	H	L	H	L	L	X	H	Q <sub>B0</sub>	H	Q <sub>D0</sub>
H	H	H	H	L	↑	H	H	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>
H	H	H	H	L	↑	L	L	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>

H = hoog (stabiël)

L = laag (stabiël)

X = onbepaald

↑ = overgang van laag naar hoog

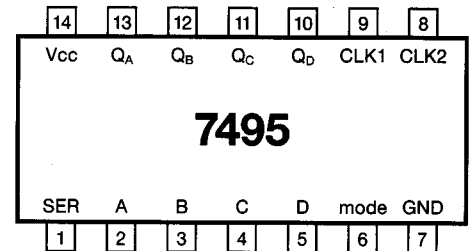
Q<sub>A0</sub>, Q<sub>B0</sub>, Q<sub>C0</sub>, Q<sub>D0</sub> = niveau van Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub> voordat ingangscondities stabiel werden  
Q<sub>An</sub>, Q<sub>Bn</sub>, Q<sub>Cn</sub>, Q<sub>Dn</sub> = niveau van Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub> vlak voor laatste ↑ overgang van clock

## 10.2 74xx-serie

## 7495

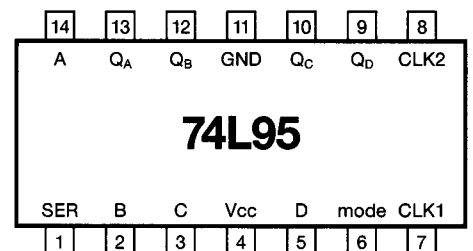
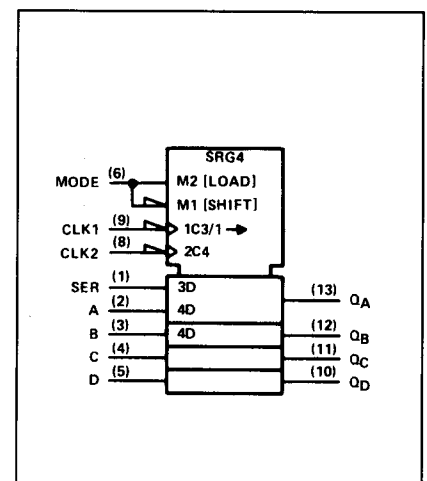
4-bit parallel access  
schuifregister (parallel-in/  
parallel-uit, schuif rechts,  
schuif links, serie-in)

Figuur 4/10.2-95.



LOGICA	TTL <sup>1)</sup>	L	F	S	LS <sup>2)</sup>	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	H L	39	3.8			13 26.1		0.05 <sup>3)</sup>		mA
I <sub>os</sub>		-18 -57	-3 -15			-20 -100	-30 -112	-1.75 +1.75		mA
T <sub>plh</sub> <sup>4)</sup>		18	115			18	10	200		ns
T <sub>phl</sub> <sup>4)</sup>		21	125			21	9.5	200		ns
f <sub>clock</sub> (max)		36	5			36	100	5		MHz

1) 7495A 2) 74LS95B 3)  $\mu$ A 4) clock  $\rightarrow$  output

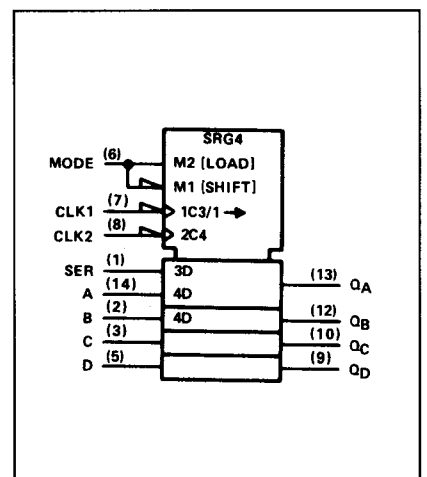


inputs											
mode control	clocks		serial	parallel				outputs			
	2(L)	1(R)		A	B	C	D	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
H	H	X	X	X	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>
H	↓	X	X	a	b	c	d	a	b	c	d
H	↓	X	X	Q <sub>B</sub> <sup>+</sup>	Q <sub>C</sub> <sup>+</sup>	Q <sub>D</sub> <sup>+</sup>	d	Q <sub>Bn</sub>	Q <sub>Cn</sub>	Q <sub>Dn</sub>	d
L	L	H	X	X	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>
L	X	↓	H	X	X	X	X	H	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>
L	X	↓	L	X	X	X	X	L	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>
↓	L	L	X	X	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>
↓	L	L	X	X	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>
↓	L	H	X	X	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>
↑	H	L	X	X	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>
↑	H	H	X	X	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>

† bij het naar links schuiven moet extern QB met A, QC met B en QD met C worden verbonden.  
Serie-in data op input D

H = hoog (stabiel) L = laag (stabiel) X = onbepaald  
↓ = overgang van hoog naar laag niveau  
↑ = overgang van laag naar hoog niveau

a, b, c, d = niveau van ingangssignaal op inputs A, B, C, D  
QA0, QB0, QC0, QD0 = niveau van QA, QB, QC, QD voordat ingangscondities stabiel werden  
QA<sub>n</sub>, QB<sub>n</sub>, QC<sub>n</sub>, QD<sub>n</sub> = niveau van QA, QB, QC, QD vlak voor laatste ↓ overgang van clock

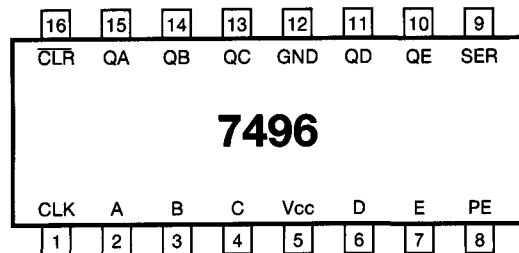


## 10.2 74xx-serie

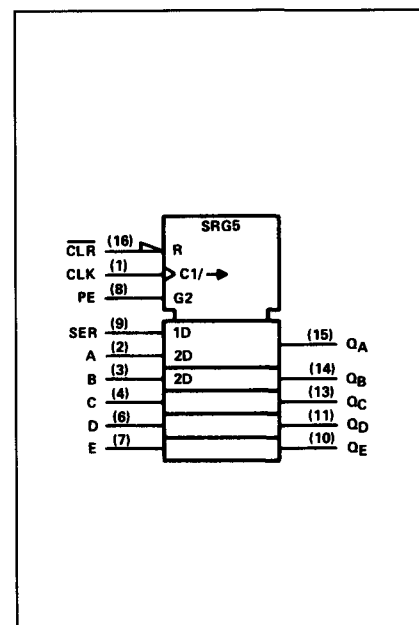
## 7496

5-bit schuifregister  
met asynchrone preset  
en clear

Figuur 4/10.2-96.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	48	24			12					mA
I <sub>os</sub>	-18 -57	-9 -29			-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>	25	50			25					ns
T <sub>phl</sub> <sup>1)</sup>	25	50			25					ns
T <sub>plh</sub> <sup>2)</sup>	28	56			28					ns
T <sub>phl</sub> <sup>3)</sup>	55	110			55					ns
f <sub>clock</sub> (max)	10	5			25					MHz



<sup>1)</sup> clock → output   <sup>2)</sup> preset (enable) → output   <sup>3)</sup> clear → output

inputs									outputs				
clear	preset enable	preset					clock	serial	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>	Q <sub>E</sub>
		A	B	C	D	E							
L	L	X	X	X	X	X	X	X	L	L	L	L	L
L	X	L	L	L	L	L	X	X	L	L	L	L	L
H	H	H	H	H	H	H	X	X	H	H	H	H	H
H	H	L	L	L	L	L	L	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>	Q <sub>E0</sub>
H	H	H	L	H	L	H	L	X	H	Q <sub>B0</sub>	H	Q <sub>D0</sub>	H
H	L	X	X	X	X	X	L	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>	Q <sub>E0</sub>
H	L	X	X	X	X	X	↑	H	H	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>	Q <sub>Dn</sub>
H	L	X	X	X	X	X	↑	L	L	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>	Q <sub>Dn</sub>

H = hoog (stabiel) L = laag (stabiel) X = onbepaald

↑ = overgang van laag naar hoog

Q<sub>A0</sub>, Q<sub>B0</sub>, Q<sub>C0</sub>, Q<sub>D0</sub>, Q<sub>E0</sub> = niveau van Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub>, Q<sub>E</sub> voordat ingangscondities stabiel werden

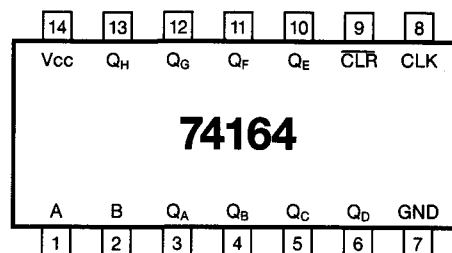
Q<sub>An</sub>, Q<sub>Bn</sub>, Q<sub>Cn</sub>, Q<sub>Dn</sub>, Q<sub>En</sub> = niveau van Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub>, Q<sub>E</sub> vlak voor laatste ↑-overgang van clock

## 10.2 74xx-serie

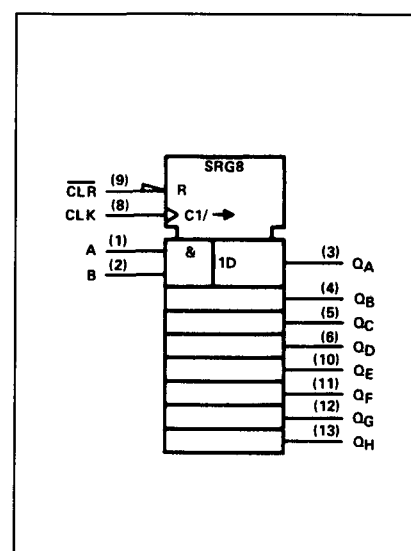
## 74164

8-bit parallel-uit/  
serie-in schuifregister

Figuur 4/10.2-164.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	37	19	35		16			0.05 <sup>3)</sup>	80 <sup>3)</sup>	mA
I <sub>os</sub>	-9 -27.5	-4 -20	-60 -150		-20 -100			1.75	4	mA
T <sub>plh</sub> <sup>1)</sup>	20	20	4.5 9.0		17			230	23	ns
T <sub>phl</sub> <sup>1)</sup>	25	50	5.0 11		21			230	23	ns
T <sub>phl</sub> <sup>2)</sup>	28	56	5.5 14		24			280	28	ns
f <sub>clock</sub> (max)	36	18	80		36			3	25	MHz



1) clock → output 2) clear → output 3) μA

INPUTS				OUTPUTS			
CLEAR	CLOCK	A	B	Q <sub>A</sub>	Q <sub>B</sub> ...	Q <sub>H</sub>	
L	X	X	X	L	L	L	
H	L	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>H0</sub>	
H	↑	H	H	H	Q <sub>An</sub>	Q <sub>Gn</sub>	
H	↑	L	X	L	Q <sub>An</sub>	Q <sub>Gn</sub>	
H	↑	X	L	L	Q <sub>An</sub>	Q <sub>Gn</sub>	

H = hoog niveau

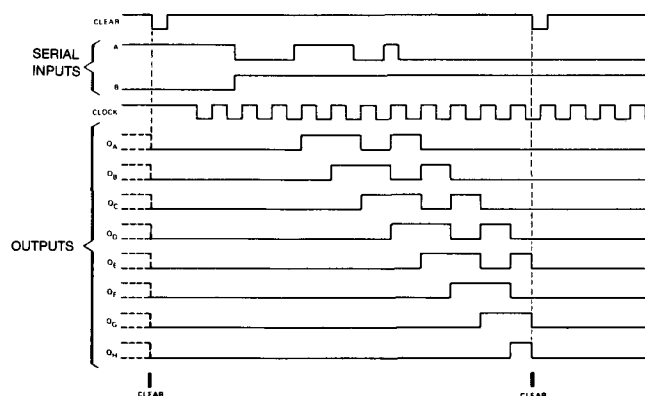
L = laag niveau

X = onbepaald

↑ = overgang van laag naar hoog

Q<sub>A0</sub>, Q<sub>B0</sub>, enz = niveau van Q<sub>A</sub>, Q<sub>B</sub> enz voordat de ingangscondities stabiel werdenQ<sub>A0</sub>, Q<sub>B0</sub>, enz = niveau van Q<sub>A</sub>, Q<sub>B</sub> enz vlak voor laatste ↑ overgang van clock

gang van zaken bij clear, shift en clear

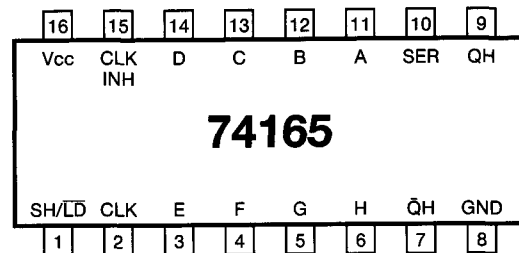


## 10.2 74xx-serie

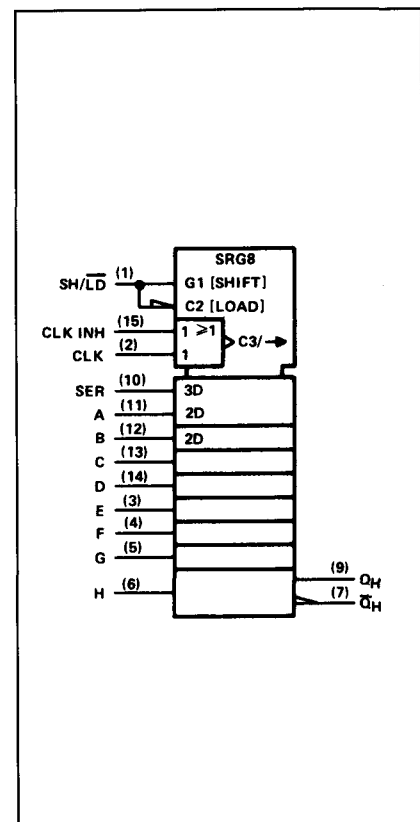
## 74165

8-bit parallel-in/  
serie-uit schuifregister

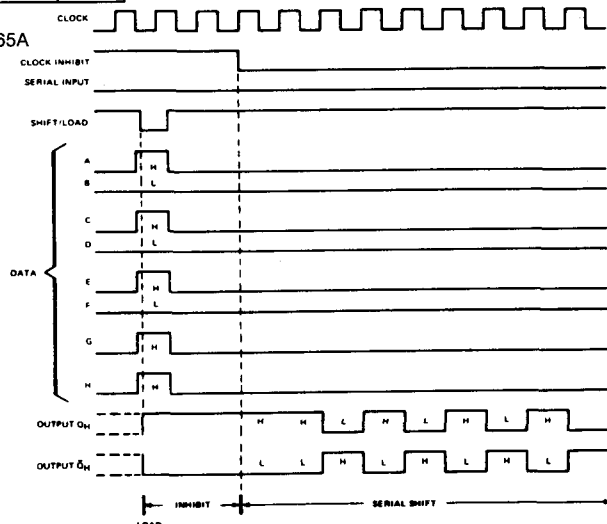
Figuur 4/10.2-165.



LOGICA	TTL	L <sup>(6)</sup>	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	42	9.5			21		16	0.05 <sup>(5)</sup>	80 <sup>(5)</sup>	mA
I <sub>os</sub>	-18 -55	-3 -15			-20 -100		-30 -112	3.6	4	mA
T <sub>plh</sub> <sup>(1)</sup>	21	44			22			200	20	ns
T <sub>p<sub>h</sub>l</sub> <sup>(1)</sup>	27	62			22			200	20	ns
T <sub>plh</sub> <sup>(2)</sup>	16	35			27		12	200	15	ns
T <sub>p<sub>h</sub>l</sub> <sup>(2)</sup>	21	50			28		13	200	15	ns
T <sub>plh</sub> <sup>(3)</sup>	11	33			14			200	15	ns
T <sub>p<sub>h</sub>l</sub> <sup>(3)</sup>	24	56			21			200	15	ns
T <sub>plh</sub> <sup>(4)</sup>	18	33			21			200	15	ns
T <sub>p<sub>h</sub>l</sub> <sup>(4)</sup>	18	56			16			200	15	ns
f <sub>clock</sub> (max)	26	14			35			6	25	MHz

1) load → output 2) clock → output 3) H → Q<sub>H</sub> 4) H → Q<sub>H</sub>-bar 5) μA 6) 74L165A

SHIFT/ LOAD	CLOCK INHIBIT	INPUTS			INTERNAL OUTPUTS		OUTPUT Q <sub>H</sub>
		CLOCK	SERIAL	PARALLEL A ... H	Q <sub>A</sub>	Q <sub>B</sub>	
L	X	X	X	a ... h	a	b	h
H	L	L	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>H0</sub>
H	L	↑	H	X	H	Q <sub>An</sub>	Q <sub>Gn</sub>
H	L	↑	L	X	L	Q <sub>An</sub>	Q <sub>Gn</sub>
H	H	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>H0</sub>

gang van zaken  
bij shift, load  
en inhibit

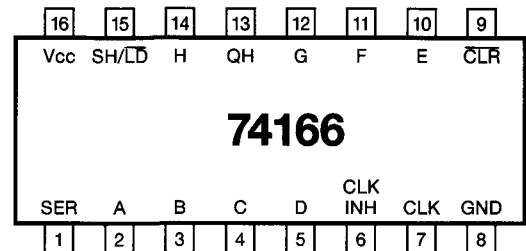


## 10.2 74xx-serie

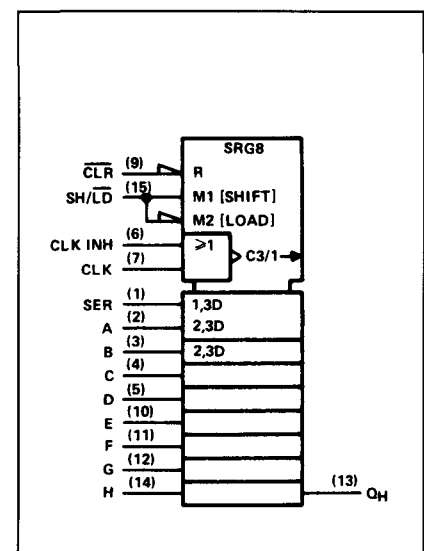
## 74166

8-bit schuifregister  
(parallel/serie-in, serie-uit)

Figuur 4/10.2-166.



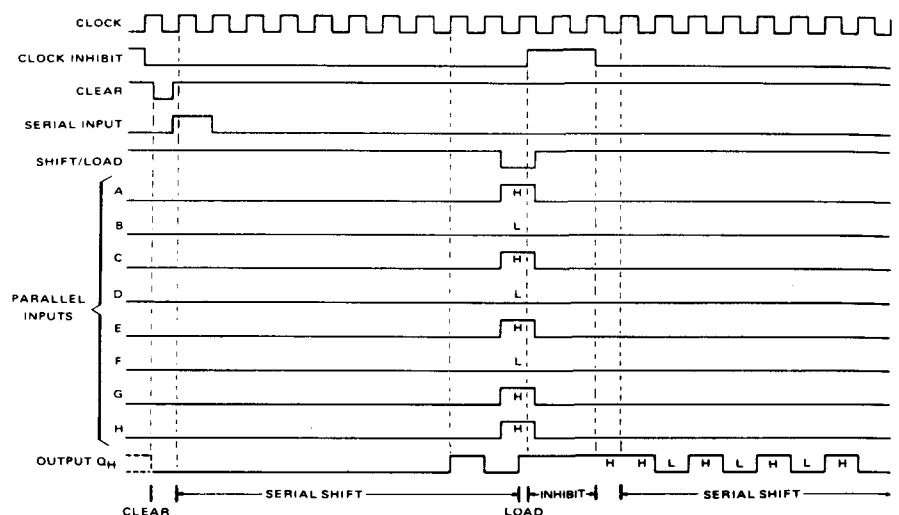
LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
Icc	90				22		16		80 <sup>3)</sup>	mA
Ios	-18 -57				-20 -100		-30 -112		4	mA
Tplh <sup>1)</sup>	17				24		12		15	ns
Tphl <sup>1)</sup>	20				23		13		15	ns
Tphl <sup>2)</sup>	23				19		10		18	ns
f clock (max)	35				35		60		25	MHz



1) Clock → output 2) clear → output 3)  $\mu A$

INPUTS						INTERNAL OUTPUTS		OUTPUT
CLEAR	SHIFT/LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A...H	QA	QB	QH
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	QA0	QB0	QH0
H	L	L	↑	X	a...h	a	b	h
H	H	L	↑	H	X	H	QAn	QGn
H	H	L	↑	L	X	L	QAn	QGn
H	X	H	↑	X	X	QA0	QB0	QH0

gang van zaken bij clear, shift, load, inhibit en shift

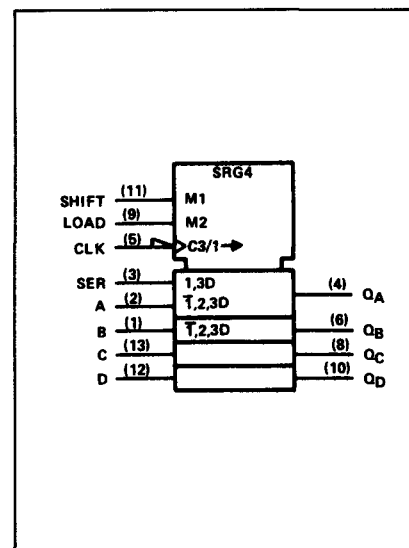
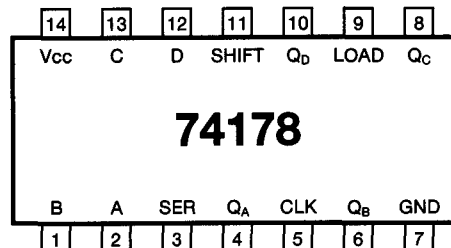


## 10.2 74xx-serie

## 74178

4-bit parallel-access  
schuifregister (synchroon par.load,  
rechts schuiven, hold)  
neg. edge triggered

Figuur 4/10.2-178.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
Icc	46									mA
Ios	-18 -57									mA
Tplh <sup>1)</sup>	17									ns
Tphl <sup>1)</sup>	23									ns
Tphl <sup>2)</sup>	24									ns
f clock (max)	25									MHz

1) Clock → output 2) clear → output

inputs					outputs			
SHIFT	LOAD	Clock	Serial	parallel				
				A	B	C	D	
X	X	H	X	X	X	X	X	QA0 QB0 QC0 QD0
L	L	↓	X	X	X	X	X	QA0 QB0 QC0 QD0
L	H	↓	X	a	b	c	d	a b c d
H	X	↓	H	X	X	X	X	H QA <sub>n</sub> QB <sub>n</sub> QC <sub>n</sub> QD <sub>n</sub>
H	X	↓	L	X	X	X	X	L QA <sub>n</sub> QB <sub>n</sub> QC <sub>n</sub> QD <sub>n</sub>

H = hoog (stabiel) L = laag (stabiel) X = onbepaald

↓ = overgang van hoog naar laag

a, b, c, d = niveau van ingangssignaal op inputs A, B, C, D

QA0, QB0, QC0, QD0 = niveau van QA, QB, QC, QD voordat ingangscondities stabiel werden

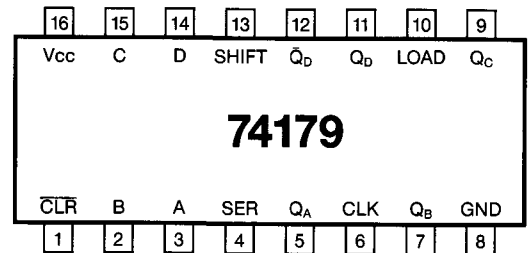
QA<sub>n</sub>, QB<sub>n</sub>, QC<sub>n</sub>, QD<sub>n</sub> = niveau van QA, QB, QC, QD vlak voor laatste ↓ overgang van clock

## 10.2 74xx-serie

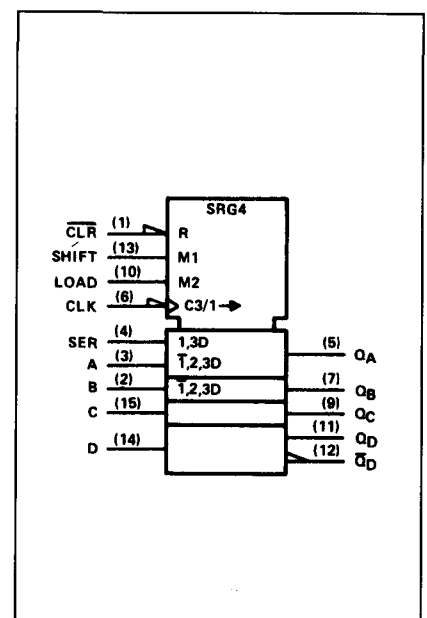
## 74179

4-bit parallel-access  
schuifregister (direct clear,  
 $Q_D$ -complementaire uitgangen)

Figuur 4/10.2-179.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	46									mA
I <sub>os</sub>	-18 -57									mA
T <sub>plh</sub> <sup>1)</sup>	17									ns
T <sub>phl</sub> <sup>1)</sup>	23									ns
T <sub>plh</sub> <sup>2)</sup>	15									ns
T <sub>phl</sub> <sup>3)</sup>	24									ns
f <sub>clock</sub> (max)	25									MHz



1) Clock → output 2) clear → output  $Q_D$  3) clear → outputs  $Q_A, Q_B, Q_C, Q_D$

inputs									outputs				
clear	shift	load	clock	serial	A	B	C	D	$Q_A$	$Q_B$	$Q_C$	$Q_D$	$\bar{Q}_D$
L	X	X	X	X	X	X	X	X	L	L	L	L	H
H	X	X	H	X	X	X	X	X	$Q_{A0}$	$Q_{B0}$	$Q_{C0}$	$Q_{D0}$	$\bar{Q}_{D0}$
H	L	L	↓	X	X	X	X	X	$Q_{A0}$	$Q_{B0}$	$Q_{C0}$	$Q_{D0}$	$\bar{Q}_{D0}$
H	L	H	↓	X	a	b	c	d	a	b	c	d	$\bar{d}$
H	H	X	↓	H	X	X	X	X	$Q_{An}$	$Q_{Bn}$	$Q_{Cn}$	$Q_{Dn}$	$\bar{Q}_{Dn}$
H	H	X	↓	L	X	X	X	X	$Q_{An}$	$Q_{Bn}$	$Q_{Cn}$	$Q_{Dn}$	$\bar{Q}_{Dn}$

H = hoog (stabiel) L = laag (stabiel) X = onbepaald

↓ = overgang van hoog naar laag

a, b, c, d = niveau van ingangssignaal op inputs A, B, C, D

$Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0}$  = niveau van  $Q_A, Q_B, Q_C, Q_D$ , voordat ingangscondities stabiel werden

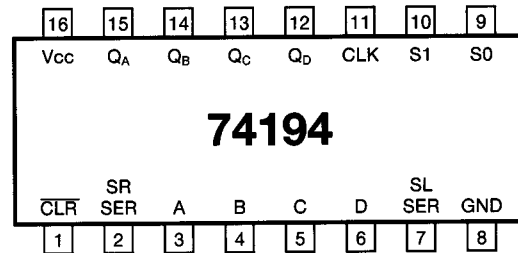
$Q_{An}, Q_{Bn}, Q_{Cn}, Q_{Dn}$  = niveau van  $Q_A, Q_B, Q_C, Q_D$  vlak voor laatste ↓ overgang van clock

## 10.2 74xx-serie

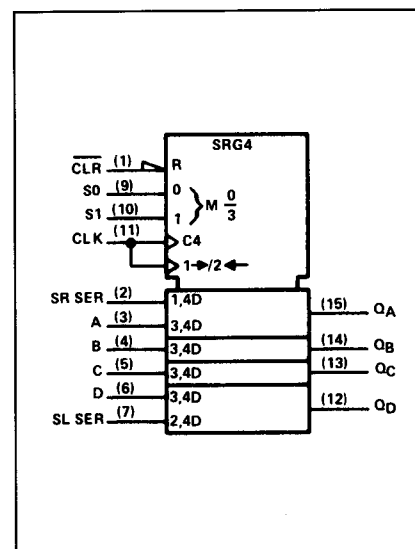
## 74194

4-bit bidirectioneel  
universeel schuifregister  
(parallel in/uit, schuif links/rechts)

Figuur 4/10.2-194.



LOGICA	TTL	L	F	S	LS <sup>3)</sup>	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	39		33	85	15	28 35				80 <sup>4)</sup> mA
I <sub>os</sub>	-18 -57		-60 -150	-40 -100	-20 -100	-30 -112				4 mA
T <sub>plh</sub> <sup>1)</sup>	14		5.2	8	14	2 8				17 ns
T <sub>phl</sub> <sup>1)</sup>	17		5.5	11	17	2 8				17 ns
T <sub>phl</sub> <sup>2)</sup>	19		8.6	12.5	19	3 11.5				17 ns
f <sub>clock</sub> (max)	36		150	105	36	110				25 MHz

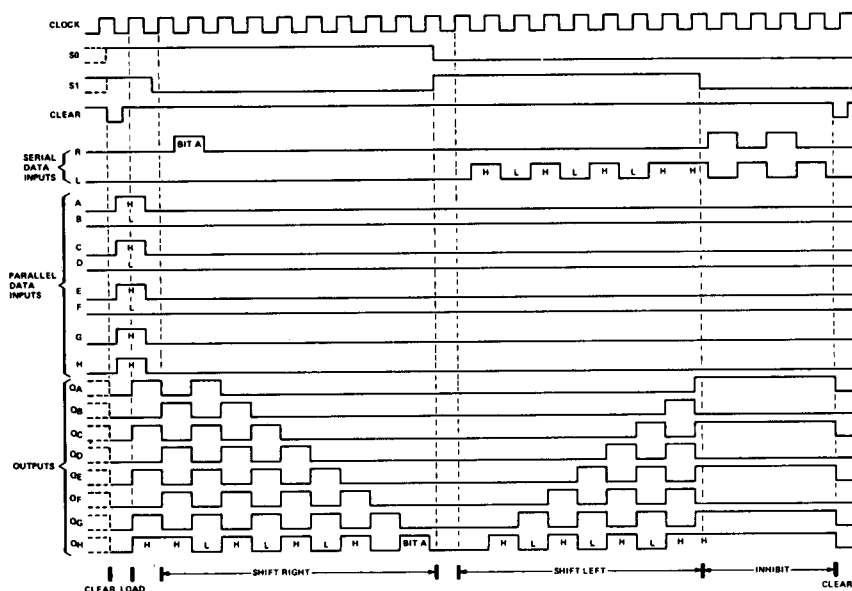


1) clock → output 2) clear → output 3) 74LS194A 4)  $\mu$ A

INPUTS						OUTPUTS			
CLEAR	MODE S1 S0	CLOCK	SERIAL		PARALLEL				
			LEFT	RIGHT	A	B	C	D	
L	X X	X	X X	X X	X X	X X	X X	X X	L L L L
H	X X	L	X X	X X	X X	X X	X X	X X	QA0 QB0 QC0 QD0
H	L H	↑	X H	X H	X X	X X	X X	X X	H QA <sub>n</sub> QB <sub>n</sub> QC <sub>n</sub> QD <sub>n</sub>
H	L H	↑	X L	X L	X X	X X	X X	X X	L QA <sub>n</sub> QB <sub>n</sub> QC <sub>n</sub> QD <sub>n</sub>
H	H L	↑	H X	X X	X X	X X	X X	X X	QB <sub>n</sub> QC <sub>n</sub> QD <sub>n</sub> H
H	H L	↑	L X	X X	X X	X X	X X	X X	QB <sub>n</sub> QC <sub>n</sub> QD <sub>n</sub> L
H	L L	X	X X	X X	X X	X X	X X	X X	QA0 QB0 QC0 QD0

H = hoog niveau L = laag niveau X = onbepaald  
 ↑ = overgang van laag naar hoog  
 a, b, c, d = niveau van ingangssignaal op A, B, C, D  
 QA<sub>0</sub>, QB<sub>0</sub>, QC<sub>0</sub>, QD<sub>0</sub> = niveau van QA, QB, QC, QD voordat ingangscondities stabiel werden  
 QA<sub>n</sub>, QB<sub>n</sub>, QC<sub>n</sub>, QD<sub>n</sub> = niveau van QA, QB, QC, QD vlak voor laatste overgang van clock

gang van zaken bij clear, load, shift-right, shift-left, inhibit en clear

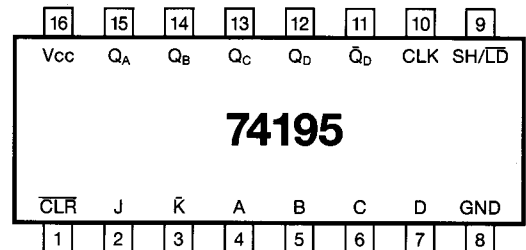


## 10.2 74xx-serie

## 74195

4-bit parallel-access  
schuifregister

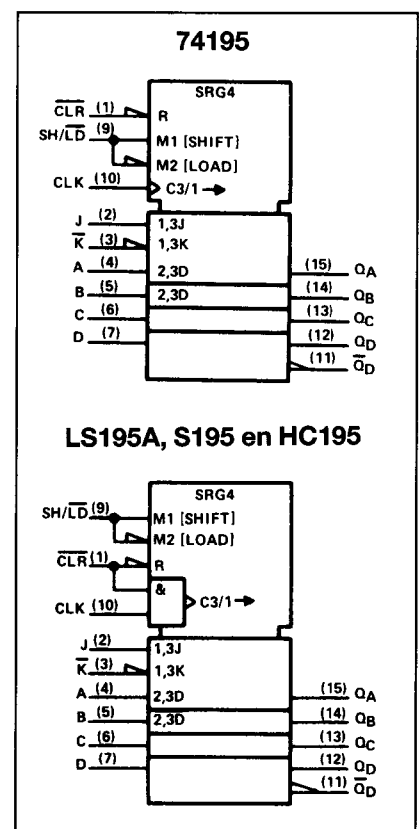
Figuur 4/10.2-195.



LOGICA	TTL	L	F	S	LS <sup>3)</sup>	AS <sup>5)</sup>	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	39			70	14			0.05 <sup>4)</sup>	80 <sup>4)</sup>	mA
I <sub>os</sub>	-18 -57		-60 -150	-40 -100	-20 -100			1.75	4	mA
T <sub>plh</sub> <sup>1)</sup>	14		7	8	14			150	17	ns
T <sub>phl</sub> <sup>1)</sup>	17		7	11	17			150	17	ns
T <sub>phl</sub> <sup>2)</sup>	19		12	12.5	19			150	17	ns
f <sub>clock</sub> (max)	39		150	105	39	105		3	25	MHz

<sup>1)</sup> Clock → output   <sup>2)</sup> clear → output   <sup>3)</sup> 74LS195A   <sup>4)</sup> μA

<sup>5)</sup> verdere gegevens ontbreken nog



INPUTS						OUTPUTS					
CLEAR	SHIFT/ LOAD	CLOCK	SERIAL		PARALLEL				QA	QB	QC
			J	K	A	B	C	D			
L	X	X	X	X	X	X	X	X	L	L	L
H	L	↑	X	X	a	b	c	d	a	b	c
H	H	L	X	X	X	X	X	X	QA0	QA0	QBn
H	H	↑	L	H	X	X	X	X	L	QA0	QBn
H	H	↑	L	L	X	X	X	X	L	QA0	QBn
H	H	↑	H	H	X	X	X	X	H	QA0	QBn
H	H	↑	H	L	X	X	X	X	H	QA0	QBn

H = hoog niveau L = laag niveau X = onbepaald

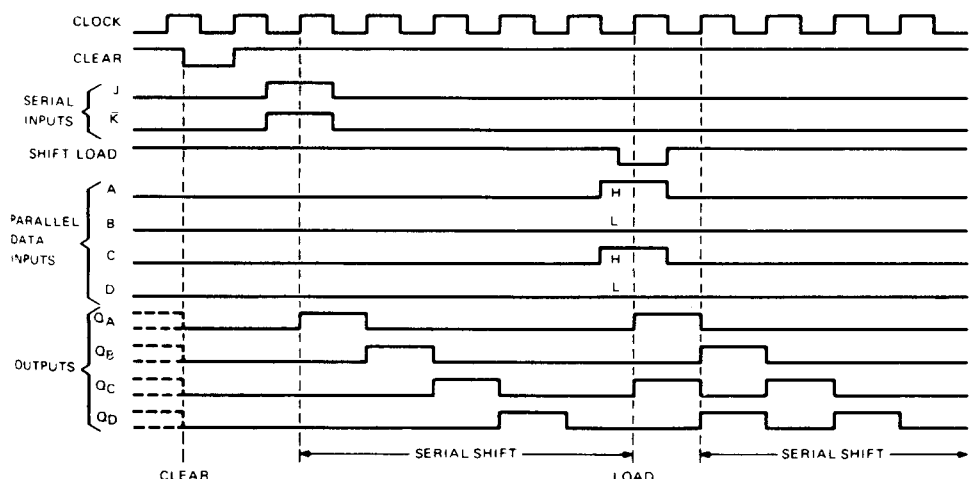
↑ = overgang van laag naar hoog

a, b, c, d = niveau van ingangssignaal op A, B, C, D

QA0, QB0, QC0, QD0 = niveau van QA, QB, QC, QD voordat ingangscondities stabiel werden

QA0, QB0, QC0, QD0 = niveau van QA, QB, QC, QD vlak voor laatste overgang van clock

gang van zaken bij clear,  
shift en load

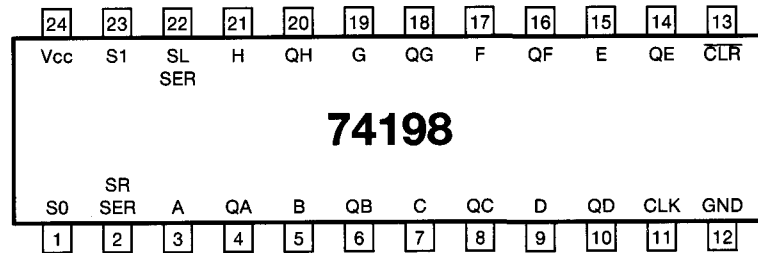


## 10.2 74xx-serie

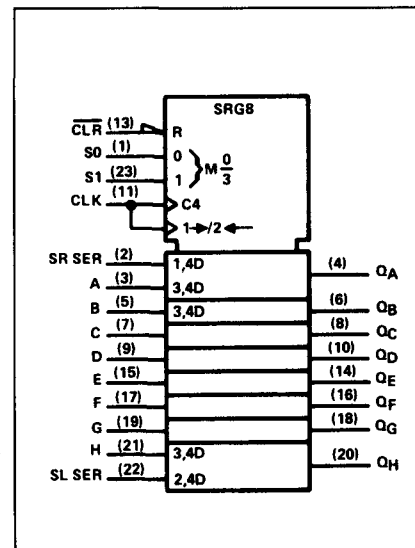
## 74198

8-bit bidirectioneel  
universeel schuifregister  
(parallel in/uit,  
schuif links/rechts)

Figuur 4/10.2-198.



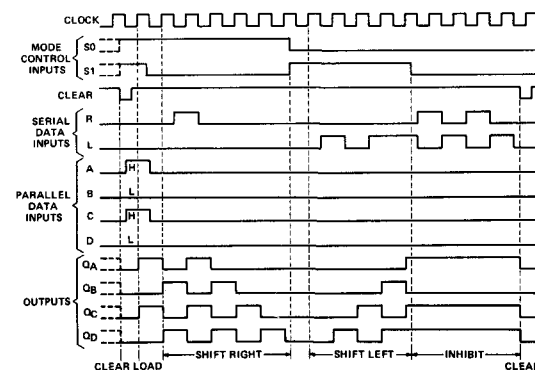
LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABLE PARAMETERS									Eenheid
Icc	90									mA
Ios	-18 -57									mA
Tplh <sup>1)</sup>	20									ns
Tphl <sup>1)</sup>	17									ns
Tphl <sup>2)</sup>	23									ns
f clock (max)	25									MHz



1) clock → output 2) clear → output

CLEAR	INPUTS				OUTPUTS			
	MODE S <sub>1</sub> S <sub>0</sub>	CLOCK	SERIAL LEFT RIGHT	PARALLEL A...H	Q <sub>A</sub> Q <sub>B</sub> ... Q <sub>G</sub> Q <sub>H</sub>	Q <sub>A0</sub> Q <sub>B0</sub> ... Q <sub>G0</sub> Q <sub>H0</sub>	Q <sub>A1</sub> Q <sub>B1</sub> ... Q <sub>G1</sub> Q <sub>H1</sub>	Q <sub>A2</sub> Q <sub>B2</sub> ... Q <sub>G2</sub> Q <sub>H2</sub>
L	X X	X	X X	X	L L	L L	L L	L L
H	X X	L	X X	X	Q <sub>A0</sub> Q <sub>B0</sub> ... Q <sub>G0</sub> Q <sub>H0</sub>	a b	g h	a b
H	H H	↑	X X	a...h	H Q <sub>An</sub> Q <sub>Fn</sub> Q <sub>Gn</sub>			
H	L H	↑	X L	X	L Q <sub>An</sub> Q <sub>Fn</sub> Q <sub>Gn</sub>			
H	H L	↑	H X	X	Q <sub>Bn</sub> Q <sub>Cn</sub> Q <sub>Hn</sub> H			
H	H L	↑	L X	X	Q <sub>Bn</sub> Q <sub>Cn</sub> Q <sub>Hn</sub> L			
H	L L	X	X X	X	Q <sub>A0</sub> Q <sub>B0</sub> ... Q <sub>G0</sub> Q <sub>H0</sub>			

H = hoog niveau L = laag niveau X = onbepaald  
 ↑ = overgang van laag naar hoog  
 a...h = niveau van ingangssignaal op A...H  
 Q<sub>A0</sub>, Q<sub>B0</sub>, Q<sub>G0</sub>, Q<sub>H0</sub> = niveau van Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>G</sub>, Q<sub>H</sub> voordat ingangscondities stabiel werden  
 Q<sub>An</sub>, Q<sub>Bn</sub>, enz = niveau van Q<sub>A</sub>, Q<sub>B</sub>, enz vlak voor laatste overgang van clock



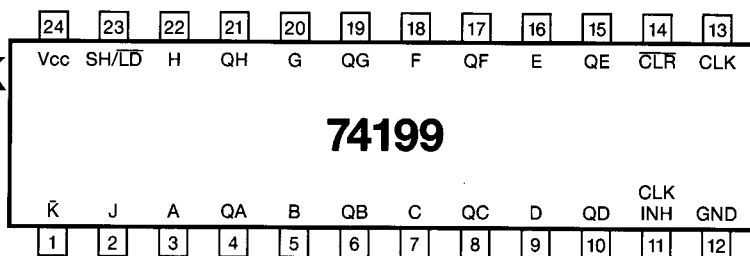
gang van zaken bij clear, load, right-shift, left-shift, inhibit en clear

## 10.2 74xx-serie

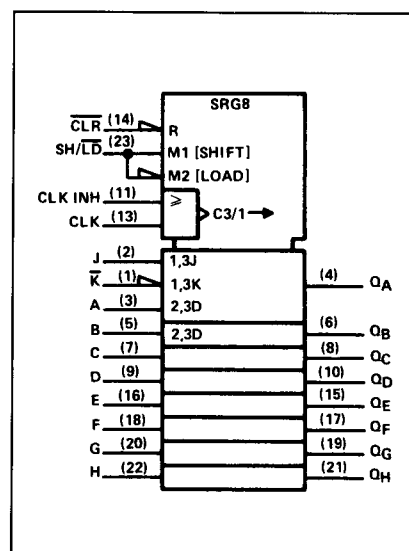
## 74199

8-bit bidirectioneel universeel schuifregister (J-K seriële ingangen, parallel in/uit, schuif links/rechts)

Figuur 4/10.2-199.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	90									mA
I <sub>os</sub>	-18 -57									mA
T <sub>plh</sub> <sup>1)</sup>	20									ns
T <sub>phl</sub> <sup>1)</sup>	17									ns
T <sub>phl</sub> <sup>2)</sup>	23									ns
f <sub>clock</sub> (max)	25									MHz



1) clock → output 2) clear → output

INPUTS						OUTPUTS			
CLEAR	SHIFT/LOAD	CLOCK INHIBIT	CLOCK	SERIAL J	SERIAL K	PARALLEL A...H	QA	QB	QC...QH
L	X	X	X	X	X	X	L	L	L
H	X	L	L	X	X	X	QA0	QB0	QC0
H	L	L	↑	X	X	a...h	a	b	c
H	H	L	↑	L	H	X	QA0	QA0	QBn
H	H	L	↑	L	L	X	L	QA0	QBn
H	H	L	↑	H	H	X	H	QA0	QBn
H	H	L	↑	H	L	X	QA0	QA0	QBn
H	X	H	↑	X	X	X	QA0	QB0	QB0

H = hoog niveau L = laag niveau X = onbepaald

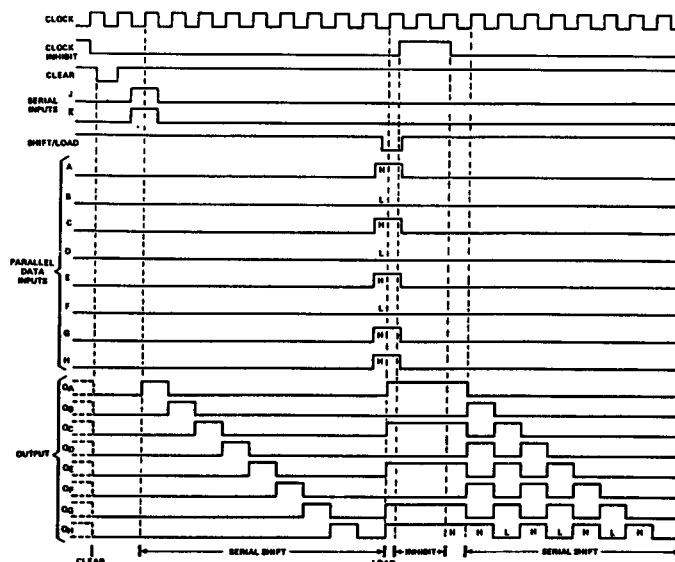
↑ = overgang van laag naar hoog

a...h = niveau vaningangssignaal op A...H

QA0, QB0, QC0, QH0 = niveau van QA, QB, QC, QH voordat ingangscondities stabiel werden

QA<sub>n</sub>, QB<sub>n</sub>, enz = niveau van QA, QB, enz vlak voor laatste ↑ overgang van clock

gang van zaken bij clear, shift, load en inhibit

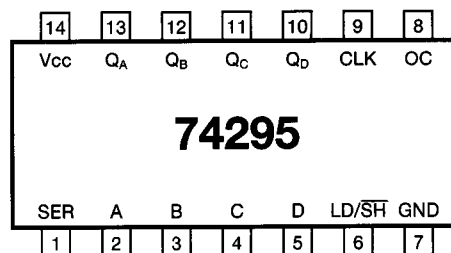


## 10.2 74xx-serie

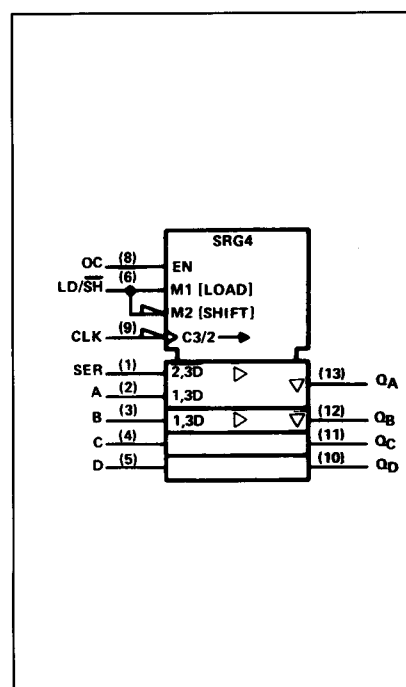
## 74295

4-bit bidirectioneel  
universeel schuifregister  
met 3-state uitgangen

Figuur 4/10.2-295.



LOGICA	TTL	L	F	S	LS <sup>1)</sup>	AS	ALS	C	HC	
	VARIABLE PARAMETERS									Eenheid
I <sub>cc</sub>					20 22					mA
I <sub>os</sub>					-30 -130					mA
T <sub>plh</sub> <sup>2)</sup>					14					ns
T <sub>phl</sub> <sup>2)</sup>					19					ns
T <sub>pzh</sub> <sup>3)</sup>					18					ns
T <sub>pzl</sub> <sup>3)</sup>					20					ns
T <sub>phz</sub> <sup>4)</sup>					13					ns
T <sub>plz</sub> <sup>4)</sup>					13					ns
f <sub>clock</sub> (max)					45					MHz



1) 74LS295B 2) clock → output 3) output enable 4) output disable

inputs							outputs			
mode control	clock	serial	A	parallel B	C	D	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
H	H	X	X	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>
H	↓	X	a	b	c	d	a	b	c	d
H	H	X	Q <sub>B</sub> <sup>†</sup>	Q <sub>C</sub> <sup>†</sup>	Q <sub>D</sub> <sup>†</sup>	d	Q <sub>Bn</sub>	Q <sub>Cn</sub>	Q <sub>Dn</sub>	d
L	↓	X	X	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>
L	H	H	X	X	X	X	H	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>
L	↓	L	X	X	X	X	L	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>

Wanneer de output control (OC) Laag is, zijn de uitgangen disabled (hoog-impedant); de sequentiële werking van de registers wordt echter niet beïnvloed.

† bij het naar links schuiven moet extern Q<sub>B</sub> met A, Q<sub>C</sub> met B en Q<sub>D</sub> met C worden verbonden

Serie-in data op input D

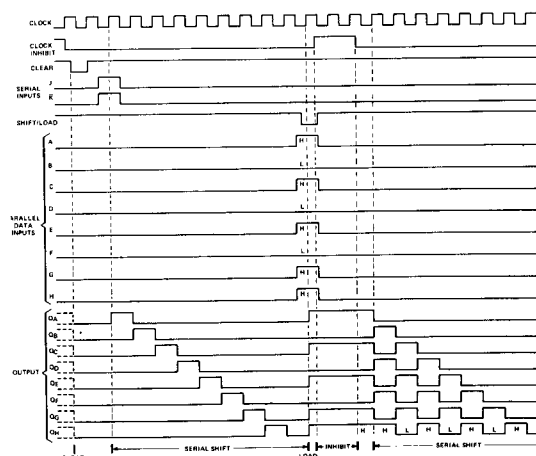
H = hoog (stabiël) L = laag (stabiël) X = onbepaald

↓ = overgang van hoog naar laag

a, b, c, d = niveau van ingangssignaal op inputs A, B, C, D

Q<sub>A0</sub>, Q<sub>B0</sub>, Q<sub>C0</sub>, Q<sub>D0</sub> = niveau van Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub> voordat ingangscondities stabiel werden

Q<sub>An</sub>, Q<sub>Bn</sub>, Q<sub>Cn</sub>, Q<sub>Dn</sub> = niveau van Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub> vlak voor laatste ↓ overgang van clock



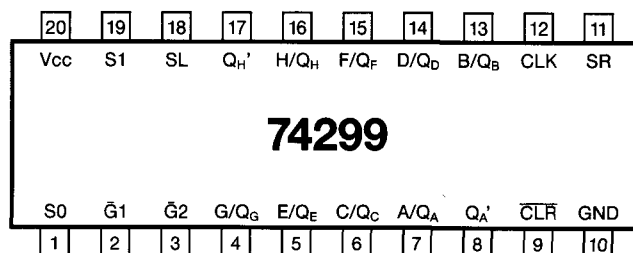


## 10.2 74xx-serie

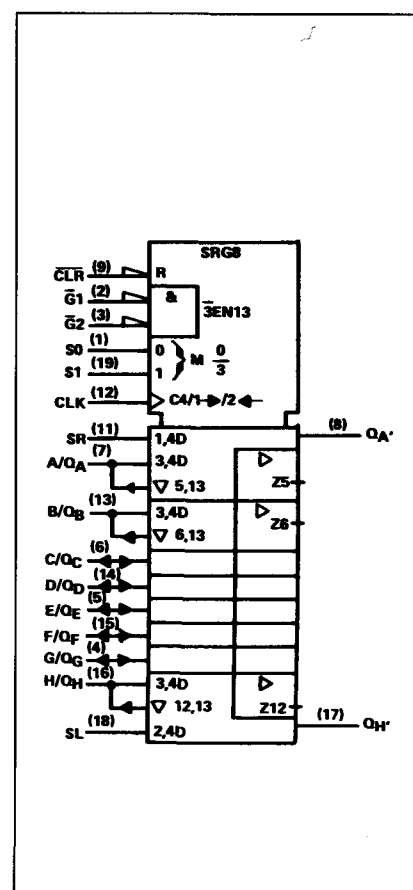
## 74299

8-bit bidirectioneel  
universeel schuif/opslag-  
register met 3-state  
uitgangen

Figuur 4/10.2-299.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub> <sup>H</sup> L D			68	140	33		15 22 23		80 <sup>7)</sup>	mA
I <sub>os</sub>			-60 -150	-20 -100	-20 -100		-30 -112		4	mA
T <sub>plh</sub> <sup>1)</sup>			7	12	22		5 15		11	ns
T <sub>phl</sub> <sup>1)</sup>			6.5	13	26		8 18		11	ns
T <sub>phl</sub> <sup>2)</sup>			7.5	14	27		6 22		13	ns
T <sub>plh</sub> <sup>3)</sup>			7	15	17		4 13		14	ns
T <sub>phl</sub> <sup>3)</sup>			8.5	15	26		7 19		14	ns
T <sub>phl</sub> <sup>4)</sup>			11	16	26		6 22		16	ns
T <sub>pzh</sub> / T <sub>pzl</sub> <sup>5)</sup>			6/7	10/12	13/19		6/8 16/22		15	ns
T <sub>phz</sub> / T <sub>plz</sub> <sup>6)</sup>			4.5/4	7/7	10/10		1/5 8/15		20	ns
f <sub>clock</sub> (max)			100	50	35		30		25	MHz



<sup>1)</sup> Clock → Q<sub>A</sub>' of Q<sub>H</sub>' <sup>2)</sup> clear → Q<sub>A</sub>' of Q<sub>H</sub>' <sup>3)</sup> clock → Q<sub>A</sub> t/m Q<sub>H</sub>

<sup>4)</sup> clear → Q<sub>A</sub> t/m Q<sub>H</sub> <sup>5)</sup> G1 of G2 → Q<sub>A</sub> t/m Q<sub>H</sub> (enable-tijd)

<sup>6)</sup> G1 of G2 → Q<sub>A</sub> t/m Q<sub>H</sub> (disable-tijd)

<sup>7)</sup> μA

inputs				gevolg:
CLR	S1	S0	CLK	
L	X	X	X	asynchrone clear; Q <sub>A</sub> t/m Q <sub>H</sub> = LAAG
H	H	H	↑	parallel load; a t/m h → Q <sub>A</sub> t/m Q <sub>H</sub>
H	L	H	↑	rechts schuiven; SR → Q <sub>A</sub> , Q <sub>A</sub> → Q <sub>B</sub> , enz
H	H	L	↑	links schuiven; SL → Q <sub>H</sub> , Q <sub>H</sub> → Q <sub>G</sub> , enz
H	L	L	X	hold

H = hoog niveau

L = laag niveau

X = onbepaald

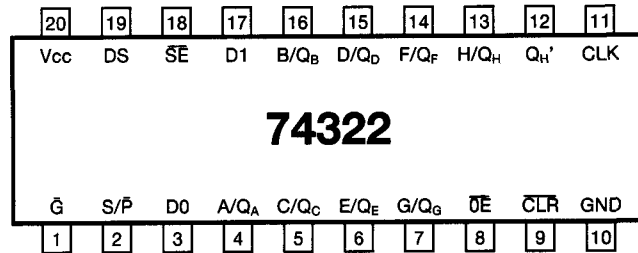
↑ = overgang van laag naar hoog

## 10.2 74xx-serie

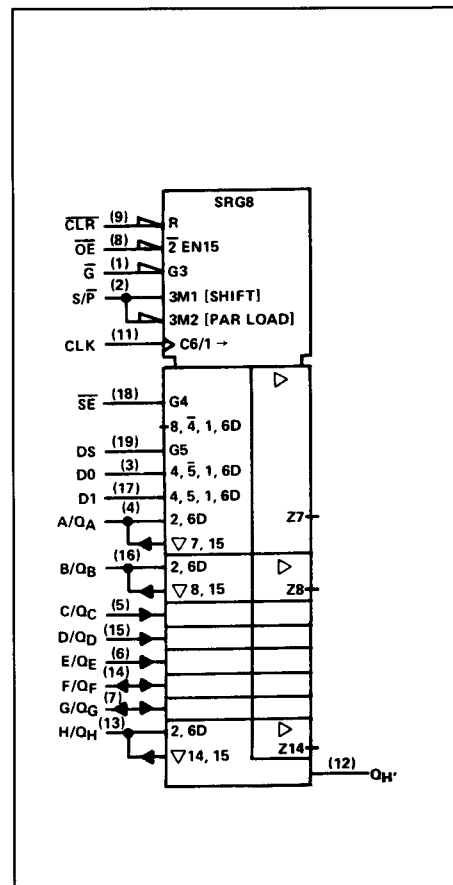
## 74322

8-bit schuifregister met  
sign extend (3-state  
uitgangen, gemultiplexte I/O)

Figuur 4/10.2-322.



LOGICA	TTL	L	F	S	LS <sup>1)</sup>	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>			60		40				80 <sup>8)</sup>	mA
I <sub>os</sub>			-60 -150		-15 -85				4	mA
T <sub>plh</sub> <sup>2)</sup>			5.5		16.5				26	ns
T <sub>phl</sub> <sup>2)</sup>			6		18				26	ns
T <sub>plh</sub> <sup>3)</sup>			7		16.5				31	ns
T <sub>phl</sub> <sup>3)</sup>			6		18				31	ns
T <sub>phl</sub> <sup>4)</sup>			10		23				26	ns
T <sub>phl</sub> <sup>5)</sup>			9.5		23				32	ns
T <sub>pzh</sub> / T <sub>pzl</sub> <sup>6)</sup>			6.5/8.5		13/18				18	ns
T <sub>phz</sub> / T <sub>plz</sub> <sup>7)</sup>			4.5/5		13/18				18	ns
f <sub>clock</sub> (max)			90		50				35	MHz



<sup>1)</sup> 74LS322A = Am25LS22 <sup>2)</sup> clock → A/Q<sub>A</sub> t/m H/Q<sub>H</sub> <sup>3)</sup> clock → Q<sub>H</sub>'

<sup>4)</sup> clear → Q<sub>A</sub> t/m Q<sub>H</sub> <sup>5)</sup> clear → Q<sub>H</sub>' <sup>6)</sup> output enable-tijd <sup>7)</sup> output disable-tijd <sup>8)</sup> μA

operation	inputs							inputs/outputs				output
	CLR	G	S/P	SE	DS	OE	CLK	A/Q <sub>A</sub>	B/Q <sub>B</sub>	C/Q <sub>C</sub>	H/Q <sub>H</sub>	Q <sub>H</sub> '
clear	L L	H X	X H	X X	X X	L L	X X	L L	L L	L L	L L	L L
hold	H	H	X	X	X	L	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>H0</sub>	Q <sub>H0</sub>
shift right	H H	L L	H H	H H	L H	L L	↑ ↑	D0 D1	Q <sub>An</sub> Q <sub>An</sub>	Q <sub>Bn</sub> Q <sub>Bn</sub>	Q <sub>Gn</sub> Q <sub>Gn</sub>	Q <sub>Gn</sub> Q <sub>Gn</sub>
sign extend	H	L	H	L	X	L	↑	Q <sub>An</sub>	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Gn</sub>	Q <sub>Gn</sub>
load	H	L	L	X	X	X	↑	a	b	c	h	h

Wanneer de output-enable hoog is, zijn de acht input/output-lijnen disabled (hoog-ohmige toestand); de sequentiële werking of het clearen van het register wordt echter niet beïnvloed.

H = hoog (stabiël) L = laag (stabiël) X = onbepaald ↑ = overgang van laag naar hoog

Q<sub>A0</sub>...Q<sub>H0</sub> = niveau van Q<sub>A</sub>...Q<sub>H</sub> voordat aangegeven condities stabiel werden

Q<sub>An</sub>...Q<sub>Hn</sub> = niveau van Q<sub>A</sub>...Q<sub>H</sub> voor laatste ↑ overgang van clock

D0, D1 = niveau op ingangen D0, resp D1

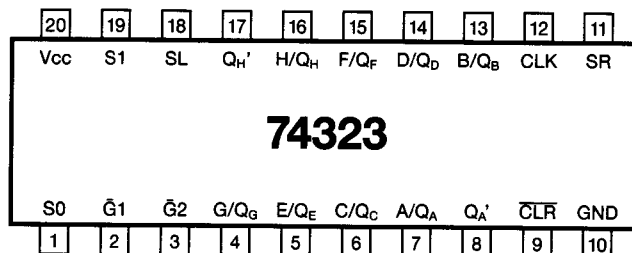
a...h = niveau op ingangen A t/m H

## 10.2 74xx-serie

## 74323

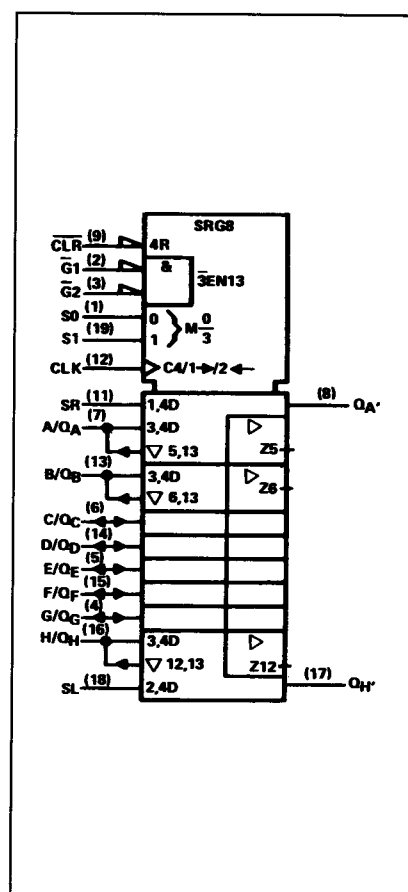
8-bit bidirectioneel  
universeel schuif/opslag-  
register met 3-state  
uitgangen en synchrone clear

Figuur 4/10.2-323.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>			68		33				80 <sup>5)</sup>	mA
I <sub>os</sub>			-60 -150		-20 -100				4	mA
T <sub>plh</sub> <sup>1)</sup>			7		15				12	ns
T <sub>phl</sub> <sup>1)</sup>			6.5		15				12	ns
T <sub>plh</sub> <sup>2)</sup>			7		15				14	ns
T <sub>phl</sub> <sup>2)</sup>			8.5		15				14	ns
T <sub>pzh</sub> <sup>3)</sup>			6		20				15	ns
T <sub>pzl</sub> <sup>3)</sup>			7		20				15	ns
T <sub>phz</sub> <sup>4)</sup>			4.5		15				20	ns
T <sub>plz</sub> <sup>4)</sup>			4		15				20	ns
f <sub>clock</sub> (max)			100		35				25	MHz

1) Clock → Q<sub>A</sub>' of Q<sub>H</sub>' 2) clock → Q<sub>A</sub> t/m Q<sub>H</sub> 3) G<sub>1</sub>, G<sub>2</sub> → Q<sub>A</sub> t/m Q<sub>H</sub> (enable-tijd)  
4) G<sub>1</sub>, G<sub>2</sub> → Q<sub>A</sub> t/m Q<sub>H</sub> (disable-tijd) 5) μA



inputs				gevolg:
CLR	S1	S0	CLK	
L	X	X	↑	synchrone clear; Q <sub>A</sub> t/m Q <sub>H</sub> = LAAG parallel load; a t/m h → Q <sub>A</sub> t/m Q <sub>H</sub> rechts schuiven; SR → Q <sub>A</sub> , Q <sub>A</sub> → Q <sub>B</sub> , enz links schuiven; SL → Q <sub>H</sub> , Q <sub>H</sub> → Q <sub>G</sub> , enz hold
H	H	H	↑	
H	L	H	↑	
H	H	L	↑	
H	L	L	X	

H = hoog niveau

L = laag niveau

X = onbepaald

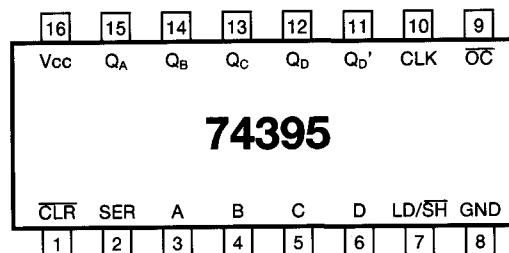
↑ = overgang van laag naar hoog

## 10.2 74xx-serie

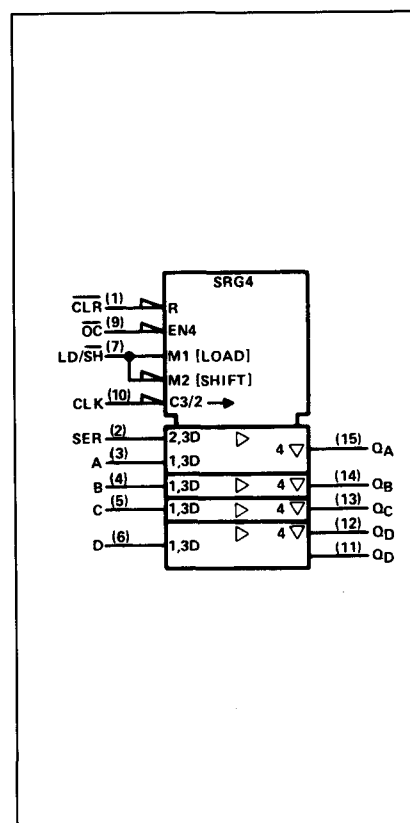
## 74395

4-bit universeel  
schuifregister met 3-state  
uitgangen en cascade-uitgang

Figuur 4/10.2-194.



LOGICA	TTL	L	F	S	LS <sup>1)</sup>	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>			—		22					mA
I <sub>os</sub>			-60 -150		-20 -100					mA
T <sub>plh</sub> <sup>2)</sup>			7		15					ns
T <sub>phl</sub> <sup>2)</sup>			7		20					ns
T <sub>phl</sub> <sup>3)</sup>			12		22					ns
T <sub>pzh</sub> <sup>4)</sup>			11.5		15					ns
T <sub>pzl</sub> <sup>4)</sup>			7.5		17					ns
T <sub>phz</sub> <sup>5)</sup>			7		11					ns
T <sub>plz</sub> <sup>5)</sup>			5.5		12					ns
f <sub>clock</sub> (max)			105		45					MHz



1) 74LS395A 2) clock → Q<sub>A</sub> t/m Q<sub>D</sub> 3) clear → output 4) enable-tijd 5) disable-tijd

INPUTS					3-STATE OUTPUTS				CASCADE
CLEAR	LOAD/SHIFT CONTROL	CLOCK	SERIAL	PARALLEL	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>	OUTPUT Q <sub>D</sub> '
L	X	X	X	X X X X	L	L	L	L	L
H	H	H	X	X X X X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>	Q <sub>D0</sub>
H	H	↓	X	a b c d	a	b	c	d	d
H	L	H	X	X X X X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>	Q <sub>D0</sub>
H	L	↓	H	X X X X	H	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>	Q <sub>Cn</sub>
H	L	↓	L	X X X X	L	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>	Q <sub>Cn</sub>

When the output control is high, the 3-state outputs are disabled to the high-impedance state; however, sequential operation of the registers and the output at Q<sub>D</sub>' are not affected.

## Waarheidstabel

H = hoog niveau L = laag niveau X = onbepaald

↑ = overgang van laag naar hoog

a, b, c, d = niveau van ingangssignaal op A, B, C, D

Q<sub>A0</sub>, Q<sub>B0</sub>, Q<sub>C0</sub>, Q<sub>D0</sub> = niveau van Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub> voordat ingangscondities stabiel werden

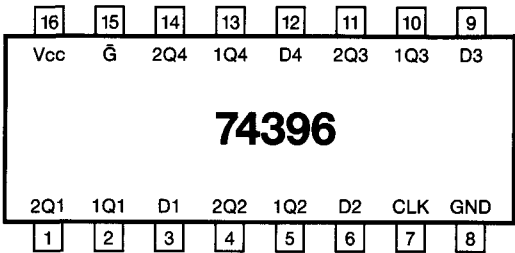
Q<sub>An</sub>, Q<sub>Bn</sub>, Q<sub>Cn</sub>, Q<sub>Dn</sub> = niveau van Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub>, Q<sub>D</sub> vlak voor laatste ↑ overgang van clock

10.2 74xx-serie

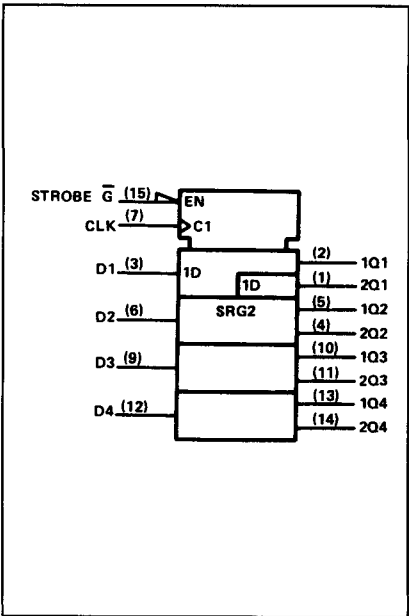
74396

8-voudig 2-traps  
opslag-register

Figuur 4/10.2-396.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>					24					mA
I <sub>os</sub>					-20 -100					mA
T <sub>plh</sub> <sup>1)</sup>					20					ns
T <sub>phl</sub> <sup>1)</sup>					20					ns
T <sub>plh</sub> <sup>2)</sup>					20					ns
T <sub>phl</sub> <sup>2)</sup>					20					ns
f <sub>clock</sub> (max)					30					MHz



1) Clock → output 2) strobe → output

inputs						outputs							
strobe G-bar	CLK	data											
		D1	D2	D3	D4	1Q1	1Q2	1Q3	1Q4	2Q1	2Q2	2Q3	2Q4
H	X	X	X	X	X	L	L	L	L	L	L	L	L
L	↑	a	b	c	d	a	b	c	d	1Q1n	1Q2n	1Q3n	1Q4n

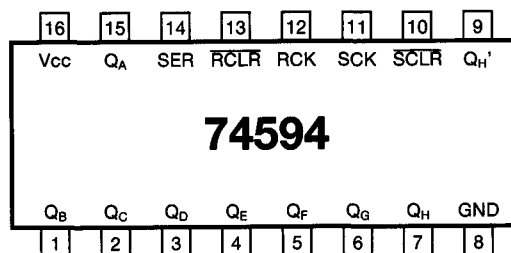
H = hoog niveau L = laag niveau X = onbepaald  
↑ = overgang van laag naar hoog  
1Q1n, 1Q2n, enz = niveau van 1Q1, 1Q2, enz vlak voor laatste ↑ overgang van clock

## 10.2 74xx-serie

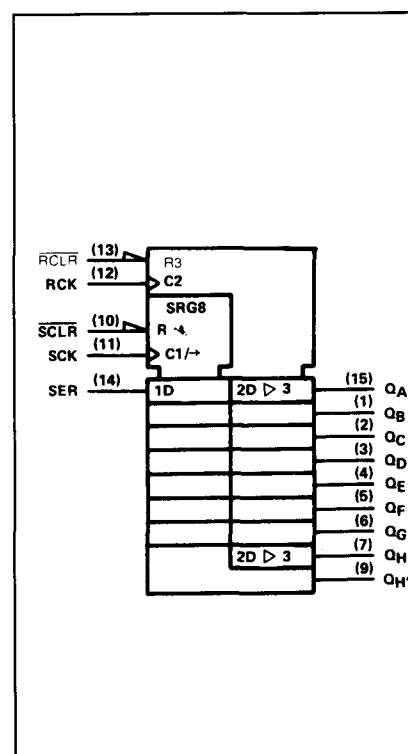
## 74594

8-bit serie-in/  
parallel-uit schuifregister  
met uitgangsregister

Figuur 4/10.2-594.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{cc}$	H L				34 42				80 <sup>5)</sup>	mA
$I_{os}$					-20 -100				4	mA
$T_{plh}^{(1)}$					12					ns
$T_{phl}^{(1)}$					15					ns
$T_{plh}^{(2)}$					12					ns
$T_{phl}^{(2)}$					20					ns
$T_{phl}^{(3)}$					22					ns
$T_{phl}^{(4)}$					38					ns
$f_{(SCK, max)}$					20					MHz



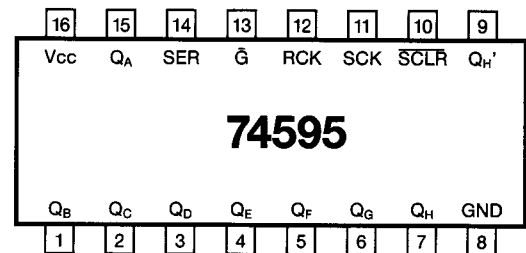
1) SCK  $\uparrow \rightarrow Q_H'$  2) RCK  $\uparrow \rightarrow Q_A$  t/m  $Q_H$  3) SCLR  $\downarrow \rightarrow Q_H'$  4) RCLR  $\downarrow \rightarrow Q_A$  t/m  $Q_H$   
5)  $\mu A$

## 10.2 74xx-serie

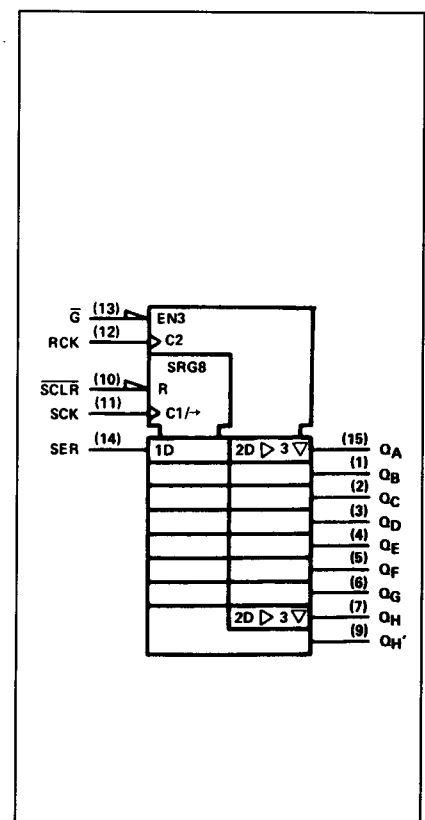
## 74595

8-bit serie-in/  
parallel-uit schuifregister  
met uitgangs-opslagregister en  
3-state uitgangen

Figuur 4/10.2-595.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>	H L Z				33 42 44				80 <sup>6)</sup>	mA
I <sub>os</sub>					-20 -100				4	mA
T <sub>plh</sub> <sup>1)</sup>					12				20	ns
T <sub>phl</sub> <sup>1)</sup>					17				20	ns
T <sub>phl</sub> <sup>2)</sup>					24				22	ns
T <sub>plh</sub> <sup>3)</sup>					12				22	ns
T <sub>phl</sub> <sup>3)</sup>					24				22	ns
T <sub>pzh</sub> <sup>4)</sup> T <sub>pzl</sub>					20/25				17	ns
T <sub>phz</sub> <sup>5)</sup> T <sub>plz</sub>					20/25				21	ns
f <sub>(SCK, max)</sub>					20				50	MHz



- 1) shift-clock SCK  $\uparrow \rightarrow Q_H'$  2) shift-clear SCLR  $\downarrow \rightarrow Q_H'$   
 3) register-clock RCK  $\uparrow \rightarrow Q_A$  t/m  $Q_H$  4)  $\bar{G} \downarrow \rightarrow Q_A$  t/m  $Q_H$  (enable-tijd)  
 5)  $\bar{G} \uparrow \rightarrow Q_A$  t/m  $Q_H$  (disable-tijd) 6)  $\mu A$

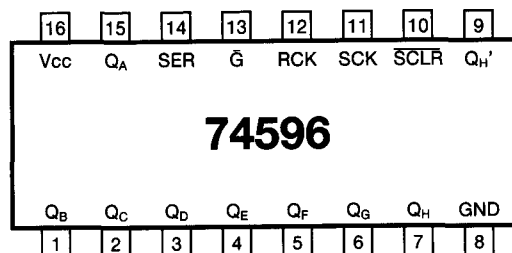
SER	SCK	inputs SCLR	RCK	$\bar{G}$	functie
X	X	X	X	H	$Q_A$ t/m $Q_H$ hoog-impedant
X	X	X	X	L	$Q_A$ t/m $Q_H$ logisch H of L
X	X	L	X	X	clear schuifregister
L	$\uparrow$	H	X	X	eerste trap van S.R. wordt L. Andere trappen slaan data van voorgaande trap op: schuif-rechts
H	$\uparrow$	H	X	X	Idem, behalve 1 <sup>e</sup> trap die H wordt
X	$\uparrow$	H	X	X	Toestand van S.R. verandert niet
X	X	X	$\uparrow$	X	S.R. data wordt opgeslagen in opslag-register
X	X	X	$\downarrow$	X	Toestand opslag-register verandert niet

## 10.2 74xx-serie

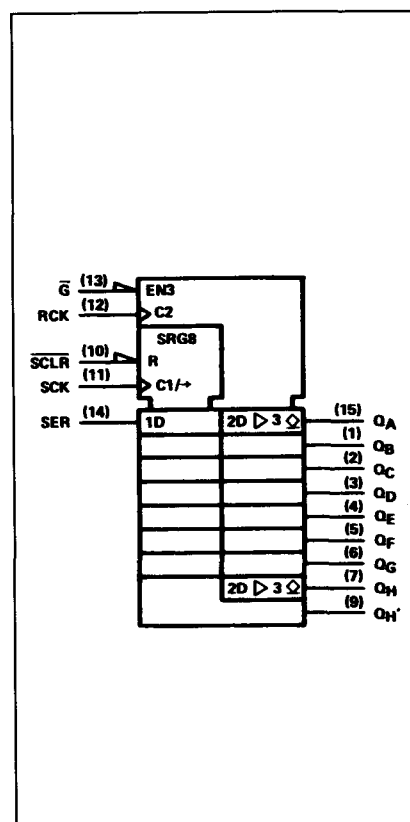
## 74596

8-bit serie-in/  
parallel-uit schuifregister  
met uitgangsregister en  
open-collector uitgangen

Figuur 4/10.2-596.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
Icc	H				30					mA
	L				36					
Ios					-20					mA
					-100					
Tplh <sup>1)</sup>					14					ns
Tphl <sup>1)</sup>					20					ns
Tphl <sup>2)</sup>					24					ns
Tplh <sup>3)</sup>					28					ns
Tphl <sup>3)</sup>					24					ns
Tplh <sup>4)</sup>					40					ns
Tphl <sup>4)</sup>					25					ns
f(SCK, max)					20					MHz



1) shift-clock SCK  $\uparrow \rightarrow Q_H'$  2) shift-clear SCLR  $\downarrow \rightarrow Q_H'$   
3) register-clock RCK  $\uparrow \rightarrow Q_A$  t/m  $Q_H$  4)  $\bar{G}$  ( $\uparrow$  resp  $\downarrow$ )  $\rightarrow Q_A$  t/m  $Q_H$

SER	SCK	inputs SCLR	RCK	$\bar{G}$	functie
X	X	X	X	H	$Q_A$ t/m $Q_H$ hoog-impedant
X	X	X	X	L	$Q_A$ t/m $Q_H$ logisch H of L
X	X	L	X	X	clear schuifregister
L	$\uparrow$	H	X	X	eerste trap van S.R. wordt L. Andere trappen slaan data van voorgaande trap op: schuif-rechts
H	$\uparrow$	H	X	X	Idem, behalve 1 <sup>o</sup> trap die H wordt
X	$\downarrow$	H	X	X	Toestand van S.R. verandert niet
X	X	X	$\uparrow$	X	S.R. data wordt opgeslagen in opslag-register
X	X	X	$\downarrow$	X	Toestand opslag-register verandert niet

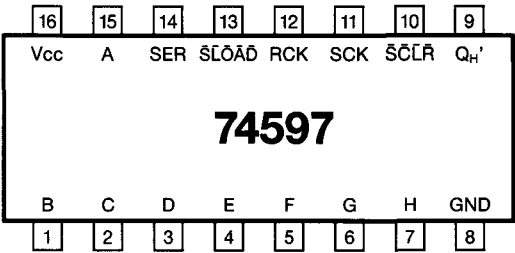


10.2 74xx-serie

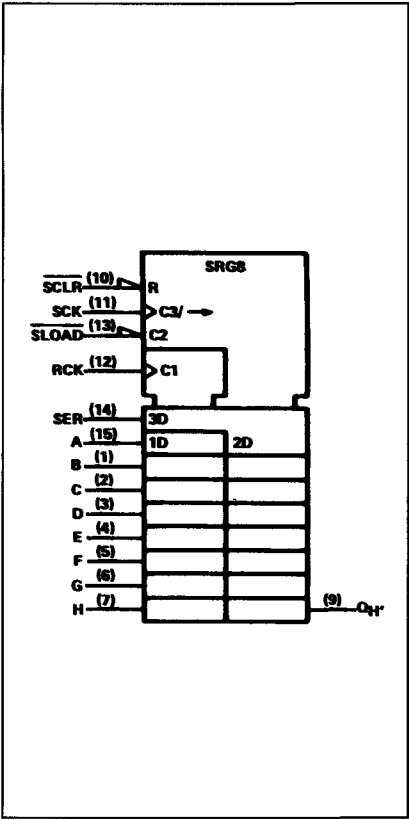
74597

8-bit parallel-in/  
serie-uit schuifregister  
met ingangs-opslagregister

Figuur 4/10.2-597.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
I <sub>cc</sub>					35				80 <sup>5)</sup>	mA
I <sub>os</sub>					-20 -100				4	mA
T <sub>plh</sub> <sup>1)</sup>					15				18	ns
T <sub>phl</sub> <sup>1)</sup>					20				18	ns
T <sub>phl</sub> <sup>2)</sup>					24				23	ns
T <sub>plh</sub> <sup>3)</sup>					38				22	ns
T <sub>phl</sub> <sup>3)</sup>					29				22	ns
T <sub>plh</sub> <sup>4)</sup>					41				27	ns
T <sub>phl</sub> <sup>4)</sup>					32				27	ns
f <sub>(SCK, max)</sub>					35				55	MHz



1) shift-clock SCK  $\uparrow \rightarrow Q_H'$  2) shift-clear SCLR  $\downarrow \rightarrow Q_H'$   
3) shift-load (SLOAD  $\uparrow$  resp SLOAD  $\downarrow$ )  $\rightarrow Q_H'$  4) register-clock RCK  $\uparrow \rightarrow Q_H'$  5)  $\mu A$

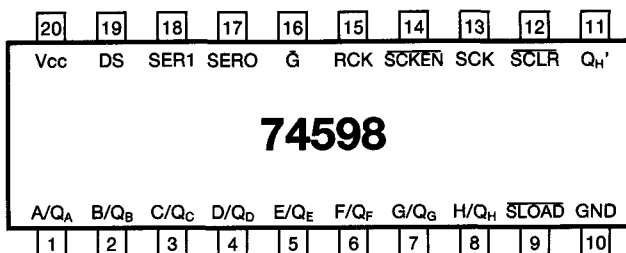
inputs					functie
SER	SCK	SCLR	SLOAD	RCK	
X	X	L	H	X	S.R. clearen naar L
X	X	H	L	X	inputregister-data wordt opgeslagen in S.R.
L	$\uparrow$	H	H	X	eerste trap van S.R. wordt L Andere trappen slaan data van voorgaande trap op: schuif-rechts
H	$\uparrow$	H	H	X	Idem, behalve 1 <sup>e</sup> trap die H wordt
X	$\downarrow$	H	H	X	Toestand van S.R. verandert niet
X	X	X	X	$\uparrow$	input data op A t/m H wordt opgeslagen in ingangsregister
X	X	X	X	$\downarrow$	Toestand van ingangsregister verandert niet

74xx-serie

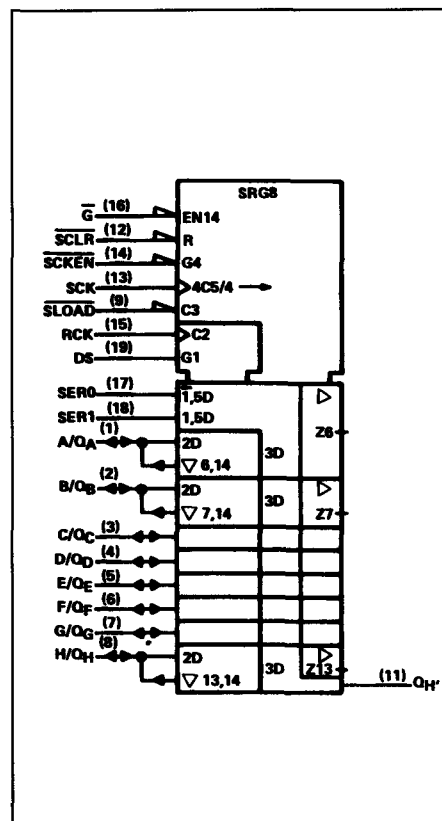
## 74598

8-bit parallel 3-state  
in/uit schuifregister met  
ingang-opslagregister en  
serie in/uit

Figuur 4/10.2-598.



LOGICA	TTL	L	F	S	LS <sup>1)</sup>	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	H L Z				45 54 56				80 <sup>9)</sup>	mA
I <sub>os</sub>					-30 -130				4	mA
T <sub>plh</sub> / T <sub>phl</sub>	<sup>1)</sup>				11/15				25	ns
T <sub>phl</sub> <sup>2)</sup>					18				20	ns
T <sub>plh</sub> / T <sub>phl</sub>	<sup>3)</sup>				28/20				25	ns
T <sub>plh</sub> / T <sub>phl</sub>	<sup>4)</sup>				32/24				20	ns
T <sub>phl</sub> / T <sub>phl</sub>	<sup>5)</sup>				32/27				20	ns
T <sub>pzh</sub> / T <sub>pzl</sub>	<sup>6)</sup>				26/29				22	ns
T <sub>pzh</sub> / T <sub>pzl</sub>	<sup>7)</sup>				25/20				20	ns
f <sub>(SCK,max)</sub>					35				35	MHz



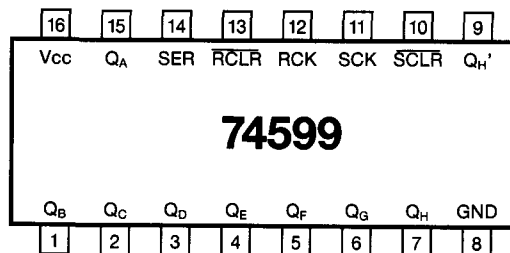
<sup>1)</sup> shift-clock SCK  $\uparrow \rightarrow Q_H'$  <sup>2)</sup> shift-clear SCLR  $\downarrow \rightarrow Q_H'$   
<sup>3)</sup> shift-load (SLOAD  $\uparrow$  resp. SLOAD  $\downarrow$ )  $\rightarrow Q_H'$  <sup>4)</sup> register-clock RCK  $\uparrow \rightarrow Q_H'$   
<sup>5)</sup> shift-load (SLOAD  $\uparrow$  resp. SLOAD  $\downarrow$ )  $\rightarrow Q$  <sup>6)</sup> G  $\downarrow \rightarrow Q$  (enable-tijd)  
<sup>7)</sup> G  $\uparrow \rightarrow Q$  (disable-tijd) <sup>8)</sup>  $\mu A$

## 10.2 74xx-serie

## 74599

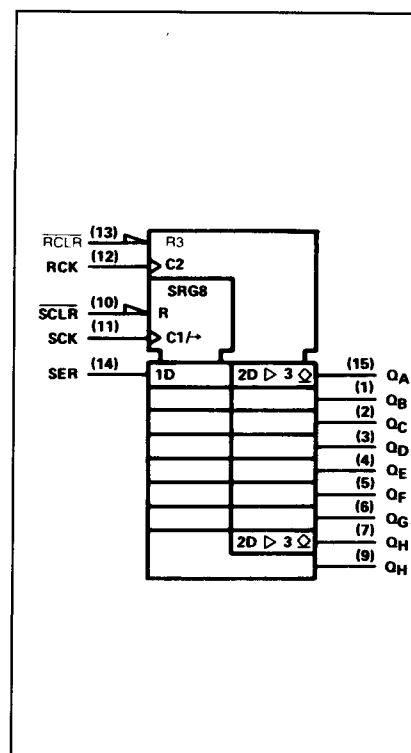
8-bit serie-in/  
parallel-uit schuifregister  
met uitgangsregister en  
open-collector uitgangen

Figuur 4/10.2-599.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$	H				30				80 <sup>5)</sup>	mA
	L				38					
$I_{OS}$					-20				4	mA
					-100					
$T_{plh}^{1)}$					12					ns
$T_{phl}^{1)}$					17					ns
$T_{plh}^{2)}$					28					ns
$T_{phl}^{2)}$					24					ns
$T_{phl}^{3)}$					24					ns
$T_{phl}^{4)}$					40					ns
$f_{(SCK, max)}$					20					MHz

1)  $SCK \uparrow \rightarrow Q_H'$  2)  $RCK \uparrow \rightarrow Q_A$  t/m  $Q_H$  3)  $SCLR \downarrow \rightarrow Q_H'$   
4)  $RCLR \downarrow \rightarrow Q_A$  t/m  $Q_H$  5)  $\mu A$

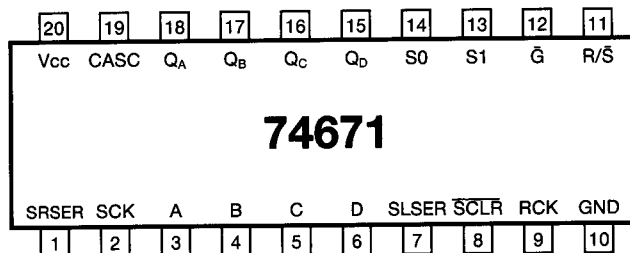


## 10.2 74xx-serie

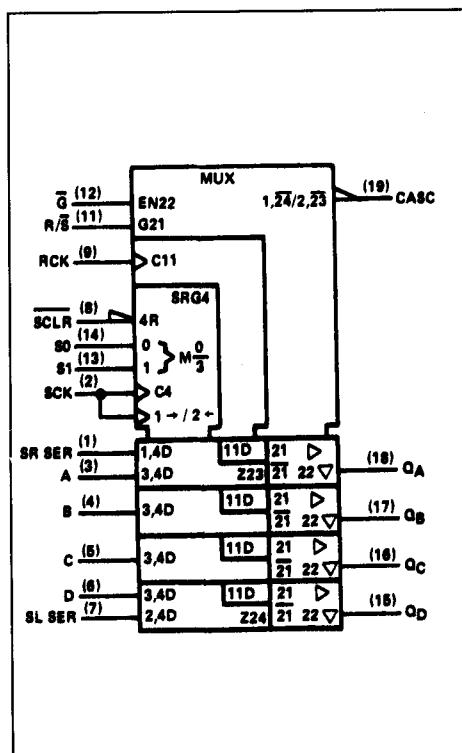
## 74671

4-bit universeel  
schuifregister met opslag-  
register, 3-state uitgangen  
en directe SR-clear

Figuur 4/10.2-671.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
$I_{CC}$	H L Z				35 30 37					mA
$I_{OS}$					-30 -130					mA
$T_{plh}/T_{phl}$	<sup>1)</sup>				31/14					ns
$T_{phl}^{(2)}$					19					ns
$T_{plh}/T_{phl}$	<sup>3)</sup>				11					ns
$T_{plh}/T_{phl}$	<sup>4)</sup>				10/16					ns
$T_{plh}/T_{phl}$	<sup>5)</sup>				10/15					ns
$T_{pzh}/T_{pzi}$	<sup>6)</sup>				16/19					ns
$T_{phz}/T_{plz}$	<sup>7)</sup>				16/16					ns



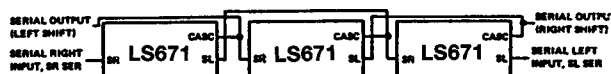
- <sup>1)</sup> SCK  $\uparrow$   $\rightarrow$  cascade (shift left/right) <sup>2)</sup> SCLR  $\downarrow$   $\rightarrow$  cascade (S.R. clear)  
<sup>3)</sup> S0, S1  $\rightarrow$  cascade (shift left/right) <sup>4)</sup> SCK  $\uparrow$   $\rightarrow$  QA t/m QD  
<sup>5)</sup> RCK  $\uparrow$   $\rightarrow$  QA t/m QD <sup>6)</sup>  $\bar{G}$   $\downarrow$   $\rightarrow$  QA t/m QD (enable-tijd)  
<sup>7)</sup>  $\bar{G}$   $\uparrow$   $\rightarrow$  QA t/m QD (disable-tijd)

De 74LS671 kan gemakkelijk worden uitgebreid door de cascade-uitgang en de SL SER en SR SER ingangen te gebruiken:

De 74LS671 kan gemakkelijk worden uitgebreid door de cascade-uitgang en de SL SER en SR SER ingangen te gebruiken:

Op deze wijze kan elke gewenste woordlengte worden verkregen. Overeenkomstige besturingslijnen van alle IC's worden met elkaar verbonden (d.w.z. alle S0-lijnen aan elkaar, alle S1-lijnen ook. enz.)

H = hoog niveau L = laag niveau X = onbepaald  
 $\uparrow$  = overgang van laag naar hoog z = hoog impedant  
a, b, c, d = niveau van ingangssignaal op input A, B, C, D  
QA<sub>0</sub>, QB<sub>0</sub>, enz = niveau van QA, QB, enz voordat ingangscondities stabiel werden  
QA<sub>n</sub>, QB<sub>n</sub>, enz = niveau van QA, QB, enz voor de laatste clock-overgang  
\* De cascade-uitgang laat het D-bit van het schuifregister zien in modus 1 (S1 = L, S0 = H), het A-bit in modus 2 (S1 = H, S0 = L) en in niet-actief (H) in de modi 0 en 3 (S1 = L, S0 = L, resp. S1 = H, S0 = H)



G	R/S	SCLR	SR MODE		SCK	SERIAL INPUTS		PARALLEL INPUTS				PARALLEL OUTPUTS				CASC*
			S1	S0		SL	SR	A	B	C	D	QA	QB	QC	QD	
L	L	L	X	X	X	X	X	X	X	X	X	L	L	L	L	(*)
L	L	H	X	X	X	X	X	X	X	X	X	QA <sub>0</sub>	QB <sub>0</sub>	QC <sub>0</sub>	QD <sub>0</sub>	(*)
L	L	H	L	X	X	X	X	X	X	X	X	QA <sub>0</sub>	QB <sub>1</sub>	QC <sub>1</sub>	QD <sub>1</sub>	H
L	L	H	L	H	X	X	X	X	X	X	X	H	QA <sub>n</sub>	QB <sub>n</sub>	QC <sub>n</sub>	QC <sub>n</sub>
L	L	H	L	H	X	X	X	X	X	X	X	L	QA <sub>n</sub>	QB <sub>n</sub>	QC <sub>n</sub>	QC <sub>n</sub>
L	L	H	H	L	X	X	X	X	X	X	X	QB <sub>n</sub>	QC <sub>n</sub>	QD <sub>n</sub>	H	QB <sub>n</sub>
L	L	H	H	L	X	X	X	X	X	X	X	QB <sub>n</sub>	QC <sub>n</sub>	QD <sub>n</sub>	L	QB <sub>n</sub>
L	L	H	H	H	X	X	X	a	b	c	d	a	b	c	d	H
H	X	X	L	H	X	X	X	X	X	X	X	Z	Z	Z	Z	QC <sub>n</sub>
H	X	X	H	L	X	X	X	X	X	X	X	Z	Z	Z	Z	QD <sub>n</sub>
L	H	X	X	X	X	X	X	X	X	X	X	Internal register contents				(*)

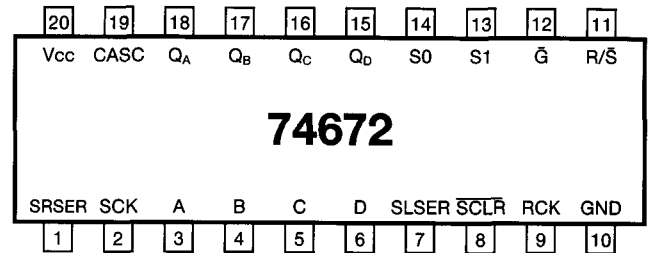
When the output control G is high, the 3-state outputs are disabled to the high-impedance state; however, sequential operation of the shift register and the output at CASC are not affected.

## 74xx-serie

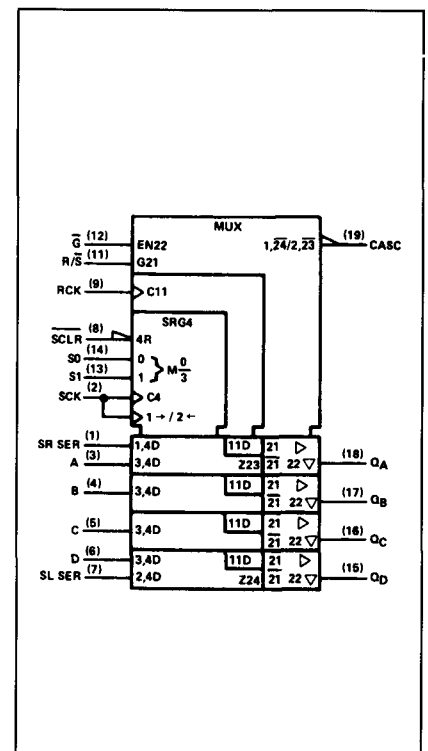
## 74672

4-bit universeel  
schuifregister met opslag-  
register, 3-state uitgangen en  
synchrone SR-clear

Figuur 4/10.2-672.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub> <sup>H</sup> L Z					35 30 37					mA
I <sub>os</sub>					-30 -130					mA
T <sub>plh</sub> / <sup>1)</sup> T <sub>phl</sub>					31/14					ns
T <sub>phl</sub> <sup>2)</sup>					19					ns
T <sub>plh</sub> / <sup>3)</sup> T <sub>phl</sub>					12					ns
T <sub>plh</sub> / <sup>4)</sup> T <sub>phl</sub>					10/16					ns
T <sub>plh</sub> / <sup>5)</sup> T <sub>phl</sub>					10/15					ns
T <sub>pzh</sub> / <sup>6)</sup> T <sub>pzl</sub>					16/19					ns
T <sub>phz</sub> / <sup>7)</sup> T <sub>piz</sub>					16/16					ns



- <sup>1)</sup> SCK ↑ → cascade (shift left/right) <sup>2)</sup> SCK ↑ → cascade (SR clear)  
<sup>3)</sup> S0, S1 → cascade (shift left/right) <sup>4)</sup> SCK ↑ → QA t/m QD <sup>5)</sup> RCK ↑ → QA t/m QD  
<sup>6)</sup> G ↓ → QA t/m QD (enable-tijd) <sup>7)</sup> G ↑ → QA t/m QD (disable-tijd)

De 74LS672 kan gemakkelijk worden uitgebreid door de cascade-uitgang en de SL SER en SR SER ingangen te gebruiken:

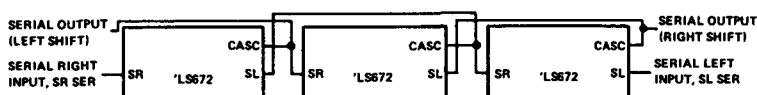
Op deze wijze kan elke gewenste woordlengte worden verkregen. Overeenkomstige besturingslijnen van alle IC's worden met elkaar verbonden (d.w.z. alle S0-lijnen aan elkaar, alle S1-lijnen ook, enz.)

H = hoog niveau L = laag niveau X = onbepaald  
 ↑ = overgang van laag naar hoog z = hoog impedant  
 a, b, c, d = niveau van ingangssignaal op input A, B, C, D  
 QA<sub>0</sub>, QB<sub>0</sub>, enz = niveau van QA, QB, enz voordat ingangscondities stabiel werden  
 QA<sub>n</sub>, QB<sub>n</sub>, enz = niveau van QA, QB, enz voor de laatste clock-overgang

\* De cascade-uitgang laat het D-bit van het schuifregister zien in modus 1 (S1 = L, S0 = H), het A-bit in modus 2 (S1 = H, S0 = L) en is niet-actief (H) in de modi 0 en 3 (S1 = L, S0 = L, resp. S1 = H, S0 = H)

G	R/S	SCLR	SRMODE		SCK	SERIAL INPUTS		PARALLEL INPUTS				PARALLEL OUTPUTS				CASC*
			S1	S0		SL	SR	A	B	C	D	QA	QB	QC	QD	
L	L	L	X	X	↑	X	X	X	X	X	X	L	L	L	L	(*)
L	L	H	X	X	↑	X	X	X	X	X	X	QA <sub>0</sub>	QB <sub>0</sub>	QC <sub>0</sub>	QD <sub>0</sub>	(*)
L	L	H	L	L	X	X	X	X	X	X	X	QA <sub>0</sub>	QB <sub>0</sub>	QC <sub>0</sub>	QD <sub>0</sub>	H
L	L	H	L	H	↑	X	H	X	X	X	X	H	QA <sub>n</sub>	QB <sub>n</sub>	QC <sub>n</sub>	QC <sub>n</sub>
L	L	H	L	H	↑	X	L	X	X	X	X	L	QA <sub>n</sub>	QB <sub>n</sub>	QC <sub>n</sub>	QC <sub>n</sub>
L	L	H	H	L	↑	H	X	X	X	X	X	QB <sub>n</sub>	QC <sub>n</sub>	QD <sub>n</sub>	H	QC <sub>n</sub>
L	L	H	H	L	↑	L	X	X	X	X	X	QB <sub>n</sub>	QC <sub>n</sub>	QD <sub>n</sub>	L	QC <sub>n</sub>
L	L	H	H	H	↑	X	X	a	b	c	d	a	b	c	d	H
H	X	X	L	H	↑	X	X	X	X	X	X	Z	Z	Z	Z	QC <sub>n</sub>
H	X	X	H	L	↑	X	X	X	X	X	X	Z	Z	Z	Z	QC <sub>n</sub>
L	H	X	X	X	X	X	X	X	X	X	X	Internal register contents				(*)

When the output control G is high, the 3-state outputs are disabled to the high-impedance state, however, sequential operation of the shift register and the output at CASC are not affected.

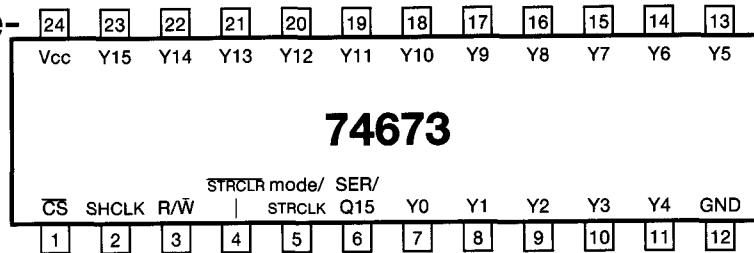


## 10.2 74xx-serie

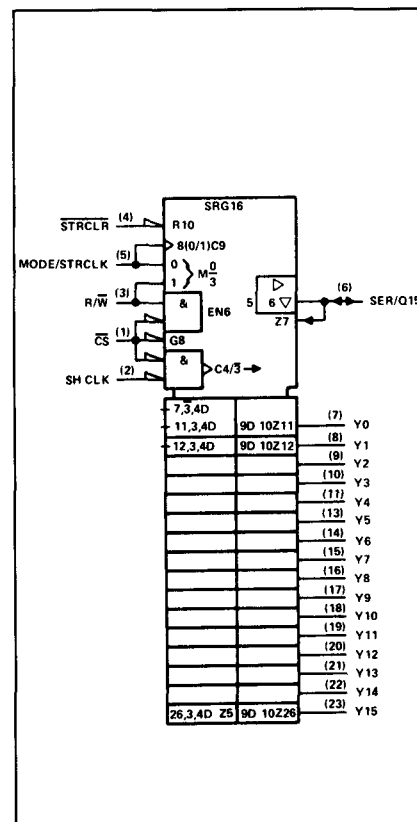
## 74673

16-bit schuifregister (serie-in/serie-uit met 3-state uitgang en 16-bit parallel-uit opslag-register)

Figuur 4/10.2-673.



LOGICA	TTL	L	F <sup>7)</sup>	S	LS	AS	ALS	C	HC	
VARIABLE PARAMETERS										Eenheid
I <sub>cc</sub>			106		52				80 <sup>6)</sup>	mA
I <sub>os</sub>			-60 -150		-20 -100				4	mA
T <sub>plh</sub> <sup>1)</sup>			6.5		21				24	ns
T <sub>phl</sub> <sup>1)</sup>			8		26				24	ns
T <sub>plh</sub> <sup>2)</sup>			8		28				23	ns
T <sub>phl</sub> <sup>2)</sup>			10.5		30				23	ns
T <sub>phl</sub> <sup>3)</sup>			16.5		25				19	ns
T <sub>pzh</sub> / T <sub>pzl</sub> <sup>4)</sup>			8.5/9		30/30				23	ns
T <sub>phz</sub> / T <sub>plz</sub> <sup>5)</sup>			5.5/4.5		25/25				23	ns
f <sub>clock</sub> (max)			130		28				28	MHz



<sup>1)</sup> shift-clock → SER/Q15 <sup>2)</sup> store clock → Y0 t/m Y15 <sup>3)</sup> clear → Y0 t/m Y15

<sup>4)</sup> CS, R/W → SER/Q15 (enable-tijd) <sup>5)</sup> CS, R/W → SER/Q15 (disable-tijd)

<sup>6)</sup> μA <sup>7)</sup> 74F673A

Waarheidstabel schuifregister-gedeelte

control inputs				SER/ Q15 status	operating mode
CS	R/W	SHCLK	mode/ STRCLK		
H	X	X	X	high Z	Hold
L	L	↓	X	data in	Serial load
L	H	↓	L	data out	Serial output with recirculation
L	H	↓	H	active	parallel load no shifting

waarheidstabel opslag-register-gedeelte

control inputs				operating mode
STRCLR	CS	R/W	mode/ STRCLK	
L	X	X	X	reset: outputs low
H	H	X	X	hold
H	X	H	X	hold
H	L	L	↑	parallel load

H = hoog niveau

L = laag niveau

X = onbepaald

↓ = overgang van hoog naar laag

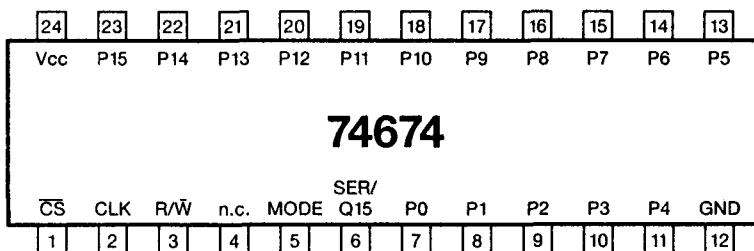
↑ = overgang van laag naar hoog

## 10.2 74xx-serie TTL en HC

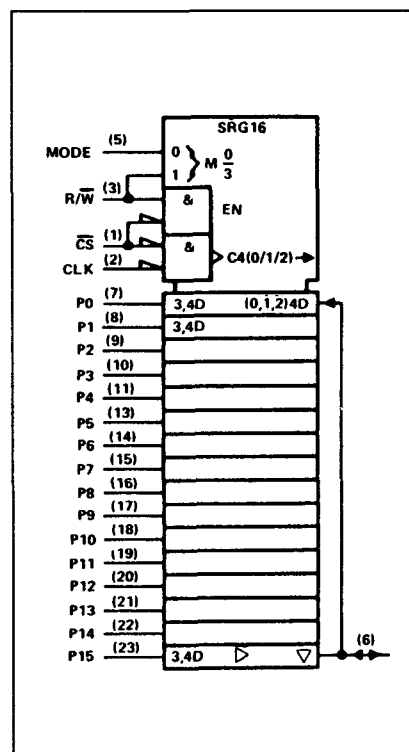
## 74674

16-bit parallel-in/  
serie-uit  
schuifregister

Figuur 4/10.2-674.



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>			53		25				80 <sup>4)</sup>	mA
I <sub>os</sub>			-60 -150		-20 -100				4	mA
T <sub>plh</sub> <sup>1)</sup>			11		21				24	ns
T <sub>phl</sub> <sup>1)</sup>			12.5		26				24	ns
T <sub>pzh</sub> <sup>2)</sup>			7		30				23	ns
T <sub>pzl</sub> <sup>2)</sup>			7		30				23	ns
T <sub>phz</sub> <sup>3)</sup>			7		25				23	ns
T <sub>plz</sub> <sup>3)</sup>			7		25				23	ns
f <sub>clock</sub> (max)			140		28				28	MHz



<sup>1)</sup> shift clock → SER/Q15    <sup>2)</sup>  $\overline{CS}$ , R/W → SER/Q15 (enable-tijd)

<sup>3)</sup>  $\overline{CS}$ , R/W → SER/Q15 (disable-tijd)    <sup>4)</sup>  $\mu A$

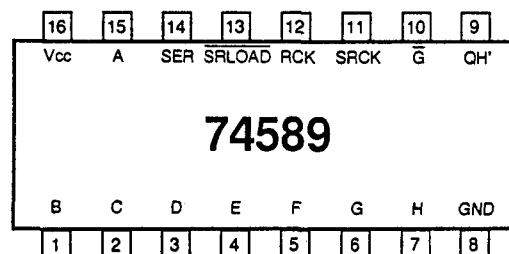
control inputs				SER/Q15 status	operating mode
$\overline{CS}$	R/W	mode	CLK		
H	X	X	X	high Z	hold
L	L	X	↓	data in	serial load
L	H	L	↓	data out	serial output with recirculation
L	H	H	↓	active	parallel load no shifting

## 10.2 74xx-serie TTL en HC

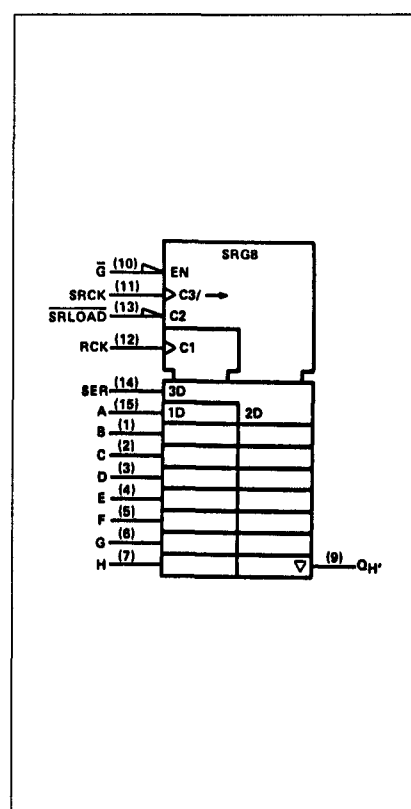
## 74589

8-bit schuifregister met  
ingangslatches en  
3-state uitgangen

Figuur 4/10.2-589.

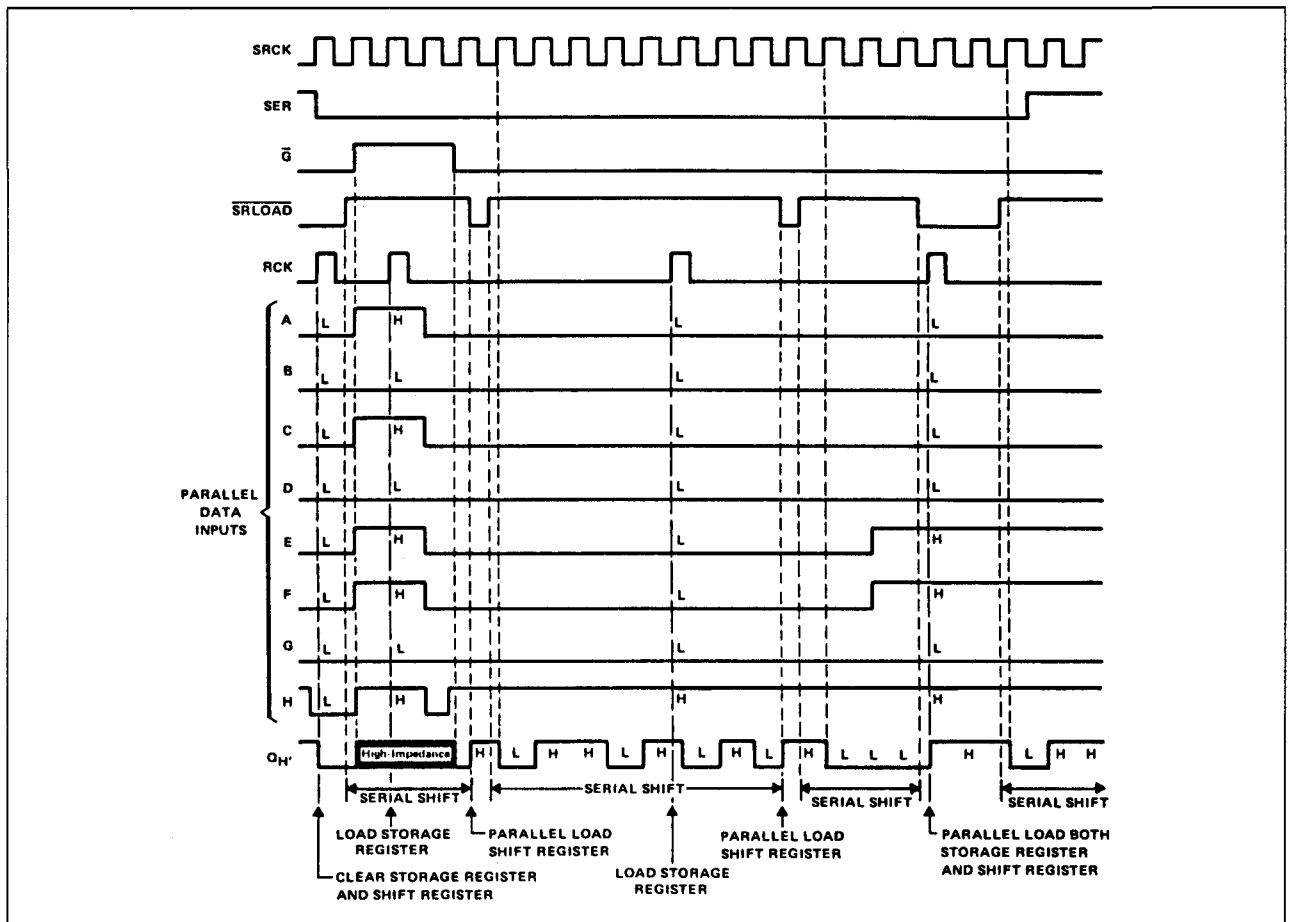


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Een- heid
I <sub>cc</sub>									80 1)	mA
I <sub>os</sub>									6	mA
T <sub>pd</sub> 2)									21	ns
T <sub>pd</sub> 3)									18	ns
T <sub>pd</sub> 4)									18	ns
T <sub>en</sub> 5)									15	ns
T <sub>dis</sub> 5)									15	ns
f <sub>max</sub>									31	MHz

1)  $\mu\text{A}$ 2) RCK  $\rightarrow$  Q<sub>H'</sub>3) SRCK  $\rightarrow$  Q<sub>H'</sub>4)  $\overline{\text{SRLOAD}} \rightarrow$  Q<sub>H'</sub>5)  $\overline{\text{G}} \rightarrow$  Q<sub>H'</sub>



## 10.2 74xx-serie TTL en HC



Tijddiagram.

## 10.2 74xx-serie TTL en HC

## 4/10.3

## Schuifregisters (1)4xxx-serie CMOS

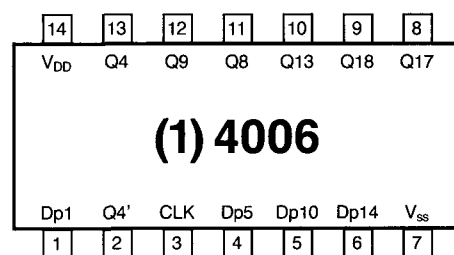
## (1) 4006

## 18-traps statisch schuifregister

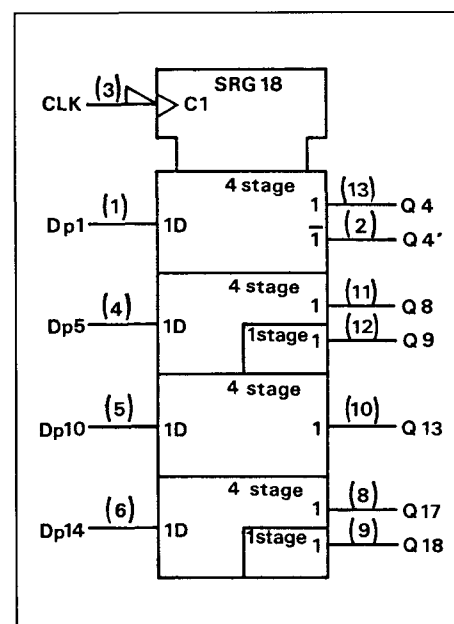
De 4006 bestaat uit 4 aparte schuifregisters met gemeenschappelijke clock: 2 secties hebben 4 trappen en 2 secties hebben 5 trappen met een aftakking op zowel de 4e als de 5e trap.

Door de juiste in- en uitgang te kiezen kan een 4, 5, 8, 9, 10, 12, 13, 14, 16, 17 of 18-bit schuifregister worden verkregen.

Figuur 4/10.3-06.






N.B. De gelatchte uitgang Q4' (1/2 clock-cyclus vertraagd) is niet aanwezig bij de MC 14006B



o.a. leverbaar: MC 14006A/B/C  
CD 4006 B  
HEF 4006 B

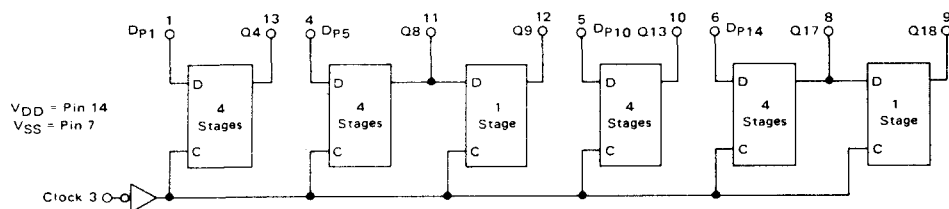
## 10.3 (1) 4xxx-serie CMOS

TRUTH TABLE  
(Single Stage)

$D_n$	C	$Q_{n+1}$
0		0
1		1
X		$Q_n$

X = Don't Care

BLOCK DIAGRAM

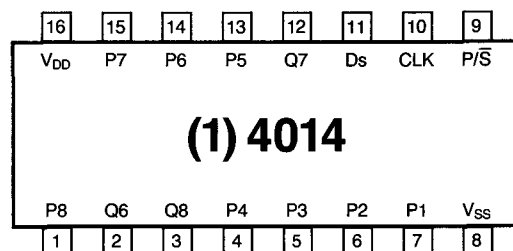


## 10.3 (1) 4xxx-serie CMOS

**(1) 4014**

8-bit statisch schuif-  
register, synchroon parallel  
of serie-in/serie-uit

Figuur 4/10.3-14.



## Serial operation

n	inputs			outputs		
	CLK	DS	P/S	Q6	Q7	Q8
1	/	D <sub>1</sub>	L	X	X	X
2	/	D <sub>2</sub>	L	X	X	X
3	/	D <sub>3</sub>	L	X	X	X
6	/	X	L	D <sub>1</sub>	X	X
7	/	X	L	D <sub>2</sub>	D <sub>1</sub>	X
8	/	X	L	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>
	\	X	X	no change		

## Parallel operation

n	inputs			outputs		
	CLK	DS	P/S	Q6	Q7	Q8
1	/	X	H	P6	P7	P8
	\	X	X	no change		

H = HIGH state (the more positive voltage)

L = LOW state (the less positive voltage)

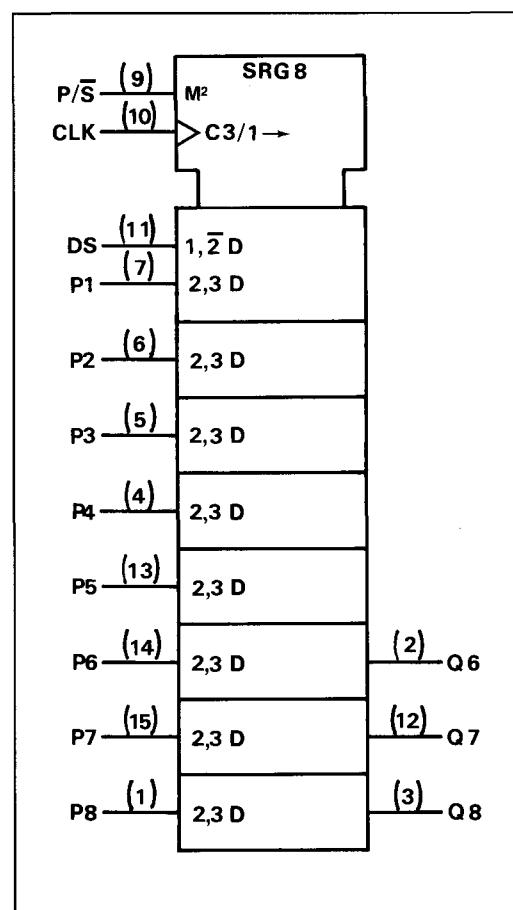
X = state is immaterial

/ = positive-going transition

\ = negative-going transition

D<sub>n</sub> = either HIGH or LOW

n = number of clock pulse transitions



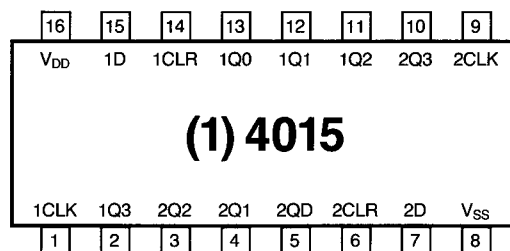
o.a. leverbaar: MC 14014 A/B  
CD 4014 A/B  
HEF 4014 B

## 10.3 (1) 4xxx-serie CMOS

**(1) 4015**

2 4-bit statische  
schuifregisters serie-in/  
parallel-uit, met reset

Figuur 4/10.3-15.



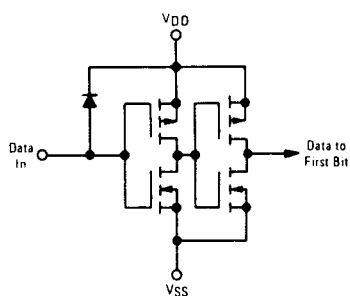
TRUTH TABLE

C	D	R	Q0	Q <sub>n</sub>
	0	0	0	Q <sub>n-1</sub>
	1	0	1	Q <sub>n-1</sub>
	X	0	No Change	No Change
	X	1	0	0

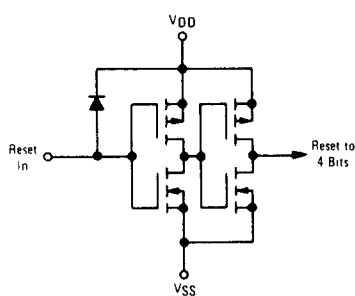
X = Don't Care

Q<sub>n</sub> = Q0, Q1, Q2, or Q3, as applicable.Q<sub>n-1</sub> = Output of prior stage.

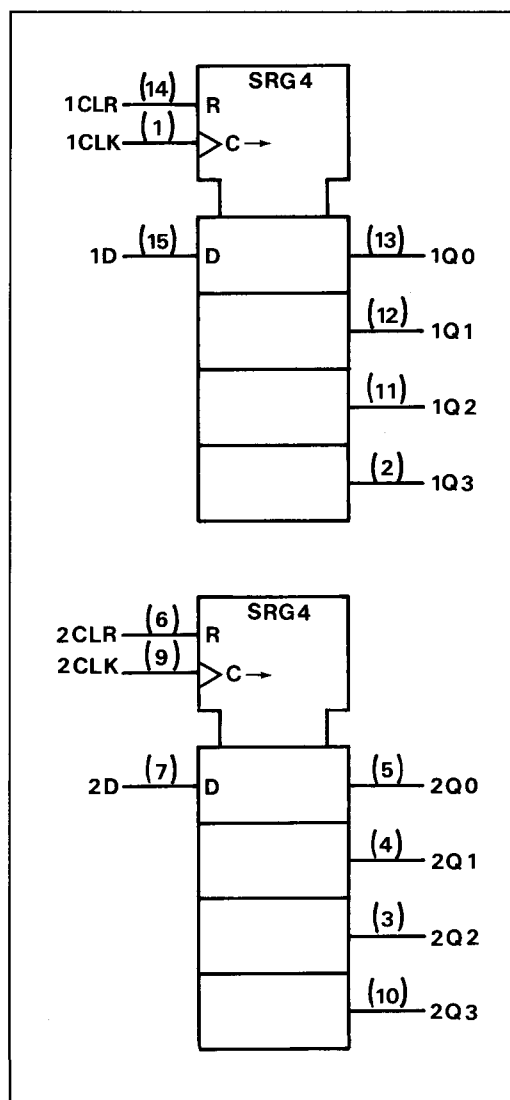
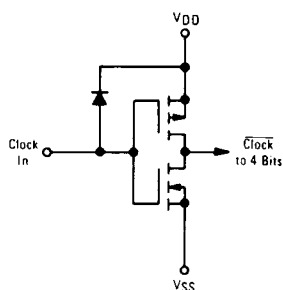
DATA INPUT BUFFER



RESET INPUT BUFFER

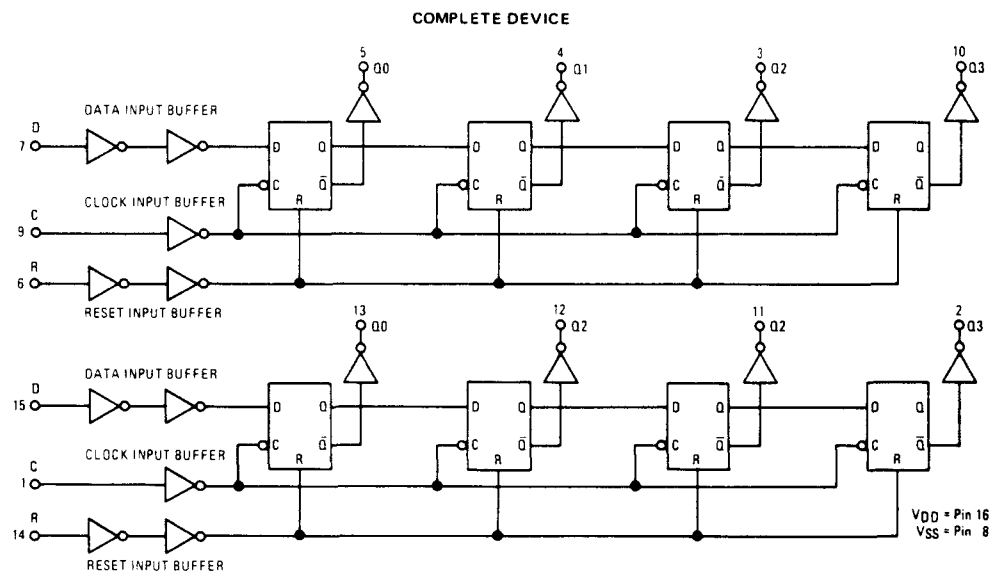


CLOCK INPUT BUFFER



o.a. leverbaar: MC 14015 B  
CD 4015 A/B  
HEF 4015 B

## 10.3 (1) 4xxx-serie CMOS

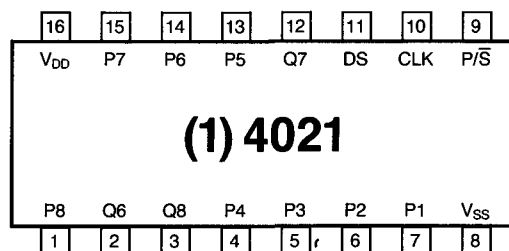


## 10.3 (1) 4xxx-serie CMOS

**(1) 4021**

8-bit statisch schuif-  
register, asynchroon  
parallel of synchroon  
serie-in/serie-uit

Figuur 4/10.3-21.



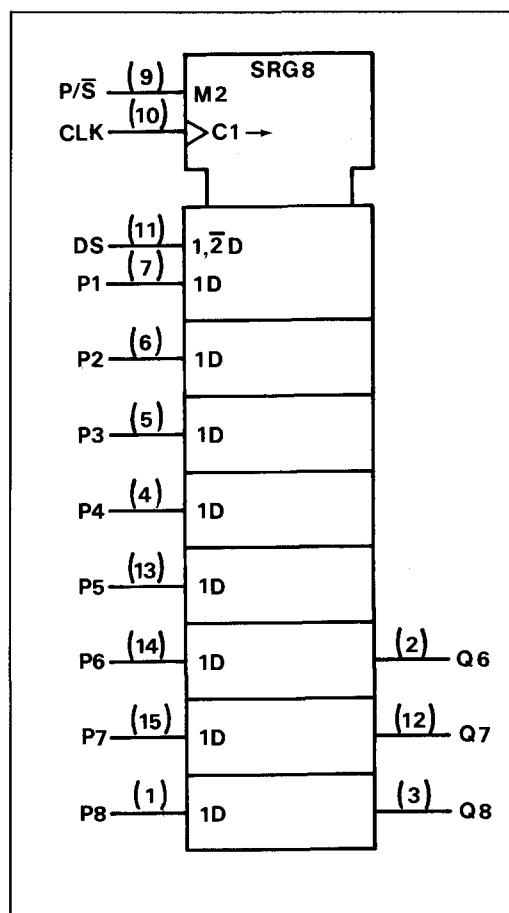
## Serial Action

n	Input			Output		
	CLK	Ds	P/ $\bar{S}$	Q6	Q7	Q8
1		D <sub>1</sub>	L	x	x	x
2		D <sub>2</sub>	L	x	x	x
3		D <sub>3</sub>	L	x	x	x
6		x	L	D <sub>1</sub>	x	x
7		x	L	D <sub>2</sub>	D <sub>1</sub>	x
8		x	L	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>
		x	L	no change		

## Parallel Action

n	Input			Output		
	CLK	Ds	P/ $\bar{S}$	Q6	Q7	Q8
	x	x	H	P6	P7	P8

Note) X : don't care  
D<sub>n</sub> : H or L  
n : Clock pulse number



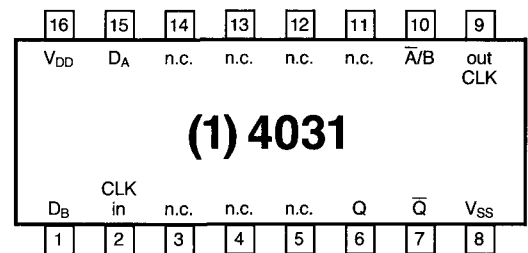
o.a. leverbaar: MC 14021 A/B/C  
CD 4021 A/B  
HEF 4021 B



## 10.3 (1) 4xxx-serie CMOS

**(1) 4031****64-traps statisch schuif-register**

Figuur 4/10.3-31.



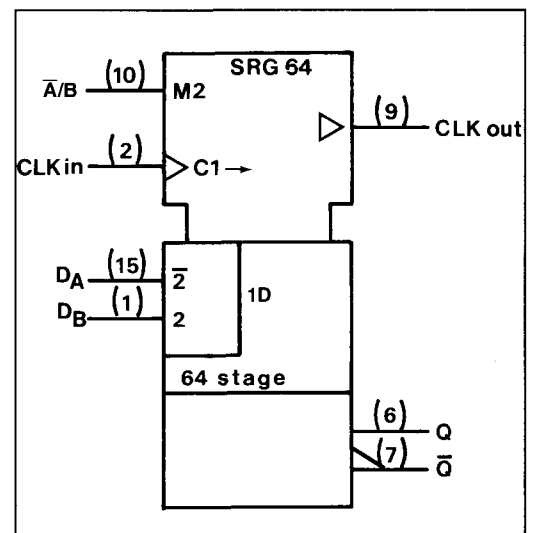
INPUT CONTROL CIRCUIT TRUTH TABLE

DATA	RECIRC.	MODE	BIT INTO STAGE 1
1	X	0	1
0	X	0	0
X	1	1	1
X	0	1	0

TYPICAL STAGE TRUTH TABLE

Data	CLK	Data + 1
0		0
1		1
X		NC

1 = HIGH LEVEL      0 = LOW LEVEL  
 X = DON'T CARE    NC = NO CHANGE



DA = data  
 DB = recirculeren  
 A/B = mode

o.a. leverbaar: CD 4031 A/B  
 HEF 4031 B

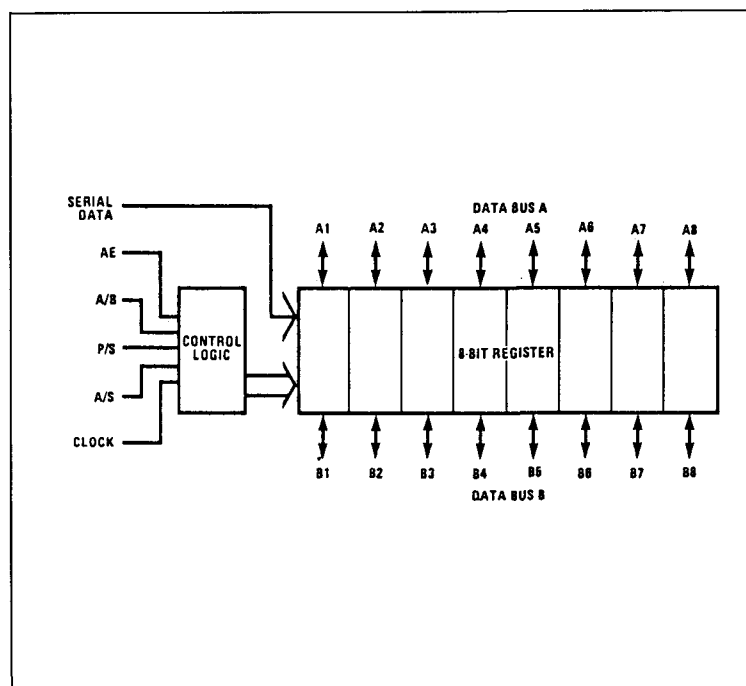
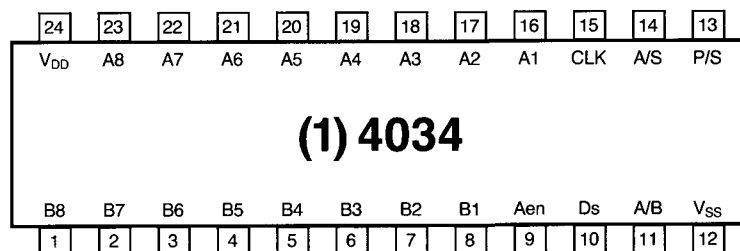
## 10.3 (1) 4xxx-serie CMOS

## (1) 4034

8-bit universeel  
busregister

bidirectioneel parallel/serie-  
in/uit bus register voor  
bidirectionele data-  
overdracht tussen twee  
bussen en omzetting  
van parallelle data in  
serieële of serie-data  
in parallelle.

Figuur 4/10.3-34.



o.a. leverbaar in: MC 14034 A/B/C  
CD 4034 A/B  
HEF 4034 B

TRUTH TABLE

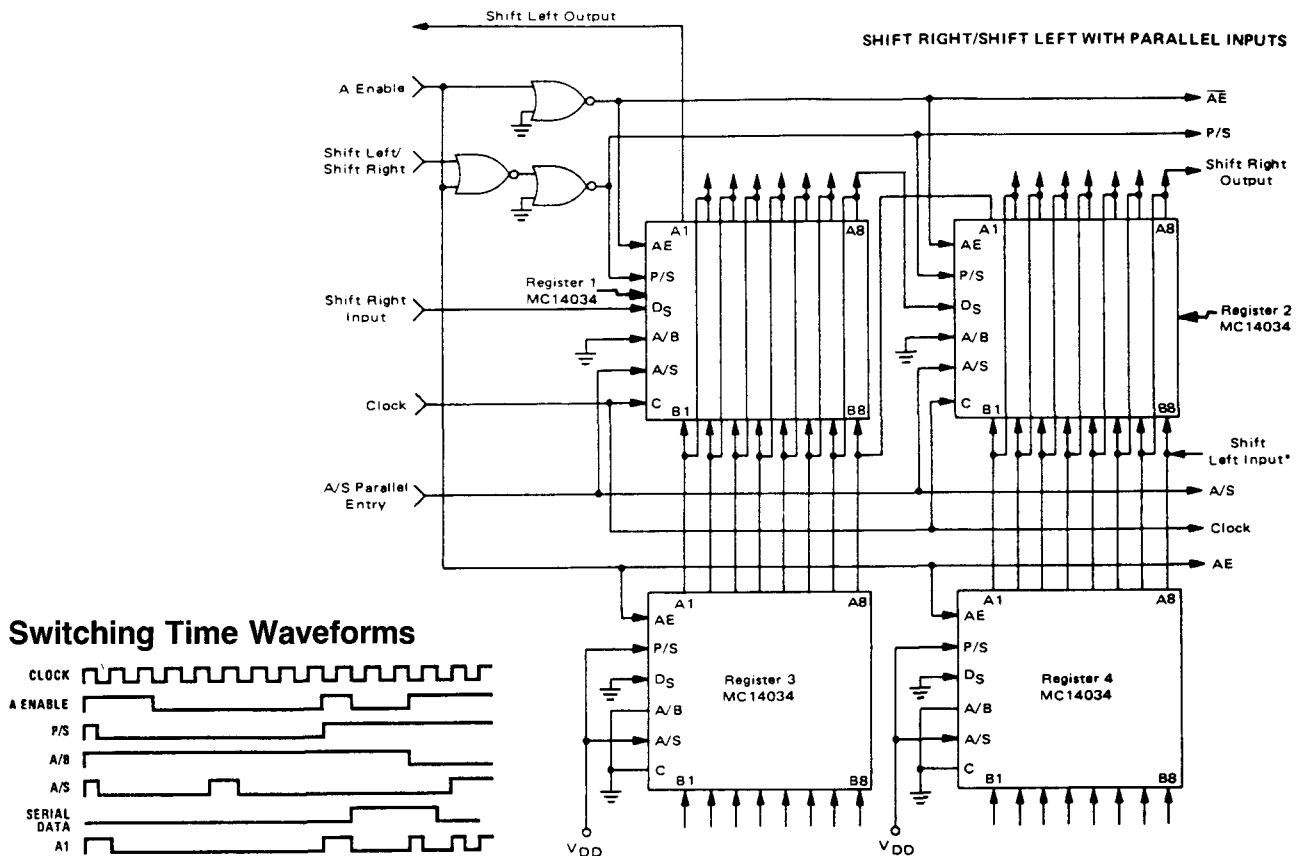
"A" Enable	P/S	A/B	A/S	MODE	OPERATION†
0	0	0	X	Serial	Synchronous Serial data input, A and B parallel data outputs disabled.
0	0	1	X	Serial	Synchronous Serial data input, B-Parallel data output.
0	1	0	0	Parallel	B Synchronous Parallel data inputs, A-Parallel data outputs disabled.
0	1	0	1	Parallel	B Asynchronous Parallel data inputs, A-Parallel data outputs disabled.
0	1	1	0	Parallel	A-Parallel data inputs disabled, B-Parallel data outputs, synchronous data recirculation.
0	1	1	1	Parallel	A-Parallel data inputs disabled, B-Parallel data outputs, asynchronous data recirculation.
1	0	0	X	Serial	Synchronous serial data input, A-Parallel data output.
1	0	1	X	Serial	Synchronous serial data input, B-Parallel data output.
1	1	0	0	Parallel	B-Synchronous Parallel data input, A-Parallel data output.
1	1	0	1	Parallel	B-Asynchronous Parallel data input, A-Parallel data output.
1	1	1	0	Parallel	A-Synchronous Parallel data input, B-Parallel data output.
1	1	1	1	Parallel	A-Asynchronous Parallel data input, B-Parallel data output.

X = Don't Care

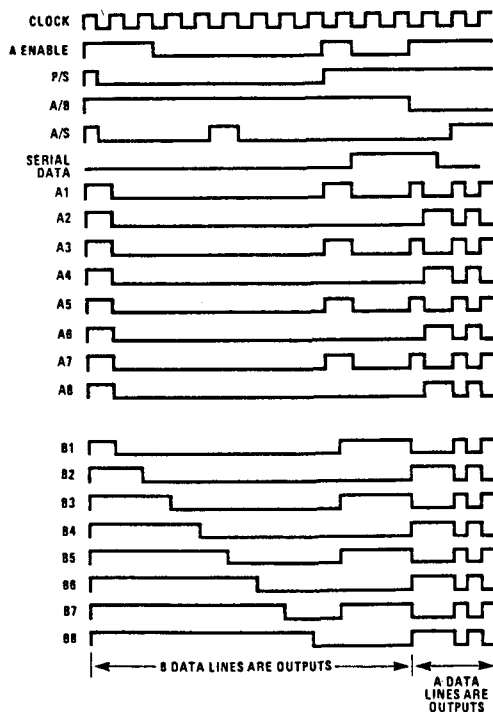
† Outputs change at positive transition of clock in the serial mode and when the A/S input is low in the parallel mode.

During transfer from parallel to serial operation, A/S should remain low in order to prevent D<sub>S</sub> transfer into flip-flops.

## 10.3 (1) 4xxx-serie CMOS



## Switching Time Waveforms

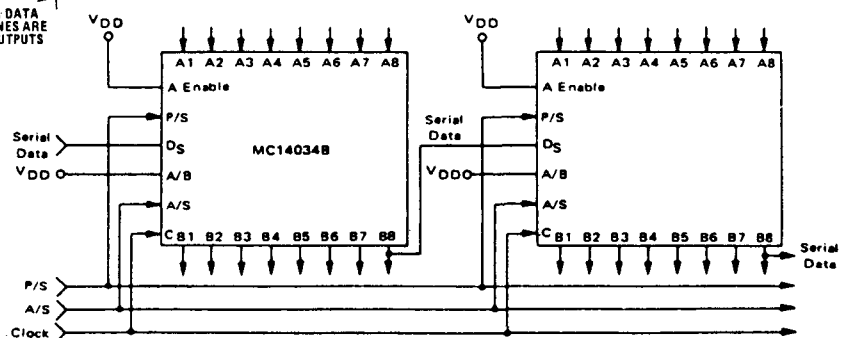


A "High" ("Low") on the Shift Left/Shift Right input allows serial data on the Shift Left Input (Shift Right Input) to enter the register on the positive transition of the clock signal. A "high" on the "A" Enable Input disables the "A" parallel data lines on Reg. 1 and 2 and enables the "A" data lines on registers 3 and 4 and allows parallel data into registers 1 and 2. Other logic schemes may be used in place of registers 3 and 4 for parallel loading.

When parallel inputs are not used Reg. 3 and 4 and associated logic are not required.

\*Shift left input must be disabled during parallel entry.

## 16-BIT PARALLEL IN/PARALLEL OUT, PARALLEL IN/SERIAL OUT, SERIAL IN/PARALLEL OUT, SERIAL IN/SERIAL OUT REGISTER

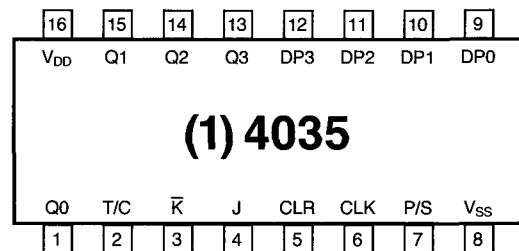


## 10.3 (1) 4xxx-serie CMOS

**(1) 4035**

4-bit parallel-in/parallel-  
uit schuifregister met  
synchrone par. ingang,  
true/complement (T/C)  
ingang en asynchrone  
clear

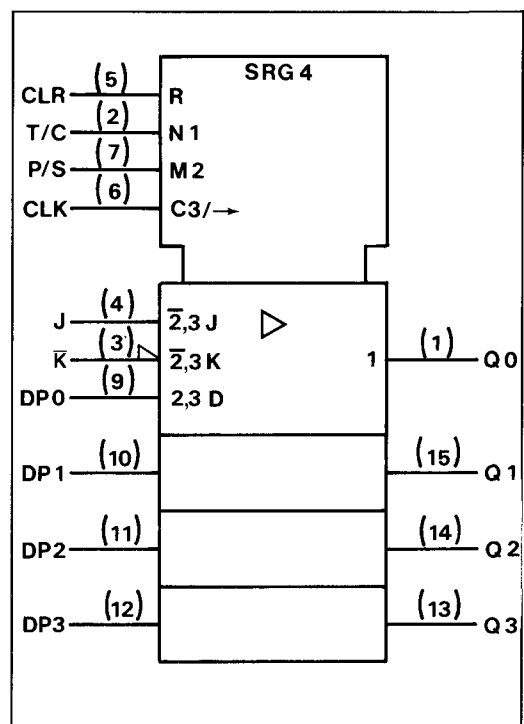
Figuur 4/10.3-35.



TRUTH TABLE

INPUTS				t <sub>n</sub> OUTPUT Q0
C	J	K	R	
0	0	0	0	0
0	1	0	0	Q0 (n-1)
1	0	0	0	Q0 (n-1)
1	1	0	0	1
x	x	x	0	Q0 (n-1)
x	x	x	1	0

x = Don't Care  
P/S = 0 = Serial Mode  
T/C = 1 = True Outputs



o.a. leverbaar: MC 14035 A/B/C  
CD 4035 A/B  
HEF 4035 B

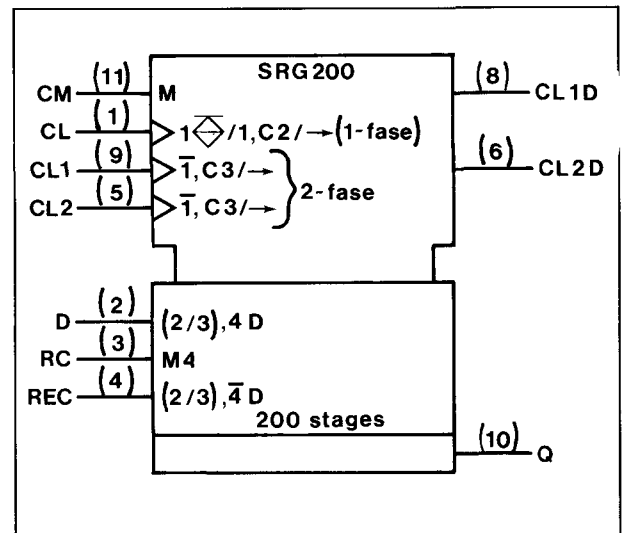
## 10.3 (1) 4xxx-serie CMOS

**(1)4062**

200-traps dynamisch  
schuifregister met  
één- of tweefase clock

clock mode CM = L → 1-fase, < 1 MHz  
CM = H → 2-fase, < 5 MHz

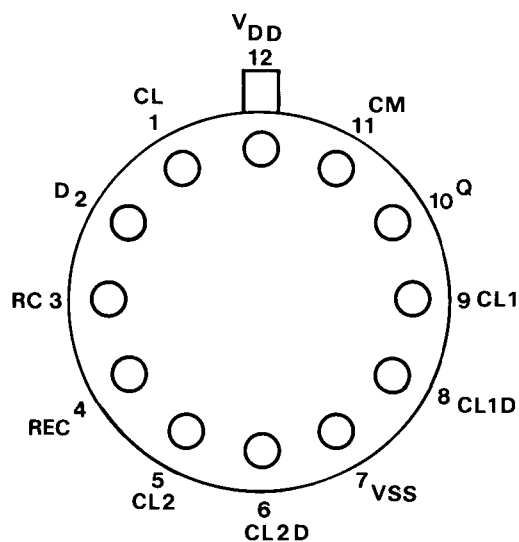
behuizing: 12-lead TO-5 of chipvorm



leverbaar: CD 4062 A (T of H)

TO-5 bovenaanzicht

Figuur 4/10.3-62

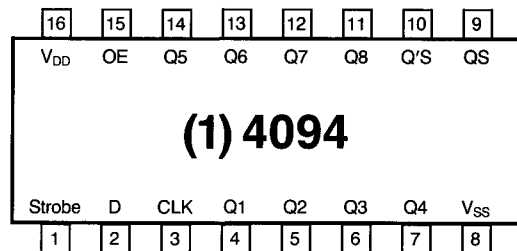


## 10.3 (1) 4xxx-serie CMOS

**(1) 4094**

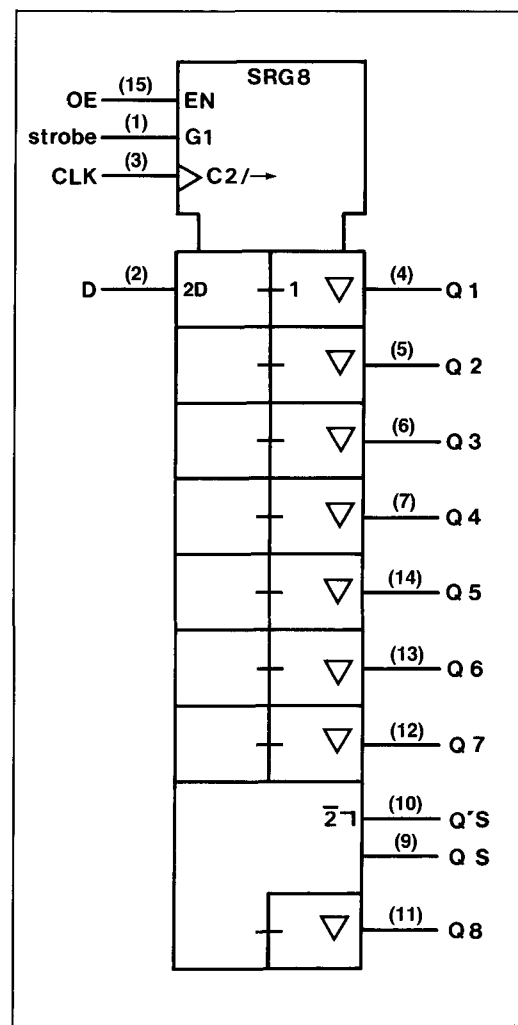
8-traps schuif-/opslag-  
register serie-in/parallel-  
uit, met 3-state uitgangen

Figuur 4/10.3-94.



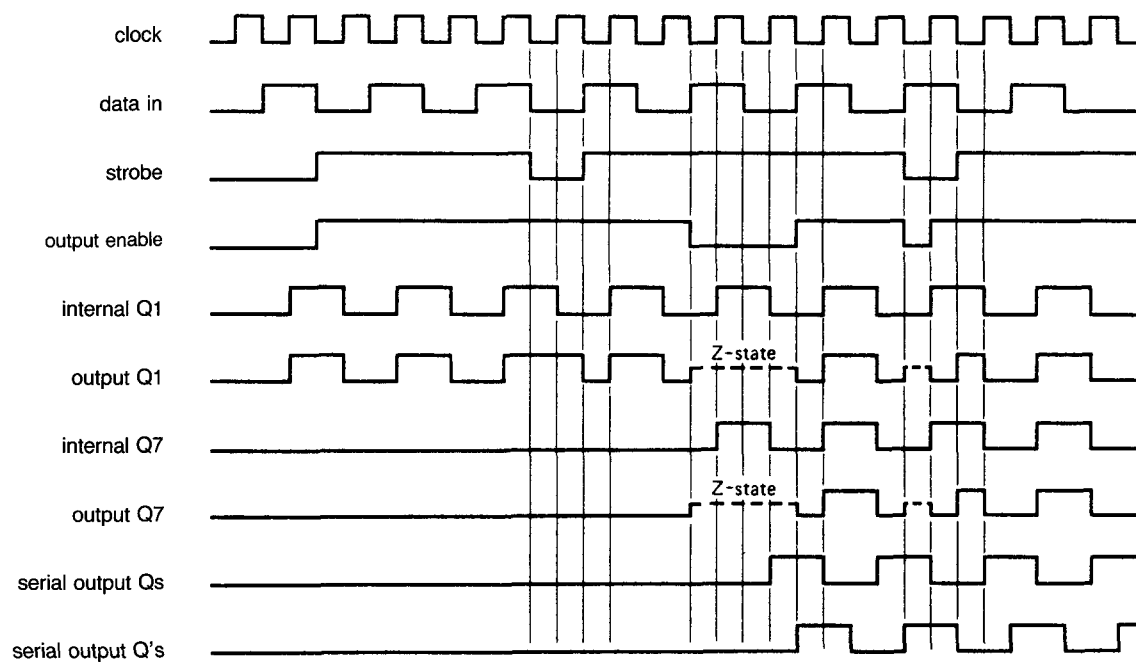
Clock	Output Enable	Strobe	Data	Parallel Outputs		Serial Outputs	
				Q1	Q <sub>N</sub>	Q <sub>S</sub> *	Q'S
	0	X	X	Z	Z	Q7	No Chg.
	0	X	X	Z	Z	No Chg.	Q7
	1	0	X	No Chg.	No Chg.	Q7	No Chg.
	1	1	0	0	Q <sub>N</sub> -1	Q7	No Chg.
	1	1	1	1	Q <sub>N</sub> -1	Q7	No Chg.
	1	1	1	No Chg.	No Chg.	No Chg.	Q7

Z = High Impedance  
X = Don't Care  
\*At the positive clock edge, information in the 7th shift register stage is transferred to Q<sub>S</sub> and Q<sub>S</sub>.



o.a. leverbaar: MC 14094 B  
CD 4094 B  
HEF 4094 B

## 10.3 (1) 4xxx-serie CMOS

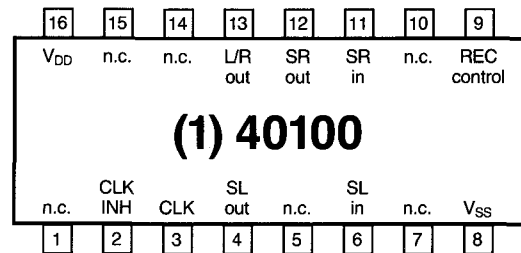


Timing diagram.

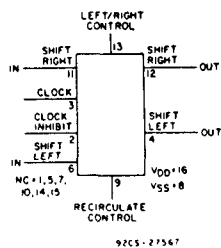
## 10.3 (1) 4xxx-serie CMOS

## (1) 40100

32-traps statisch links/rechts  
schuifregister (LIFO, FIFO  
en recirculeren mogelijk)



Figuur 4/10.3-100.



FUNCTIONAL DIAGRAM

CONTROL TRUTH TABLE

LEFT/RIGHT CONTROL	CLOCK INHIBIT	RECIRCULATE CONTROL	ACTION	INPUT BIT ORIGIN
1	0	1	Shift left	Shift left input
1	0	0	Shift left	Stage 1
0	0	1	Shift right	Shift right input
0	0	0	Shift right	Stage 32
X	1	X	No shift	—

DATA TRANSFER TABLE\*

INITIAL STATE			CLOCK	RESULTING STATE	
DATA INPUT	CLOCK INHIBIT	INTERNAL STAGE	LEVEL CHANGE	INTERNAL STAGE Q	OUTPUT
0	0	X		0	NC
X	0	0		NC	0
1	0	X		1	NC
X	0	1		NC	1
X	1	1	X	NC	NC

0 = Low level 1 = High level X = Don't care NC = No change

\* For Shift-Right Mode

Data Input = SHIFT-RIGHT INPUT (Term. 11)

Internal Stage = Stage 1 (Q<sub>1</sub>)

Output = SHIFT-LEFT OUTPUT (Term. 4)

For Shift-Left Mode

Data Input = SHIFT-LEFT INPUT (Term. 6)

Internal Stage = Stage 32 (Q<sub>32</sub>)

Output = SHIFT-RIGHT OUTPUT (Term. 12)

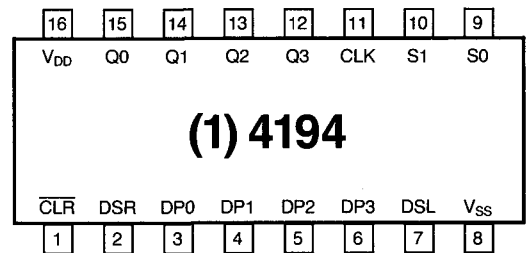


## 10.3 (1) 4xxx-serie CMOS

## (1) 4194

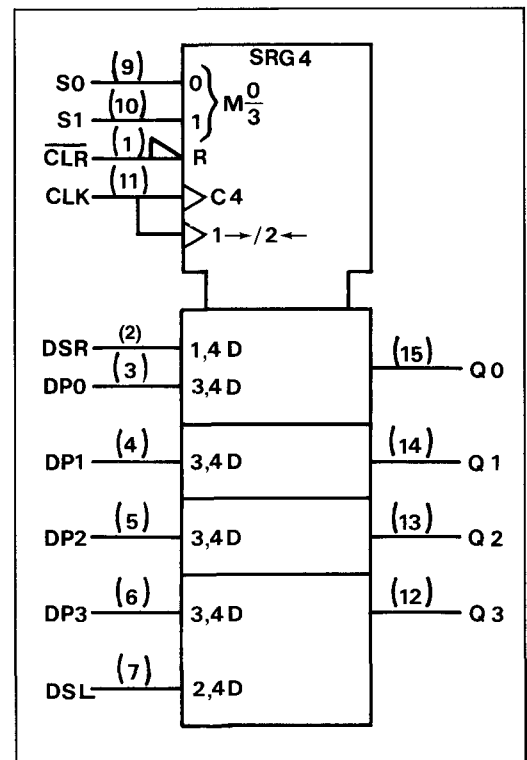
4-bit bidirectioneel universeel  
schuifregister (serie-in/uit,  
parallel-in/uit, schuif links/rechts,  
hold, reset)

Figuur 4/10.3-194.



OPERATING MODE	INPUTS (Reset = 1)					OUTPUTS (@ $t_n + 1$ )			
	S1	S0	DSR	DSL	DP0-3	Q0	Q1	Q2	Q3
Hold	0	0	X	X	X	Q0	Q1	Q2	Q3
Shift Left	1	0	X	0	X	Q1	Q2	Q3	0
Shift Right	0	1	0	X	X	0	Q0	Q1	Q2
Parallel	1	1	X	X	0	0	0	0	0
	1	1	X	X	1	1	1	1	1

X = Don't Care

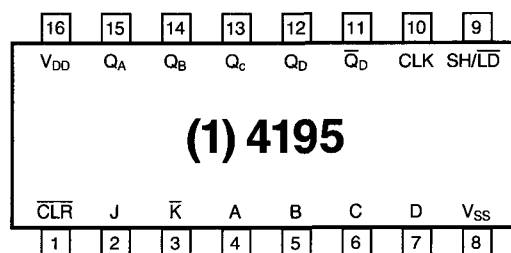
 $t_{n+1}$  = State after the next positive going transition of the clock.

o.a. leverbaar: MC 14194 B  
CD 40194 B  
HEF 40194 B

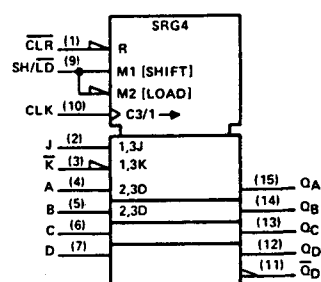
## 10.3 (1) 4xxx-serie CMOS

## (1) 4195

4-bit universeel schuif-  
register parallel-in/uit, clear



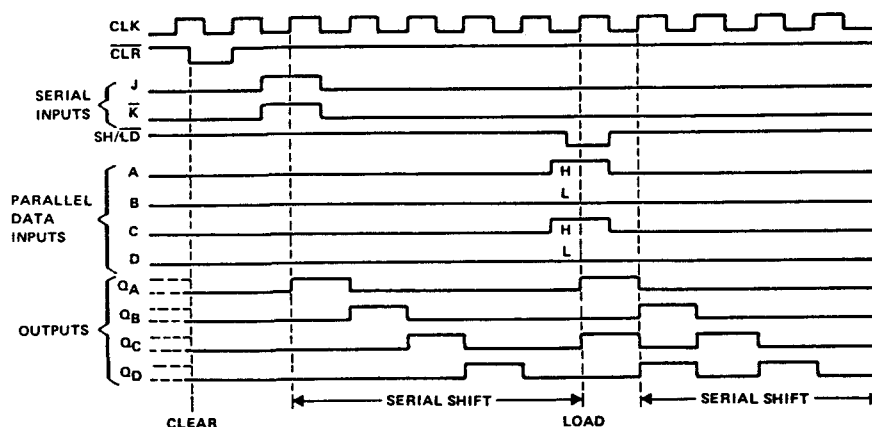
Figuur 4/10.3-195.



FUNCTION TABLE

		INPUTS								OUTPUTS				
		CLK	SERIAL		PARALLEL					QA	QB	QC	QD	QD-bar
CLR	SH/LD		J	K	A	B	C	D						
L	X	X	X	X	X	X	X	X	L	L	L	L	L	H
H	L	↑	X	X	a	b	c	d	a	b	c	d	d	d-bar
H	H	L	X	X	X	X	X	X	QA0	QB0	QC0	QD0	QD0	QD0-bar
H	H	↑	L	H	X	X	X	X	QA0	QA0	QBn	QCn	QCn	QCn-bar
H	H	↑	L	L	X	X	X	X	L	QAn	QBn	QCn	QCn	QCn-bar
H	H	↑	H	H	X	X	X	X	H	QAn	QBn	QCn	QCn	QCn-bar
H	H	↑	H	L	X	X	X	X	QAn	QAn	QBn	QCn	QCn	QCn-bar

typical clear, shift, and load sequences



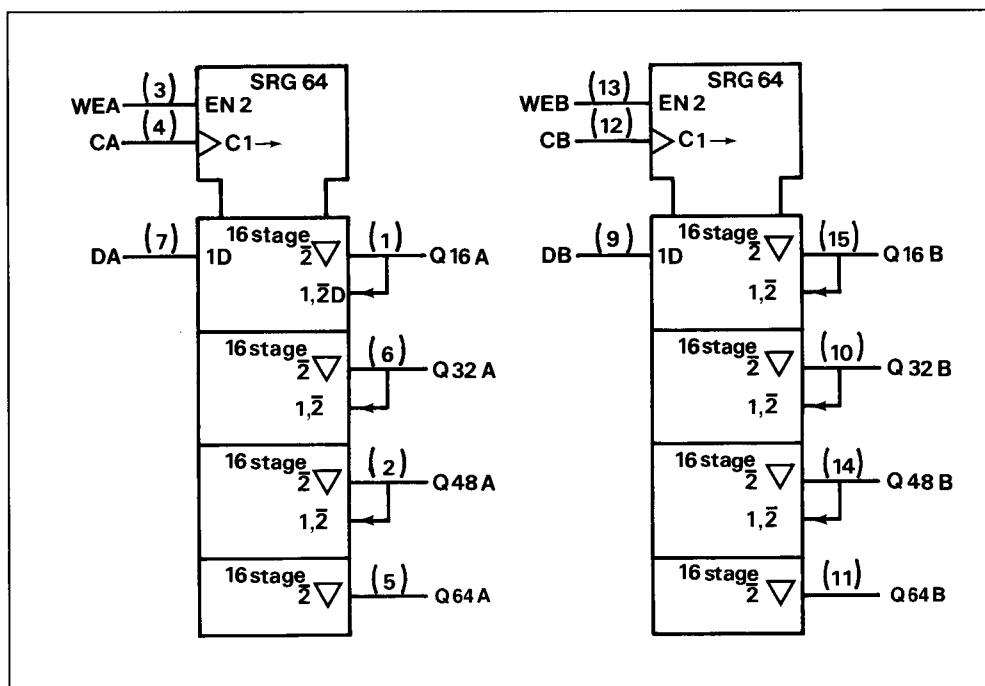
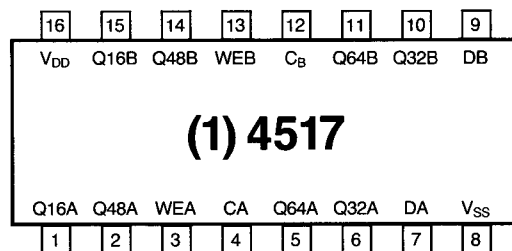
o.a. leverbaar: MN 40195 B  
HEF 40195 B

## 10.3 (1) 4xxx-serie CMOS

**(1) 4517**

2 64-bit statische schuifregisters met aftakkingen (uit- en ingangen) op 16, 32, 48 en 64 bits waardoor 64 bits geladen kunnen worden in 16 clock-cycli

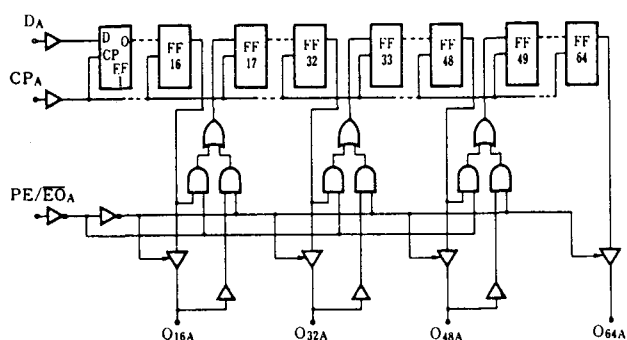
Figuur 4/10.3-517.







o.a. leverbaar: MC 14517 A/B/C  
CD 4517 B  
HEF 4517 B

### 10.3 (1) 4xxx-serie CMOS

### ■ Logic Diagram



### ■ Truth Table

CP	WE	D	O <sub>16</sub>	O <sub>32</sub>	O <sub>48</sub>	O <sub>64</sub>
0	0	×	Contents of 16-bit display	Contents of 32-bit display	Contents of 48-bit display	Contents of 64-bit display
0	1	×	High impedance	High impedance	High impedance	High impedance
1	0	×	Contents of 16-bit display	Contents of 32-bit display	Contents of 48-bit display	Contents of 64-bit display
1	1	×	High impedance	High impedance	High impedance	High impedance
	0	Enter into first bit	Contents of 16-bit display	Contents of 32-bit display	Contents of 48-bit display	Contents of 64-bit display
	1	Enter into first bit	Data entering into 17th bit	Data entering into 33rd bit	Data entering into 49th bit	High impedance
	0	×	Contents of 16-bit display	Contents of 32-bit display	Contents of 48-bit display	Contents of 64-bit display
	1	×	High impedance	High impedance	High impedance	High impedance

Note) X : don't care

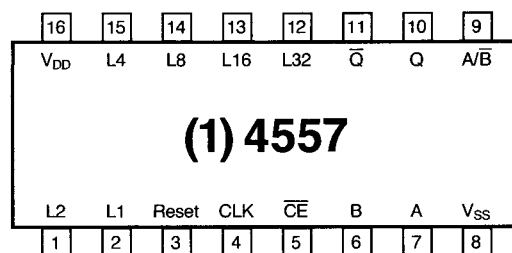
## 10.3 (1) 4xxx-serie CMOS

## (1)4557

Schuifregister met  
variabele lengte

De lengte van dit statische serie-in/  
serie-uit schuifregister wordt bepaald  
door de som van de L-ingangen en  
kan zodoende variëren van 1 tot 64.

Figuur 4/10.3-557.



BIT-LENGTH SELECT FUNCTION TABLE

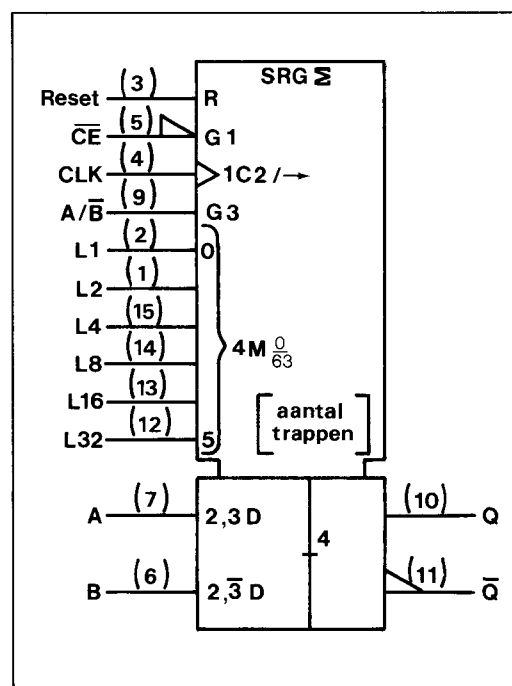
L32	L16	L8	L4	L2	L1	register length
L	L	L	L	L	L	1-bit
L	L	L	L	L	H	2-bits
L	L	L	L	H	L	3-bits
L	L	L	L	H	H	4-bits
L	L	L	H	L	L	5-bits
L	L	L	H	L	H	6-bits
L	L	L	H	H	L	7-bits
L	L	L	H	H	H	8-bits
↓	↓	↓	↓	↓	↓	↓
L	H	H	H	H	H	32-bits
H	L	L	L	L	L	33-bits
H	L	L	L	L	H	34-bits
↓	↓	↓	↓	↓	↓	↓
H	H	H	H	L	L	61-bits
H	H	H	H	L	H	62-bits
H	H	H	H	H	L	63-bits
H	H	H	H	H	H	64-bits

FUNCTION TABLE

inputs						output
Reset	A/B	A	B	CLK	CE	Q*
L	L	D <sub>1</sub>	D <sub>2</sub>	/	L	D <sub>2</sub>
L	H	D <sub>1</sub>	D <sub>2</sub>	/	L	D <sub>1</sub>
L	L	D <sub>1</sub>	D <sub>2</sub>	H	\	D <sub>2</sub>
L	H	D <sub>1</sub>	D <sub>2</sub>	H	\	D <sub>1</sub>
H	X	X	X	X	X	L

\* The moment D<sub>n</sub> appears at Q depends on the  
bit-length shown in the table.

H = HIGH state (the more positive voltage)  
L = LOW state (the less positive voltage)  
X = state is immaterial  
/ = positive-going transition  
\ = negative-going transition  
D<sub>n</sub> = either HIGH or LOW

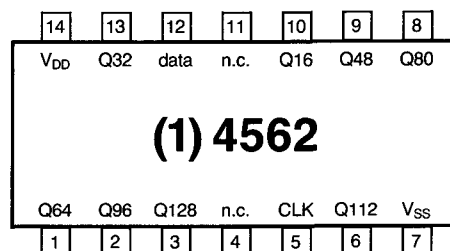


o.a. leverbaar MC 14557 B  
HEF 4557 B  
HD 14557 B

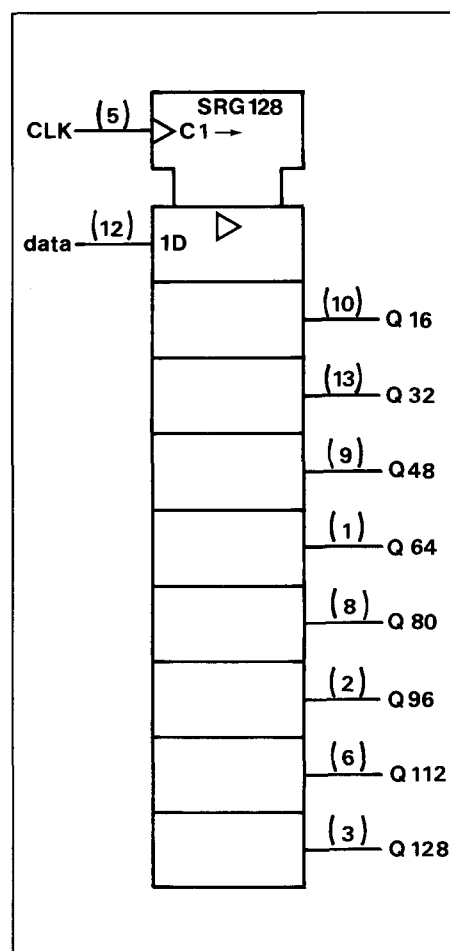
## 10.3 (1) 4xxx-serie CMOS

**(1) 4562**

128-bit statisch schuifregister  
serie-in/serie-uit, met aftakkingen  
op elke 16 bits.



Figuur 4/10.3-562.



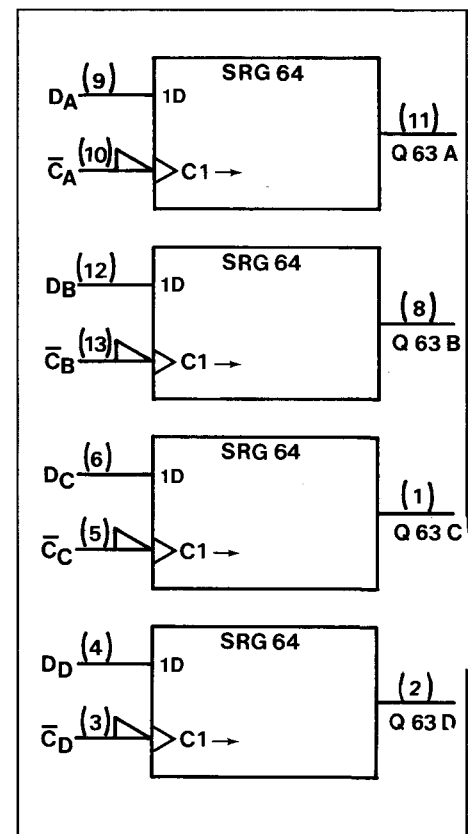
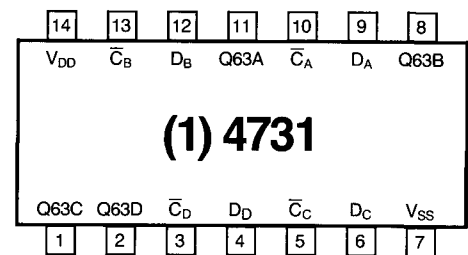
leverbaar: MC 14562 B  
HD 14562 B

## 10.3 (1) 4xxx-serie CMOS

**(1) 4731**

4 64-bit statische schuif-  
registers serie-in/serie-uit,  
met aparte clock-ingangen

Figuur 4/10.3-731.



leverbaar: HEF 4731 B/V

**10.3 (1) 4xxx-serie CMOS**



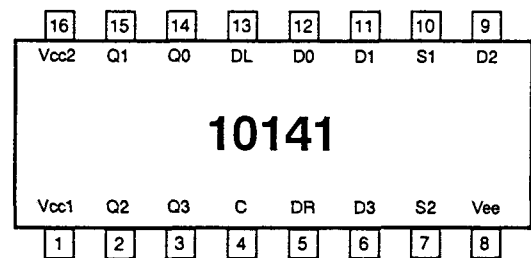
## 4/10.4

## Schuifregisters 10k-serie ECL

## 10141

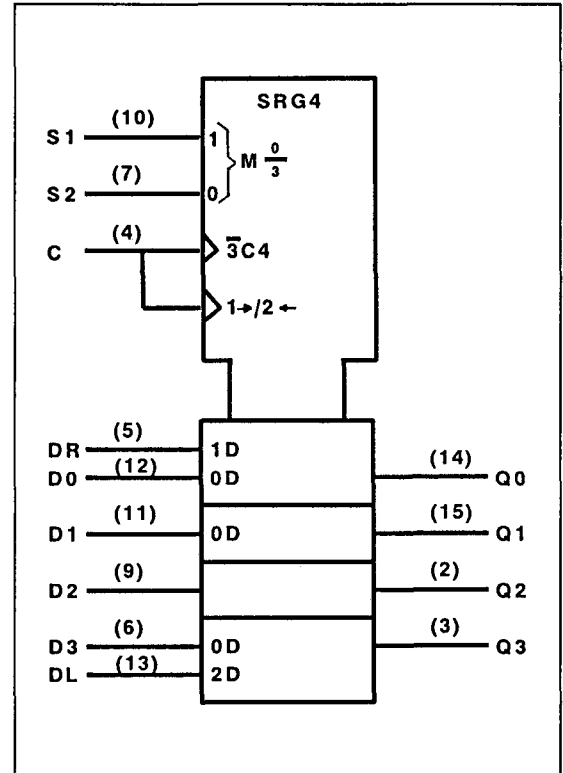
4 bit universeel  
schuifregister

Figuur 4/10.4-141.

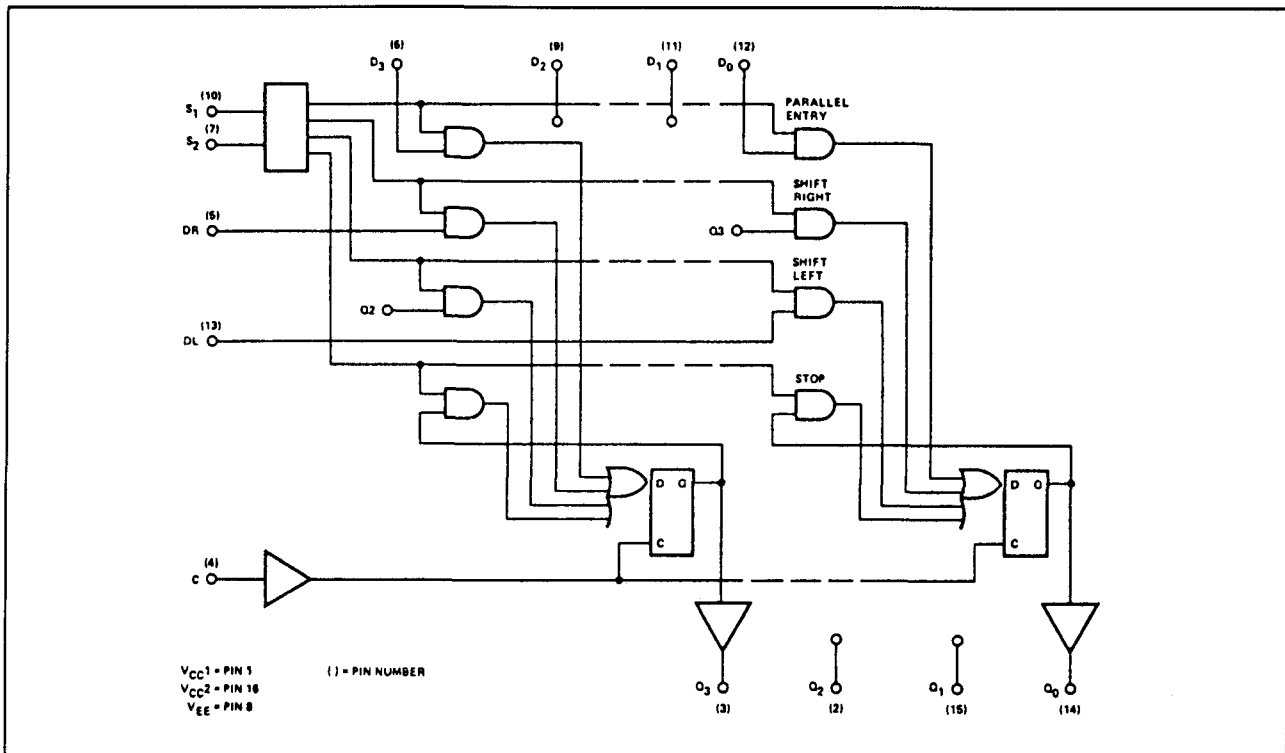


## Parameters bij 25 °C

$I_E$	min typ max	82 102	mA	Stroom uit voeding ( $V_{EE} = -5,2V$ )
$I_{IL}$	min typ max	0.5	$\mu A$	Low level Ingangsstroom $V_{IN} = V_{ILmin}$
$I_{IH}$	min typ max	220	$\mu A$	High level Ingangsstroom $V_{IN} = V_{IHmax}$
$V_{OL}$	min typ max	-1.85 -1.65	V	Low level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OH}$	min typ max	-0.96 -0.81	V	High level Uitgangsspanning $V_{IN} = V_{ILmin}$ of $V_{IHmax}$
$V_{OLA}$	min typ max	-1.63	V	Threshold Low level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
$V_{OHA}$	min typ max	-0.98	V	Threshold High level Uitgangsspanning $V_{IN} = V_{ILAmax}$ of $V_{IHmin}$
P	typ	425	mW/ package	Dissipatie
fanout		1	50 Ohm-lijn(en)	
ZIN		50	kOhm pull-down weerstanden	
f shift		200	MHz typ.	



## 10.4 Schuifregisters 10k-serie ECL



Functioneel blokschema (positieve logika).

CONTROL		OPERATING MODE	OUTPUTS			
S <sub>1</sub>	S <sub>2</sub>		Q <sub>0</sub> (N+1)	Q <sub>1</sub> (H+1)	Q <sub>2</sub> (N+1)	Q <sub>3</sub> (N+1)
L	L	Parallel Entry	D <sub>0N</sub>	D <sub>1N</sub>	D <sub>2N</sub>	D <sub>3N</sub>
L	H	Shift Right	Q <sub>1N</sub>	Q <sub>2N</sub>	Q <sub>3N</sub>	D <sub>3N</sub>
H	L	Shift Left	D <sub>1N</sub>	Q <sub>0N</sub>	Q <sub>1N</sub>	Q <sub>2N</sub>
H	H	Stop Shift	Q <sub>0N</sub>	Q <sub>1N</sub>	Q <sub>2N</sub>	Q <sub>3N</sub>

Waarheidstabel.

## 4/10.5

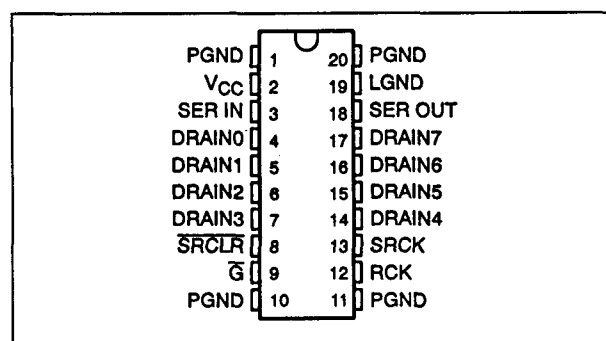
## Power Logic schuifregisters

**TPIC 6595****8 bit schuifregister**

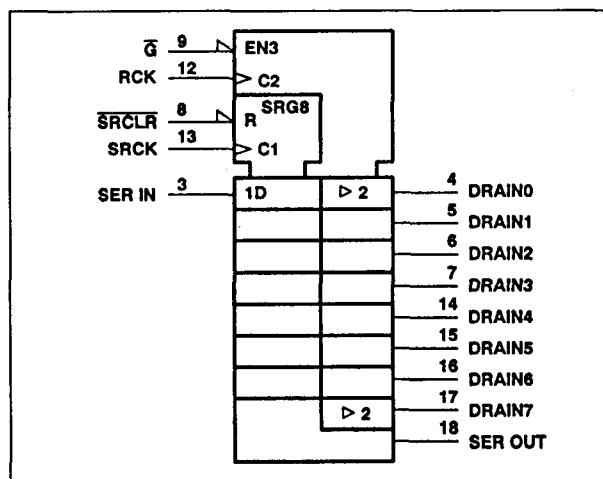
De TPIC 6595 is een 8 bit monolithisch schuifregister voor relatief zware belastingen. Het schuifregister is geschikt voor hoge spanning en grote (sink-) stromen aan de uitgang. De schakeling bevat een 8 bit serie-in parallel-uit schuifregister, waarop een 8 bit D-type opslagregister is aangesloten. Data-overdracht door het schuifregister vindt plaats op de stijgende flank van de schuifregister-clock (SRCK), terwijl data naar de opslagregisters op de stijgende flank van de register-clock (RCK) wordt getransporteerd. Het opslagregister zet de data op de uitgangsbuffers als schuifregister-clear (SRCLR) HOOG is. Als SRCLR LAAG is, wordt het ingangsschuifregister gecleared. Wanneer het output enable-sig-naal ( $\bar{G}$ ) HOOG is, worden alle data-uitgangsbuffers LAAG gehouden en zijn alle drain-uitgangen afgeschakeld. Wanneer  $\bar{G}$  LAAG is, is de data van het opslagregister transparant voor de uitgangsbuffers. Het serie-uit signaal (SER OUT) maakt cascade-schakeling van de data uit het schuifregister naar andere schakelingen mogelijk. De uitgangen zijn low-side, open-drain DMOS-transistoren die geschikt zijn voor 45 V en een continue sink-stroom van 250 mA. Als de data in de uitgangsbuffers LAAG is, zijn de bijbehorende DMOS-transistor uitgangen afgeschakeld.

De TPIC 6595 is voorzien van aparte aardpennen voor logica en vermogen, om maximale systeem-flexibiliteit mogelijk te maken. De pennen 1, 10, 11 en 20 zijn intern met

elkaar verbonden, maar elke pen moet extern met de vermogensaarde worden verbonden om paracitaire zelfinductie te verkleinen.

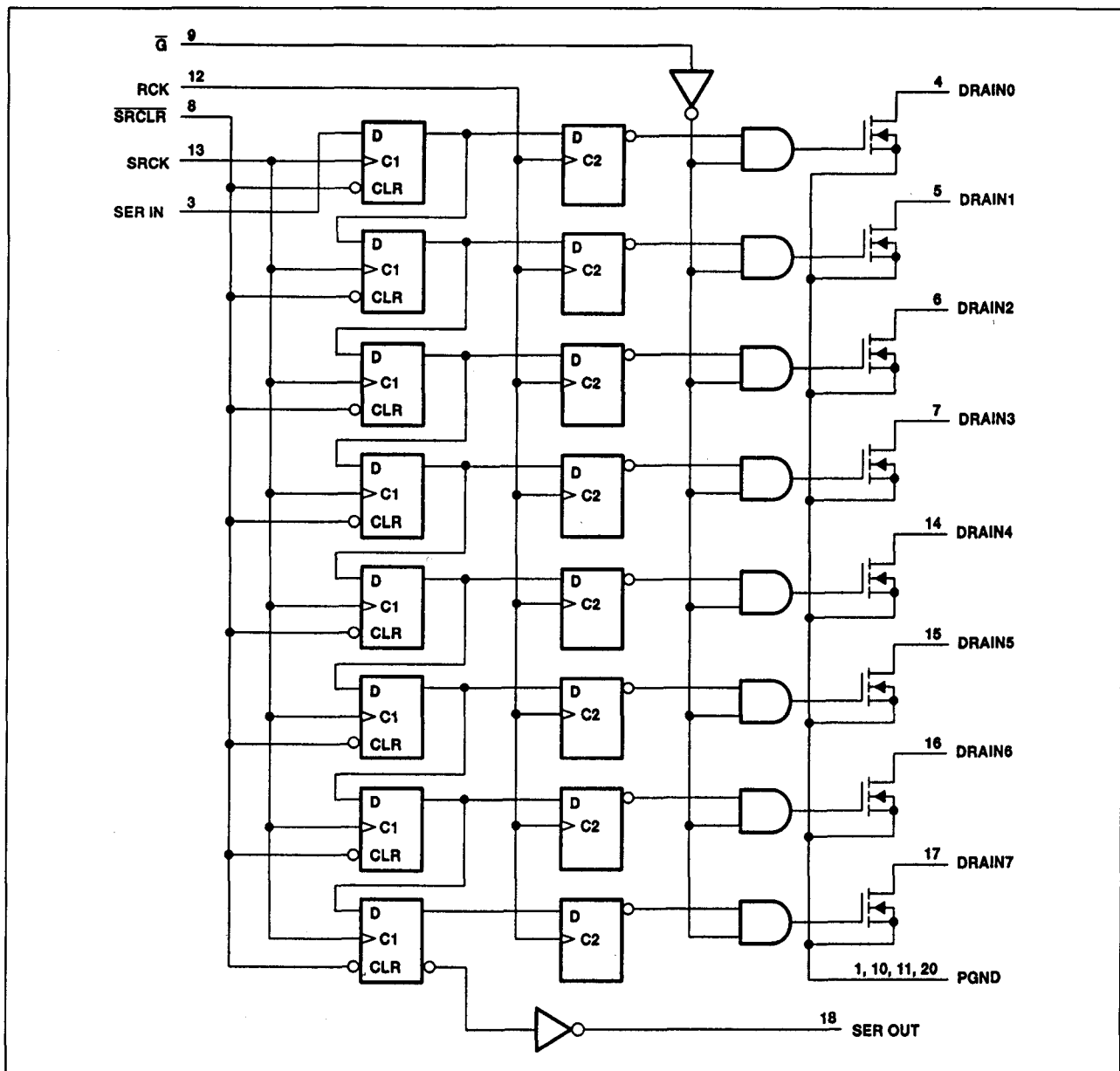


Figuur 4/10.5-1: Aansluitingen van de TPIC 6595 (DIL en SOIC).



Figuur 4/10.5-2: Logisch symbool van de TPIC 6595.

## 10.5 Power Logic schuifregisters



Figuur 4/10.5-3: Functioneel blokschema van de TPIC 6595 (positieve logika).

Extern moet de logische aarde (LGND, pen 19) op één punt aan de vermogensaarde (PGND, pennen 1, 10, 11 en 20) worden gelegd om overspraak tussen de logika en de belasting te beperken.

**Technische gegevens**

- 8 power DMOS-transistor uitgangen
- lage  $R_{DS(on)}$ : 1,3  $\Omega$  typ.

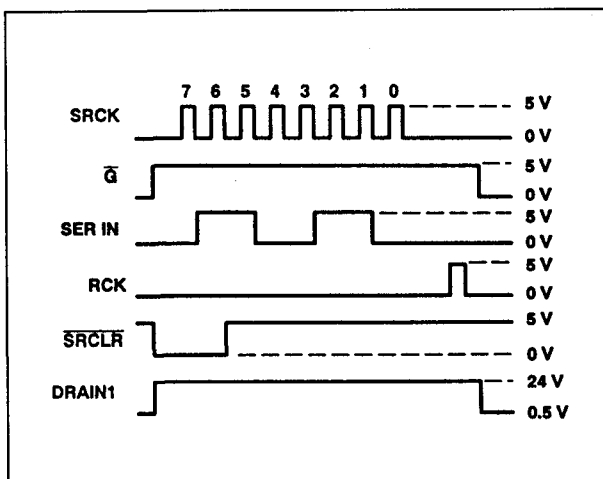
- uitgangsstroom: 250 mA continu, 1,5 A gepulst
- uitgangs clamp-spanning: 45 V
- avalanche energie: 75 mJ
- behuizing: 20-pens N (DIL) of DW (SOIC) (zie figuur 4/10.5-1)
- fabrikant: Texas Instruments

## 10.5 Power Logic schuifregisters

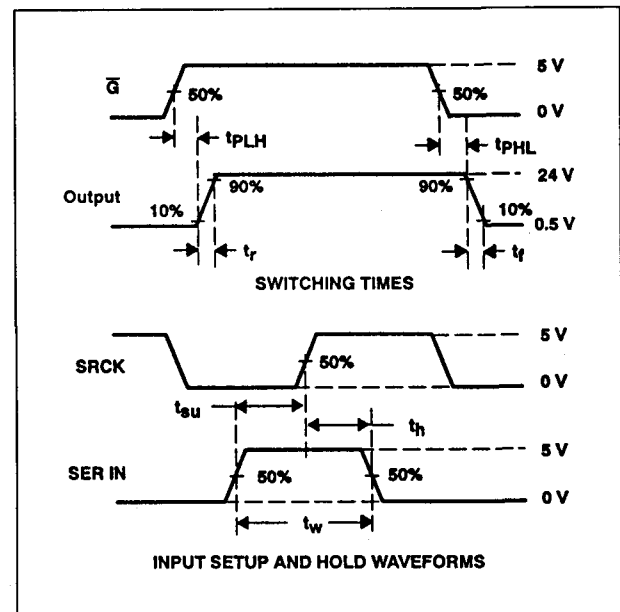
Logic supply voltage, $V_{CC}$ (see Note 1)	7 V
Logic input voltage range, $V_I$	-0.3 V to 7 V
Power DMOS drain-to-source voltage, $V_{DS}$ (see Note 2)	45 V
Continuous source-drain diode anode current	1 A
Pulsed source-drain diode anode current	2 A
Pulsed drain current, each output, all outputs on, $I_{DN}$ , $T_A = 25^\circ\text{C}$ (see Note 3)	750 mA
Continuous drain current, each output, all outputs on, $I_{DN}$ , $T_A = 25^\circ\text{C}$	250 mA
Peak drain current single output, $I_{DM}$ , $T_A = 25^\circ\text{C}$ (see Note 3)	2 A
Single-pulse avalanche energy, $E_{AS}$ (see Figure 4)	75 mJ
Avalanche current, $I_{AS}$ (see Note 4)	1 A
Continuous total dissipation	See Dissipation Rating Table
Operating virtual junction temperature range, $T_J$	-40°C to 150°C
Storage temperature range	-65°C to 150°C
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds	260°C

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 125^\circ\text{C}$ POWER RATING
DW	1125 mW	9.0 mW/°C	225 mW
N	1150 mW	9.2 mW/°C	230 mW

Figuur 4/10.5-4: Maximaal toelaatbare waarden en vermogensdissipatie van de TPIC 6595.



Figuur4/10.5-6: Tijddiagram van de TPIC 6595.



Figuur 4/10.5-7: Golfvormen en timing van de TPIC 6595 (zie figuur 4/10.5-5, schakeltijden).

## 10.5 Power Logic schuifregisters

recommended operating conditions over recommended operating temperature range (unless otherwise noted)

	MIN	MAX	UNIT
Logic supply voltage, $V_{CC}$	4.5	5.5	V
High-level input voltage, $V_{IH}$	0.85 $V_{CC}$		V
Low-level input voltage, $V_{IL}$		0.15 $V_{CC}$	V
Pulsed drain output current, $T_C = 25^\circ\text{C}$ , $V_{CC} = 5\text{ V}$ (see Notes 3 and 5)	-1.8	1.5	A
Setup time, SER IN high before SRCK $\uparrow$ , $t_{SU}$ (see Figure 2)	10		ns
Hold time, SER IN high after SRCK $\uparrow$ , $t_H$ (see Figure 2)	10		ns
Pulse duration, $t_W$ (see Figure 2)	20		ns
Operating case temperature, $T_C$	-40	125	$^\circ\text{C}$

electrical characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$  (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{(BR)DSX}$ Drain-source breakdown voltage	$I_D = 1\text{ mA}$	45			V
$V_{SD}$ Source-drain diode forward voltage	$I_F = 250\text{ mA}$ , See Note 3		0.85	1	V
$V_{OH}$ High-level output voltage, SER OUT	$I_{OH} = -20\text{ mA}$ , $V_{CC} = 4.5\text{ V}$ $I_{OH} = -4\text{ mA}$ , $V_{CC} = 4.5\text{ V}$	4.4 4.1	4.49 4.3		V
$V_{OL}$ Low-level output voltage, SER OUT	$I_{OH} = 20\text{ mA}$ , $V_{CC} = 4.5\text{ V}$ $I_{OH} = 4\text{ mA}$ , $V_{CC} = 4.5\text{ V}$		0.002 0.2	0.1 0.4	V
$I_{IH}$ High-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = V_{CC}$			1	$\mu\text{A}$
$I_{IL}$ Low-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = 0$			-1	$\mu\text{A}$
$I_{CC}$ Logic supply current	$I_O = 0$ , All inputs low		15	100	$\mu\text{A}$
$I_{CC}(\text{FRQ})$ Logic supply current frequency	$f_{SRCK} = 5\text{ MHz}$ , $I_O = 0$ , $C_L = 30\text{ pF}$ , See Figures 1, 2, and 6		0.6	5	mA
$I_N$ Nominal current	$V_{DS(on)} = 0.5\text{ V}$ , $I_N = I_D$ , $T_C = 85^\circ\text{C}$ See Notes 5, 6, and 7		250		mA
$I_{DSX}$ Off-state drain current	$V_{DS} = 40\text{ V}$ $V_{DS} = 40\text{ V}$ , $T_C = 125^\circ\text{C}$		0.05 0.15	1 5	$\mu\text{A}$
$r_{DS(on)}$ Static drain-source on-state resistance	$I_D = 250\text{ mA}$ , $V_{CC} = 4.5\text{ V}$ $I_D = 250\text{ mA}$ , $T_C = 125^\circ\text{C}$ , $V_{CC} = 4.5\text{ V}$ $I_D = 500\text{ mA}$ , $V_{CC} = 4.5\text{ V}$ See Notes 5 and 6 and Figures 9 and 10		1.3 2 1.3	2 3.2 2	$\Omega$

switching characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}$ Propagation delay time, low-to-high-level output from $\bar{G}$	$C_L = 30\text{ pF}$ , $I_D = 250\text{ mA}$ , See Figures 1, 2, and 11		650		ns
$t_{PHL}$ Propagation delay time, high-to-low-level output from $\bar{G}$			150		ns
$t_r$ Rise time, drain output			750		ns
$t_f$ Fall time, drain output			425		ns
$t_a$ Reverse-recovery-current rise time	$I_F = 250\text{ mA}$ , $dI/dt = 20\text{ A}/\mu\text{s}$ ,		100		ns
$t_{rr}$ Reverse-recovery time	See Notes 5 and 6 and Figure 3		300		ns

thermal resistance

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$R_{\theta JA}$ Thermal resistance, junction-to-ambient	DW package N package All 8 outputs with equal power		111 108	$^\circ\text{C}/\text{W}$

Figuur 4/10.5-5: Aanbevolen bedrijfscondities, gelijkspanningskenmerken, schakeltijden en thermische weerstand van de TPIC 6595.

## 10.5 Power Logic schuifregisters

**TPIC 6A595****8 bit schuifregister  
met stroombegrenzing**

De TPIC 6A595 is een van de TPIC 6595 afgeleid schuifregister. Ook de TPIC 6A595 is een 8 bit monolithisch schuifregister voor relatief zware belastingen. De schakeling heeft een ingebouwde spanningsclomp ter bescherming tegen inductieve spanningen. De TPIC 6A595 heeft een 8 bit serie-in/parallel-uit schuifregister, waarop een 8 bit D-type opslagregister is aangesloten.

Data-overdracht door het schuifregister en naar de opslagregisters gaat op dezelfde manier als bij de TPIC 6595 met SRCK en RCK, waarbij ook  $\bar{G}$  en  $\overline{SRCLR}$  dezelfde functies hebben.

Ook het tijddiagram en de golfvormen en timing van de TPIC 6595 (figuren 4/10.5-6 en -7) zijn bruikbaar voor de TPIC 6A595. De uitgangen zijn low-side, open-drain DMOS-transistoren die geschikt zijn voor 50 V en 350 mA continue sinkstroom.

Bovendien is elke uitgang voorzien van een aparte (choppende) stroombegrenzing om schade door kortsluiting te voorkomen.

De TPIC 6A595 heeft gescheiden aardpennen voor logica (LGND) en vermogen (PGND), om het systeem zo flexibel mogelijk te maken.

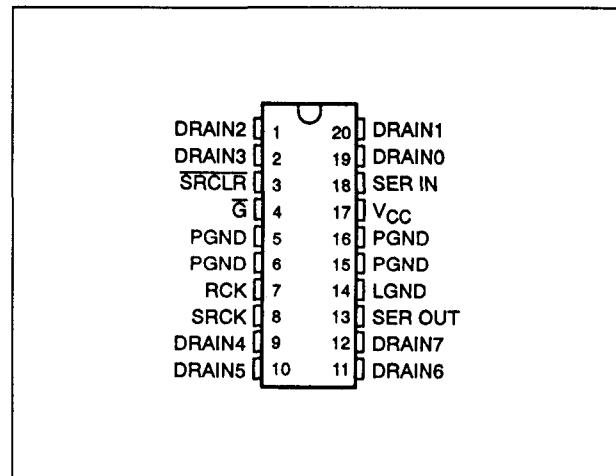
Alle PGND-pennen zijn intern met elkaar verbonden, maar elke PGND-pen moet extern aan de systeem-vermogensaarde worden gelegd om de paracitaire zelfinductie te verkleinen.

Bovendien moet de logische aarde extern op één punt met de vermogensaarde worden verbonden om overspraak tussen de logika en de belasting te beperken.

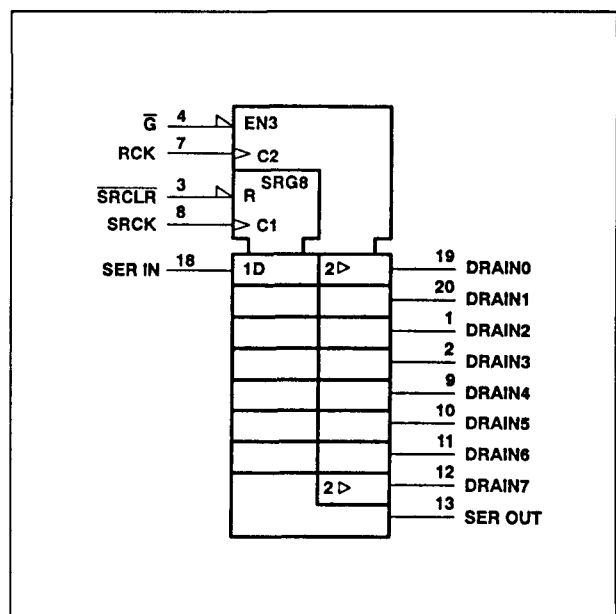
**Technische gegevens**

- 8 power DMOS-transistor uitgangen
- lage  $R_{DS(on)}$ : 1  $\Omega$  typ.
- uitgangsstroom: 350 mA continu, 600 mA gepulst
- kortsluitvaste uitgangen
- uitgangs clamp-spanning: 50 V
- avalanche energie: 75 mJ

- behuizing: 20-pens NE (DIL) (zie figuur 4/10.5-8)
- fabrikant: Texas Instruments

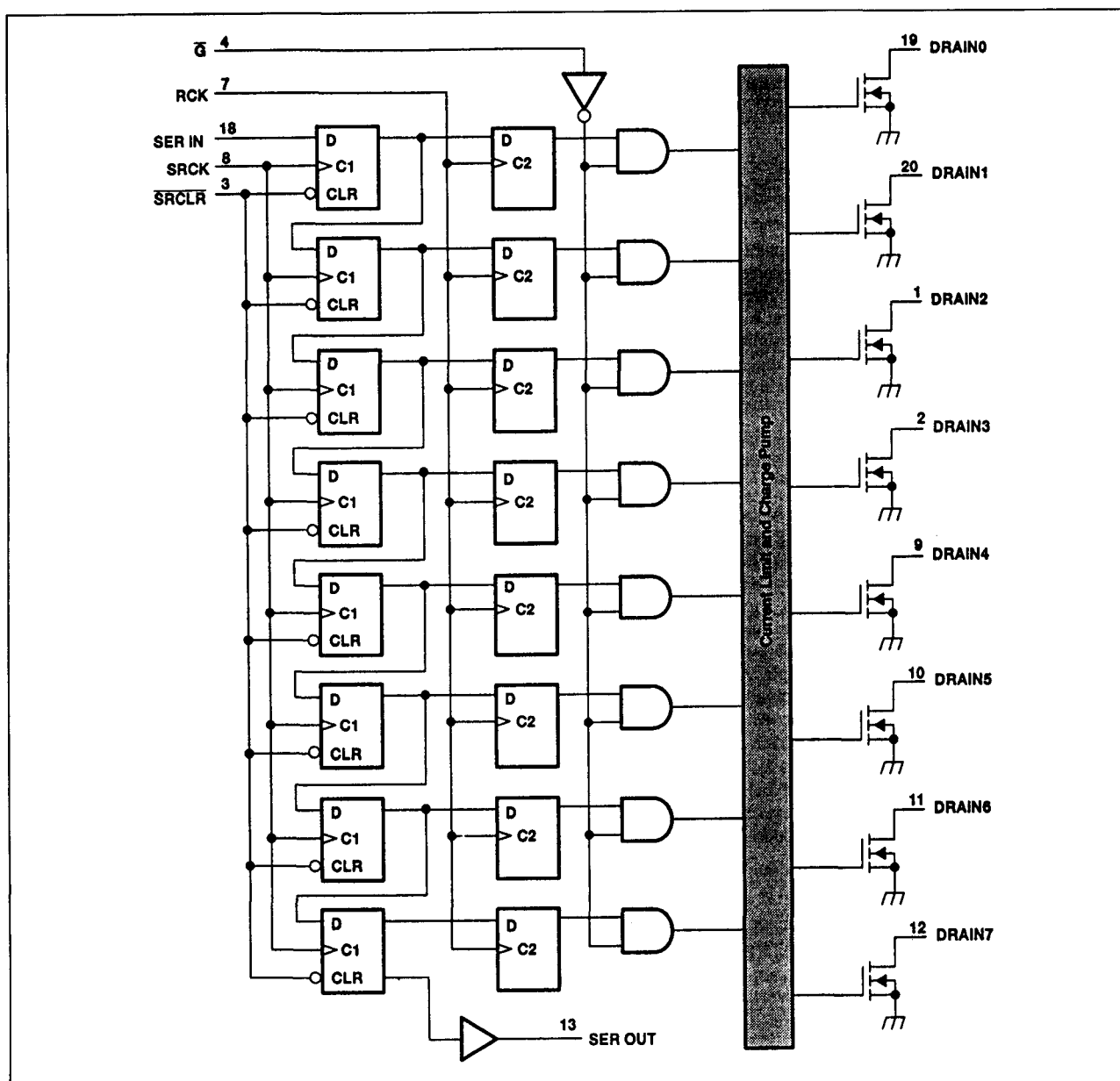


Figuur 4/10.5-8: Aansluitingen van de TPIC 6A595.



Figuur 4/10.5-9: Logisch symbool van de TPIC 6A595.

## 10.5 Power Logic schuifregisters



Figuur 4/10.5-10: Functioneel schema van de TPIC 6A595 (positieve logika).



## 10.5 Power Logic schuifregisters

Logic supply voltage, $V_{CC}$ (see Note 1)	7 V
Logic input voltage range, $V_I$	-0.3 V to 7 V
Power DMOS drain-to-source voltage, $V_{DS}$ (see Note 2)	50 V
Continuous source-drain diode anode current	1 A
Pulsed source-drain diode anode current (see Note 3)	2 A
Pulsed drain current, each output, all outputs on, $I_{DN}, T_A = 25^\circ\text{C}$ (see Note 3)	1.1 A
Continuous drain current, each output, all outputs on, $I_{DN}, T_A = 25^\circ\text{C}$	350 mA
Peak drain current single output, $I_{DM}, T_A = 25^\circ\text{C}$ (see Note 3)	1.1 A
Single-pulse avalanche energy, $E_{AS}$ (see Figure 6)	75 mJ
Avalanche current, $I_{AS}$ (see Note 4)	600 mA
Continuous total dissipation at (or below) $T_A = 25^\circ\text{C}$ (see Note 5)	2.5 W
Continuous total dissipation at (or below) $T_C = 100^\circ\text{C}$ (see Note 5)	6 W
Operating case temperature range, $T_C$	$-40^\circ\text{C}$ to $125^\circ\text{C}$
Operating virtual junction temperature range, $T_J$	$-40^\circ\text{C}$ to $150^\circ\text{C}$
Storage temperature range	$-65^\circ\text{C}$ to $150^\circ\text{C}$
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds	$260^\circ\text{C}$

Figuur 4/10.5-11: Maximaal toelaatbare waarden van de TPIC 6A595.

## 10.5 Power Logic schuifregisters

recommended operating conditions over recommended operating temperature range (unless otherwise noted)

	MIN	MAX	UNIT
Logic supply voltage, $V_{CC}$	4.5	5.5	V
High-level input voltage, $V_{IH}$	$0.85 V_{CC}$	$V_{CC}$	V
Low-level input voltage, $V_{IL}$	0	$0.15 V_{CC}$	V
Pulsed drain output current, $T_C = 25^\circ\text{C}$ (see Notes 3 and 6)	-1.8	0.6	A
Setup time, SER IN high before SRCK $\uparrow$ , $t_{SU}$ (see Figure 2)	10		ns
Hold time, SER IN high after SRCK $\uparrow$ , $t_H$ (see Figure 2)	10		ns
Pulse duration, $t_W$ (see Figure 2)	20		ns
Operating case temperature, $T_C$	-40	125	$^\circ\text{C}$

electrical characteristics over recommended ranges of supply voltage and operating temperature (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP $\uparrow$	MAX	UNIT
$V_{(BR)DSX}$ Drain-source breakdown voltage	$I_D = 1 \text{ mA}$	50			V
$V_{SD}$ Source-drain diode forward voltage	$I_F = 350 \text{ mA}$ , See Note 3		0.8	1.1	V
$V_{OH}$ High-level output voltage, SER OUT	$I_{OH} = -20 \mu\text{A}$	$V_{CC} - 0.1$	$V_{CC}$		V
	$I_{OH} = -4 \text{ mA}$	$V_{CC} - 0.5$	$V_{CC} - 0.2$		
$V_{OL}$ Low-level output voltage, SER OUT	$I_{OL} = 20 \mu\text{A}$		0	0.1	V
	$I_{OL} = 4 \text{ mA}$		0.2	0.5	
$I_{IH}$ High-level input current	$V_I = V_{CC}$			1	$\mu\text{A}$
$I_{IL}$ Low-level input current	$V_I = 0$			-1	$\mu\text{A}$
$I_{OK}$ Output clamp current	$T_C = 25^\circ\text{C}$ , See Note 6 and Figures 3 and 4	0.6	0.8	1.1	A
$I_{CC}$ Logic supply current	$I_O = 0$ , $V_I = V_{CC}$ or 0		0.5	5	mA
$I_{CC}(\text{FRQ})$ Logic supply current at frequency	$f_{SRCK} = 5 \text{ MHz}$ , $I_O = 0$ , $C_L = 30 \text{ pF}$ , $V_I = V_{CC}$ or 0, $V_{CC} = 5 \text{ V}$ , See Figure 7		1.3		mA
$I_N$ Nominal current	$V_{DS(\text{on})} = 0.5 \text{ V}$ , $I_N = I_D$ , $T_C = 85^\circ\text{C}$ , $V_{CC} = 5 \text{ V}$ , See Notes 6, 7, and 8		350		mA
$I_{DSX}$ Off-state drain current	$V_{DS} = 40 \text{ V}$ , $T_C = 25^\circ\text{C}$		0.1	1	$\mu\text{A}$
	$V_{DS} = 40 \text{ V}$ , $T_C = 125^\circ\text{C}$		0.2	5	
$r_{DS(\text{on})}$ Static drain-source on-state resistance	$I_D = 350 \text{ mA}$ , $T_C = 25^\circ\text{C}$		1	1.5	$\Omega$
	$I_D = 350 \text{ mA}$ , $T_C = 125^\circ\text{C}$ See Notes 6 and 7 and Figures 10 and 11		1.7	2.5	

switching characteristics,  $V_{CC} = 5 \text{ V}$ ,  $T_C = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PHL}$ Propagation delay time, high-to-low-level output from $\bar{Q}$	$C_L = 30 \text{ pF}$ , $I_D = 350 \text{ mA}$ , See Figures 1, 2, and 12		30		ns
$t_{PLH}$ Propagation delay time, low-to-high-level output from $\bar{Q}$			125		ns
$t_r$ Rise time, drain output			60		ns
$t_f$ Fall time, drain output			30		ns
$t_a$ Reverse-recovery-current rise time	$I_F = 350 \text{ mA}$ , $dI/dt = 20 \text{ A}/\mu\text{s}$ , See Notes 6 and 7 and Figure 5		100		ns
$t_{rr}$ Reverse-recovery time			300		

NOTES: 6. Technique should limit  $T_J - T_C$  to  $10^\circ\text{C}$  maximum.

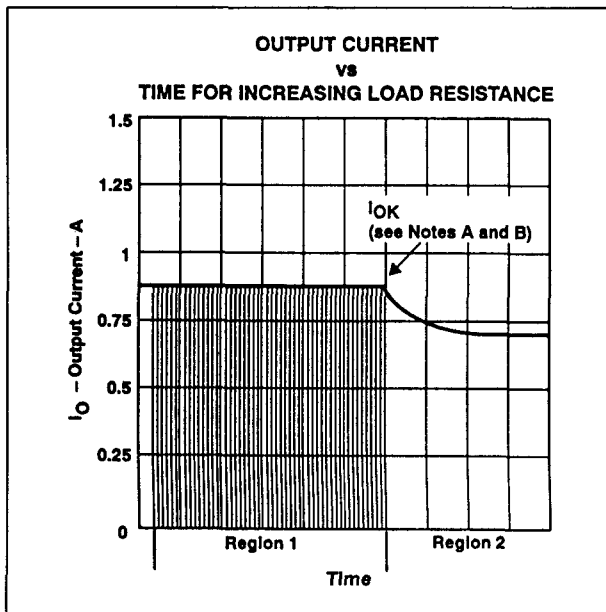
7. These parameters are measured with voltage-sensing contacts separate from the current-carrying contacts.

## thermal resistance

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$R_{\theta JC}$ Thermal resistance, junction-to-case	All eight outputs with equal power		8.3	$^\circ\text{C}/\text{W}$
$R_{\theta JA}$ Thermal resistance, junction-to-ambient	All eight outputs with equal power		50	$^\circ\text{C}/\text{W}$

Figuur 4/10.5-12: Aanbevolen bedrijfscondities, gelijkspanningskenmerken, schakeltijden en thermische weerstand van de TPIC 6A595.

## 10.5 Power Logic schuifregisters



**Figuur 4/10.5-13:** Karakteristieke uitgangsstroom die optreedt wanneer de belastingsweerstand eerst laag is en daarna hoger wordt (bijvoorbeeld een gloeilamp). In gebied 1 treedt chopping op en wordt de maximale stroomsterkte begrensd tot  $I_{OK}$ . In gebied 2 is de stroom continu. Hetzelfde gebeurt in omgekeerde richting als de belastingsweerstand eerst hoog is en later laag. De duty-cycle (aan/uit-verhouding) in gebied 1 is ongeveer 2 %.

**TPIC 6B595****8 bit schuifregister**

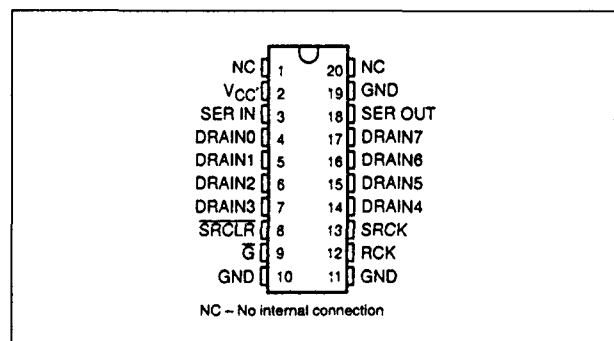
De TPIC 6B595 is een snellere versie van de TPIC 6595. Ook dit is een 8 bit schuifregister met actief-lage open-drain DMOS-transistoren aan de uitgang. Ook deze schakeling heeft één data-ingang, een 8 bit serie-in/parallel-uit schuifregister en een 8 bit opslagregister. Voor de werking, het tijddiagram en de optredende golfvormen wordt verwezen naar de TPIC 6595.

De uitgangen zijn open-drain DMOS-transistoren, die geschikt zijn voor 50 V en een

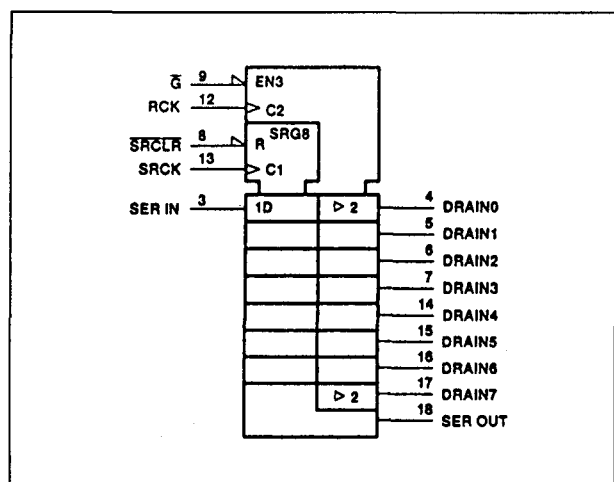
continue sink-stroom van 150 mA. De TPIC 6B595 heeft geen choppende stroombegrenzing zoals de TPIC 6A595. Bij de TPIC 6B595 wordt geen verschil gemaakt tussen aardpennen voor logica en aardpennen voor vermogen, zodat de TPIC 6B595 andere aansluitingen heeft.

**Technische gegevens**

- 8 power DMOS-transistor uitgangen
- lage  $R_{DS(on)}$ : 5  $\Omega$  typ.
- uitgangsstroom:  
150 mA continu, 500 mA gepulst
- uitgangs clamp-spanning: 50 V
- avalanche energie: 30 mJ
- behuizing: 20-pens N (DIL) of DW (SOIC) (zie figuur 4/10.5-14)
- fabrikant: Texas Instruments

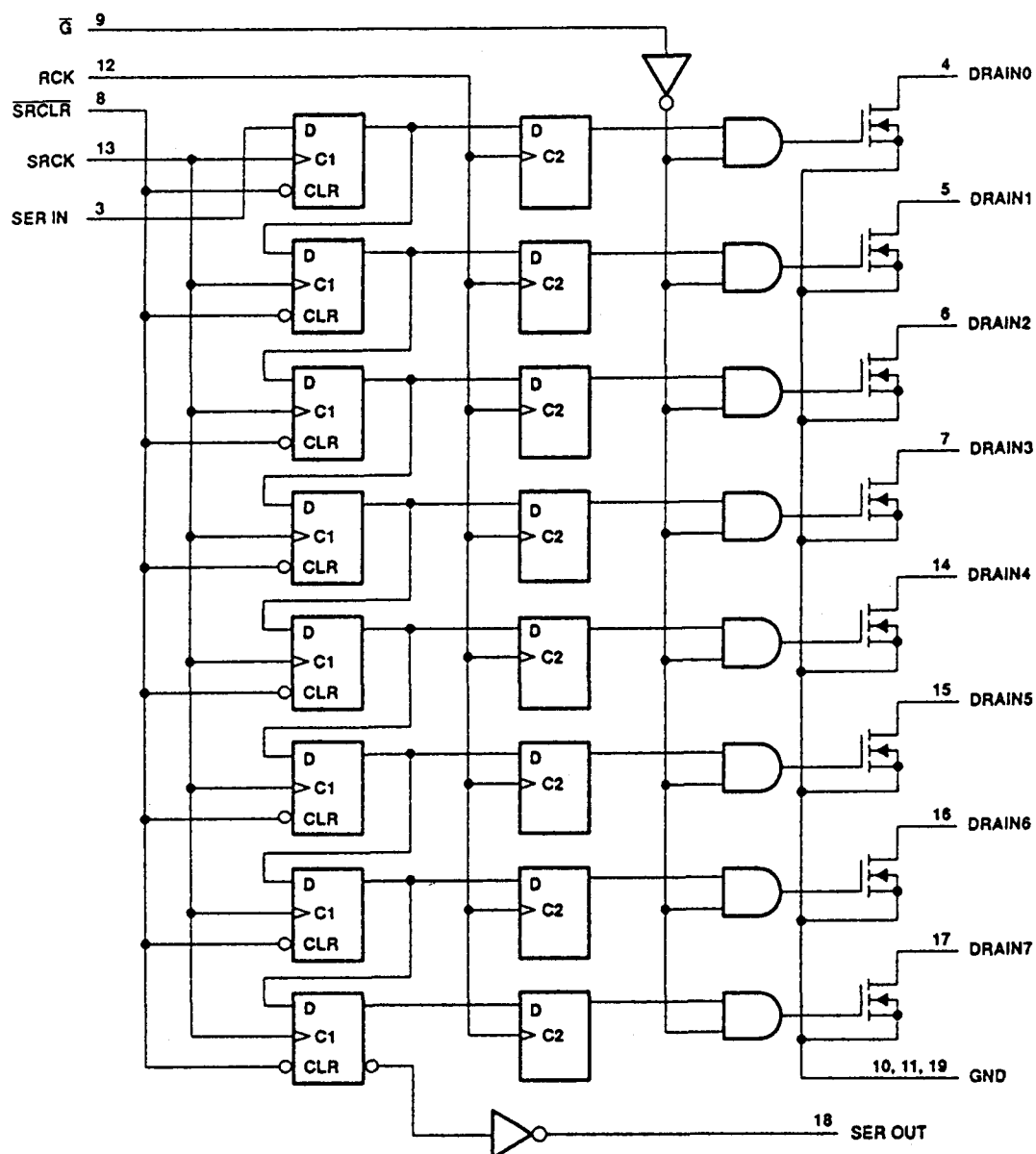


**Figuur 4/10.5-14:** Aansluitingen van de TPIC 6B595 (DIL en SOIC).



**Figuur 4/10.5-15:** Logisch symbool TPIC 6B595.

## 10.5 Power Logic schuifregisters



**Figuur 4/10.5-16:** Functioneel schema van de TPIC 6B595 (positieve logika).

## 10.5 Power Logic schuifregisters

Logic supply voltage, $V_{CC}$ (see Note 1)	7 V
Logic input voltage range, $V_I$	-0.3 V to 7 V
Power DMOS drain-to-source voltage, $V_{DS}$ (see Note 2)	50 V
Continuous source-to-drain diode anode current	500 mA
Pulsed source-to-drain diode anode current (see Note 3)	1 A
Pulsed drain current, each output, all outputs on, $I_D$ , $T_C = 25^\circ\text{C}$ (see Note 3)	500 mA
Continuous drain current, each output, all outputs on, $I_D$ , $T_C = 25^\circ\text{C}$	150 mA
Peak drain current single output, $I_{DM}$ , $T_C = 25^\circ\text{C}$ (see Note 3)	500 mA
Single-pulse avalanche energy, $E_{AS}$ (see Figure 4)	30 mJ
Avalanche current, $I_{AS}$ (see Note 4)	500 mA
Continuous total dissipation	See Dissipation Rating Table
Operating virtual junction temperature range, $T_J$	-40°C to 150°C
Operating case temperature range, $T_C$	-40°C to 125°C
Storage temperature range	-65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

PACKAGE	$T_C \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_C = 25^\circ\text{C}$	$T_C = 125^\circ\text{C}$ POWER RATING
DW	1389 mW	11.1 mW/°C	278 mW
N	1050 mW	10.5 mW/°C	263 mW

Figuur 4/10.5-17: Maximaal toelaatbare waarden en vermogensdissipatie van de TPIC 6B595.

## 10.5 Power Logic schuifregisters

## recommended operating conditions

	MIN	MAX	UNIT
Logic supply voltage, $V_{CC}$	4.5	5.5	V
High-level input voltage, $V_{IH}$	0.85 $V_{CC}$		V
Low-level input voltage, $V_{IL}$		0.15 $V_{CC}$	V
Pulsed drain output current, $T_C = 25^\circ\text{C}$ , $V_{CC} = 5\text{ V}$ (see Notes 3 and 5)	-500	500	mA
Setup time, SER IN high before SRCKT, $t_{SU}$ (see Figure 2)	20		ns
Hold time, SER IN high after SRCKT, $t_H$ (see Figure 2)	20		ns
Pulse duration, $t_w$ (see Figure 2)	40		ns
Operating case temperature, $T_C$	-40	125	$^\circ\text{C}$

electrical characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$  (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{(BR)DSX}$ Drain-to-source breakdown voltage	$I_D = 1\text{ mA}$	50			V
$V_{SD}$ Source-to-drain diode forward voltage	$I_F = 100\text{ mA}$		0.85	1	V
$V_{OH}$ High-level output voltage, SER OUT	$I_{OH} = -20\text{ }\mu\text{A}$ , $V_{CC} = 4.5\text{ V}$	4.4	4.49		V
	$I_{OH} = -4\text{ mA}$ , $V_{CC} = 4.5\text{ V}$	4	4.2		
$V_{OL}$ Low-level output voltage, SER OUT	$I_{OL} = 20\text{ }\mu\text{A}$ , $V_{CC} = 4.5\text{ V}$		0.005	0.1	V
	$I_{OL} = 4\text{ mA}$ , $V_{CC} = 4.5\text{ V}$		0.3	0.5	
$I_{IH}$ High-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = V_{CC}$			1	$\mu\text{A}$
$I_{IL}$ Low-level input current	$V_{CC} = 5.5\text{ V}$ , $V_I = 0$			-1	$\mu\text{A}$
$I_{CC}$ Logic supply current	$V_{CC} = 5.5\text{ V}$ All outputs off		20	100	$\mu\text{A}$
	$V_{CC} = 5.5\text{ V}$ All outputs on		150	300	
$I_{CC}(\text{FRQ})$ Logic supply current at frequency	$f_{SRCK} = 5\text{ MHz}$ , $C_L = 30\text{ pF}$ , All outputs off, See Figures 2 and 6		0.4	5	mA
$I_N$ Nominal current	$V_{DS(\text{on})} = 0.5\text{ V}$ , $I_N = I_D$ , $T_C = 85^\circ\text{C}$ See Notes 5, 6, and 7		90		mA
$I_{DSX}$ Off-state drain current	$V_{DS} = 40\text{ V}$ , $V_{CC} = 5.5\text{ V}$		0.1	5	$\mu\text{A}$
	$V_{DS} = 40\text{ V}$ , $V_{CC} = 5.5\text{ V}$ , $T_C = 125^\circ\text{C}$		0.15	8	
$r_{DS(\text{on})}$ Static drain-source on-state resistance	$I_D = 100\text{ mA}$ , $V_{CC} = 4.5\text{ V}$		4.2	5.7	$\Omega$
	$I_D = 100\text{ mA}$ , $T_C = 125^\circ\text{C}$ , $V_{CC} = 4.5\text{ V}$ See Notes 5 and 6 and Figures 7 and 8		6.8	9.5	
	$I_D = 350\text{ mA}$ , $V_{CC} = 4.5\text{ V}$		5.5	8	

switching characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_C = 25^\circ\text{C}$ 

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}$ Propagation delay time, low-to-high-level output from $\bar{Q}$	$C_L = 30\text{ pF}$ , $I_D = 100\text{ mA}$ , See Figures 1, 2, and 9		150		ns
$t_{PHL}$ Propagation delay time, high-to-low-level output from $\bar{Q}$			90		ns
$t_r$ Rise time, drain output			200		ns
$t_f$ Fall time, drain output			200		ns
$t_a$ Reverse-recovery-current rise time	$I_F = 100\text{ mA}$ , $dI/dt = 20\text{ A}/\mu\text{s}$ , See Notes 5 and 6 and Figure 3		100		ns
$t_{rr}$ Reverse-recovery time			300		

## thermal resistance

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$R_{\theta JA}$ Thermal resistance, junction-to-ambient	DW package		90	$^\circ\text{C}/\text{W}$
	N package		95	

**Figuur 4/10.5-18:** Aanbevolen bedrijfscondities, gelijkspanningskenmerken, schakeltijden en thermische weerstand van de TPIC 6B595.

4/11

# Register files

---

## Inhoud

### 4/11.2 Register files 74xx-serie TTL en HC

*(aanvulling 15)*

74170	4-by-4 register file, open collector
74172	16-bit multiple-port register file, 3-state
74670	4-by-4 register file, 3-state
74870	2 16-by-4 register files, 3-state buffer
74871	2 16-by-4 register files, 3-state buffer

Deel 4: Flip-Flop's, latches, tellers en schuifregisters



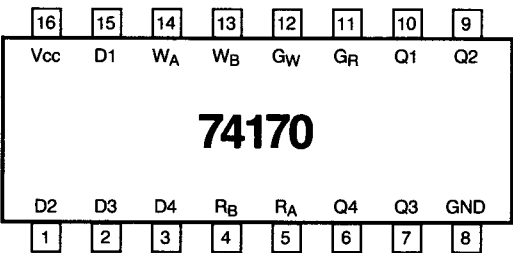
4/11.2

Register files  
74xx-serie TTL en HC

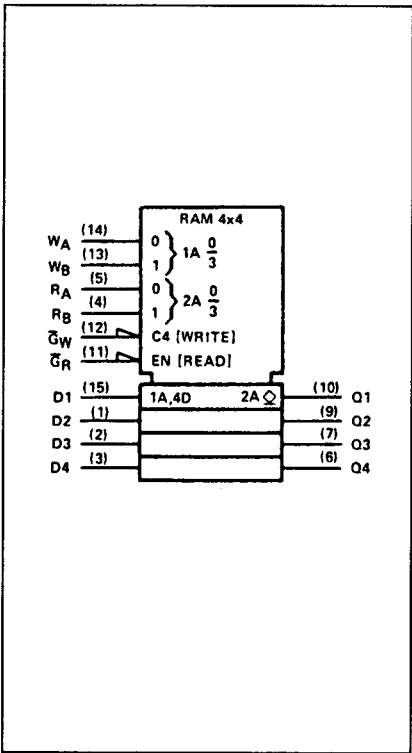
74170

4-by-4 register files  
met open-collector uitgangen

Figuur 4/11.2-170



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
icc	127				25					mA
Tplh <sup>1)</sup>	10				20					ns
Tphl <sup>1)</sup>	20				20					ns
Tplh <sup>2)</sup>	23				25					ns
Tphl <sup>2)</sup>	30				24					ns
Tplh <sup>3)</sup>	25				30					ns
Tphl <sup>3)</sup>	34				26					ns
Tplh <sup>4)</sup>	20				30					ns
Tphl <sup>4)</sup>	30				22					ns



1) Read enable → Q  
2) Read select → Q  
3) Write enable → Q  
4) Data → Q

## Deel 4: Flip-Flop's, latches, tellers en schuifregisters

## 11.2 74xx-serie TTL en HC

WRITE FUNCTION TABLE (SEE NOTES A, B, AND C)

WRITE INPUTS			WORD			
W <sub>B</sub>	W <sub>A</sub>	G <sub>W</sub>	0	1	2	3
L	L	L	Q = D	Q <sub>0</sub>	Q <sub>0</sub>	Q <sub>0</sub>
L	H	L	Q <sub>0</sub>	Q = D	Q <sub>0</sub>	Q <sub>0</sub>
H	L	L	Q <sub>0</sub>	Q <sub>0</sub>	Q = D	Q <sub>0</sub>
H	H	L	Q <sub>0</sub>	Q <sub>0</sub>	Q <sub>0</sub>	Q = D
X	X	H	Q <sub>0</sub>	Q <sub>0</sub>	Q <sub>0</sub>	Q <sub>0</sub>

READ FUNCTION TABLE (SEE NOTES A AND D)

READ INPUTS			OUTPUTS			
R <sub>B</sub>	R <sub>A</sub>	G <sub>R</sub>	Q1	Q2	Q3	Q4
L	L	L	W0B1	W0B2	W0B3	W0B4
L	H	L	W1B1	W1B2	W1B3	W1B4
H	L	L	W2B1	W2B2	W2B3	W2B4
H	H	L	W3B1	W3B2	W3B3	W3B4
X	X	H	H	H	H	H

- NOTES: A. H = high level, L = low level, X = irrelevant.  
 B. (Q = D) = The four selected internal flip flop outputs will assume the states applied to the four external data inputs.  
 C. Q<sub>0</sub> = the level of Q before the indicated input conditions were established.  
 D. W0B1 = The first bit of word 0, etc.

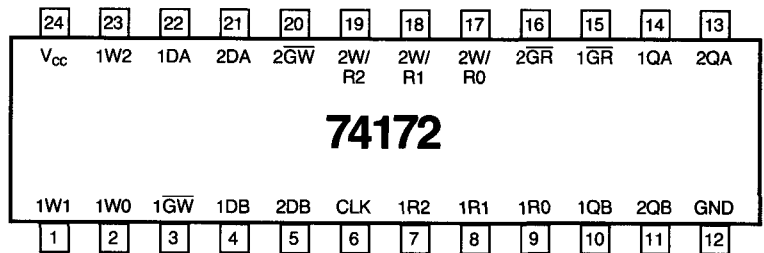
waarheidstabel

## 11.2 74xx-serie TTL en HC

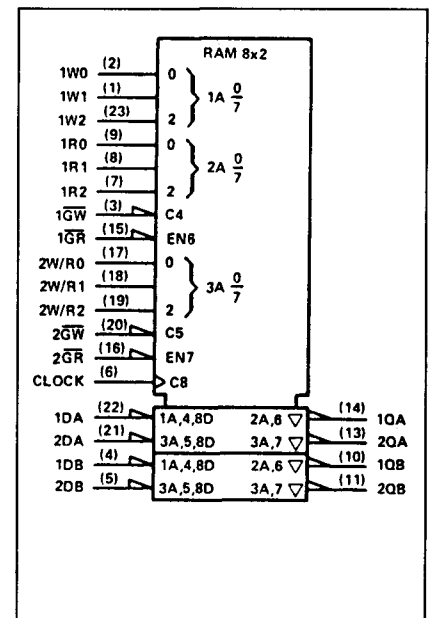
## 74172

16-bit multiple-port  
register file  
(8 woorden van 2-bits) met  
3-state uitgangen

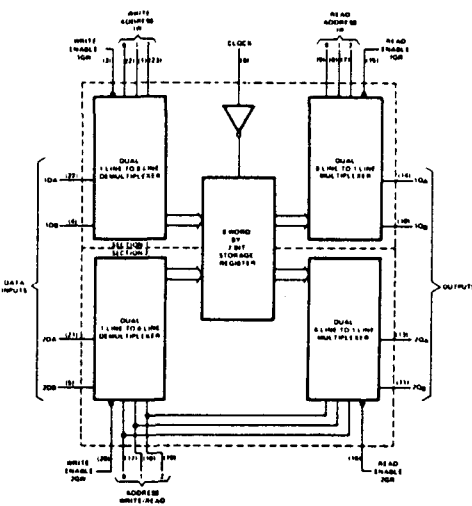
Figuur 4/11.2-172



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>	112									mA
I <sub>os</sub>	-18 -55									mA
T <sub>plh</sub> / T <sub>phl</sub> <sup>1)</sup>	33/ 30									ns
T <sub>plh</sub> / T <sub>phl</sub> <sup>2)</sup>	35/ 35									ns
T <sub>pzh</sub> / T <sub>pzl</sub> <sup>3)</sup>	14/ 16									ns
T <sub>phz</sub> / T <sub>plz</sub> <sup>4)</sup>	6/ 11									ns
f <sub>clock</sub> (max)	20									MHz



- 1) read-select ← Q  
2) clock ← Q  
3) output-enable tijd  
4) output-disable tijd



## Deel 4: Flip-Flop's, latches, tellers en schuifregisters

## 11.2 74xx-serie TTL en HC

FUNCTION	SECTION 1	SECTION 2	DESCRIPTION
Write Address	1W0, 1W1, 1W2	2W/R0, 2W/R1, 2W/R2	Binary write address selects one of eight two-bit word locations.
Write Enable	1GW	2GW	When low, permits the writing of new data into the selected word location on a positive transition of the clock input.
Data Inputs	1DA, 1DB	2DA, 2DB	Data at these inputs is entered on a positive transition of the clock input into the location selected by the write address inputs if the write enable input is low. Since the two sections are independent, it is possible for both write functions to be activated with both write addresses selecting the same word location. If this occurs and the information at the data inputs is not the same for both sections (i.e., 1DA $\neq$ 2DA and/or 1DB $\neq$ 2DB) the low-level data will predominate in each bit and be stored.
Read Address	1R0, 1R1, 1R2	Common with write address	Binary write address selects one of eight two-bit word locations.
Read Enable	1GR	2GR	When read enable is low, the outputs assume the levels of the data stored in the location selected by read address inputs. When read enable is high, the associated outputs remain in the high-impedance state and neither significantly load nor drive the lines to which they are connected.
Data Outputs	1QA, 1QB	2QA, 2QB	
Clock	CK		The positive-going transition of the clock input will enter new data into the addressed location if the write enable input is low. The clock is common to both sections.

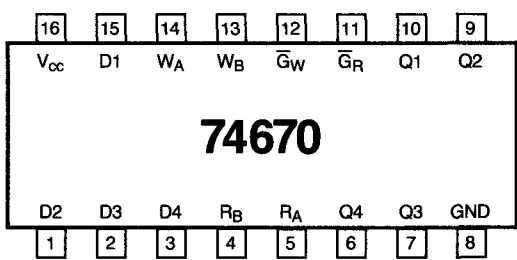
waarheidstabel

11.2 74xx-serie TTL en HC

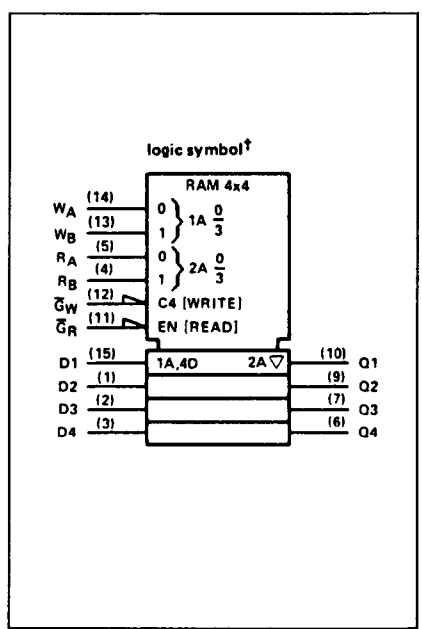
74670

4-by-4 register files  
met 3-state uitgangen

Figuur 4/11.2-670



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
Icc					30				80 <sup>6)</sup>	mA
Ios					- 30 - 130				4	mA
Tplh/ <sub>1)</sub> Tphl					23/ 25					ns
Tplh/ <sub>2)</sub> Tphl					26/ 28					ns
Tplh/ <sub>3)</sub> Tphl					25/ 23					ns
Tpzh/ <sub>4)</sub> Tpzl					15/ 22					ns
Tphz/ <sub>5)</sub> Tplz					30/ 16					ns



- 1) read select → Q
- 2) write enable → Q
- 3) data → Q
- 4) output enable
- 5) output disable
- 6) μA

WRITE FUNCTION TABLE (SEE NOTES A, B, AND C)

WRITE INPUTS			WORD			
WB	WA	GW	0	1	2	3
L	L	L	Q = D	Q <sub>0</sub>	Q <sub>0</sub>	Q <sub>0</sub>
L	H	L	Q <sub>0</sub>	Q = D	Q <sub>0</sub>	Q <sub>0</sub>
H	L	L	Q <sub>0</sub>	Q <sub>0</sub>	Q = D	Q <sub>0</sub>
H	H	L	Q <sub>0</sub>	Q <sub>0</sub>	Q <sub>0</sub>	Q = D
X	X	H	Q <sub>0</sub>	Q <sub>0</sub>	Q <sub>0</sub>	Q <sub>0</sub>

READ FUNCTION TABLE (SEE NOTES A AND D)

READ INPUTS			OUTPUTS			
RB	RA	GR	Q1	Q2	Q3	Q4
L	L	L	W0B1	W0B2	W0B3	W0B4
L	H	L	W1B1	W1B2	W1B3	W1B4
H	L	L	W2B1	W2B2	W2B3	W2B4
H	H	L	W3B1	W3B2	W3B3	W3B4
X	X	H	Z	Z	Z	Z

NOTES: A. H = high level, L = low level, X = irrelevant, Z = high impedance (off)  
B. (Q = D) = The four selected internal flip-flop outputs will assume the states applied to the four external data inputs.  
C. Q<sub>0</sub> = the level of Q before the indicated input conditions were established.  
D. W0B1 = The first bit of word 0, etc.

waarheidstabel

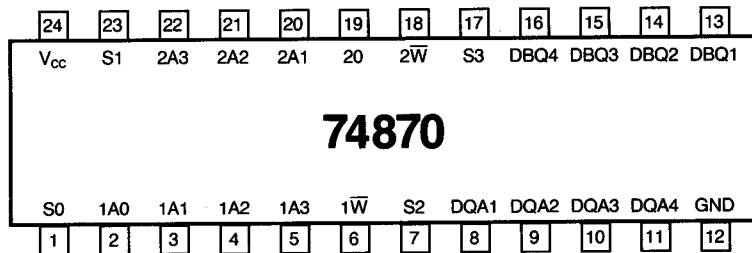
## Deel 4: Flip-Flop's, latches, tellers en schuifregisters

## 11.2 74xx-serie TTL en HC

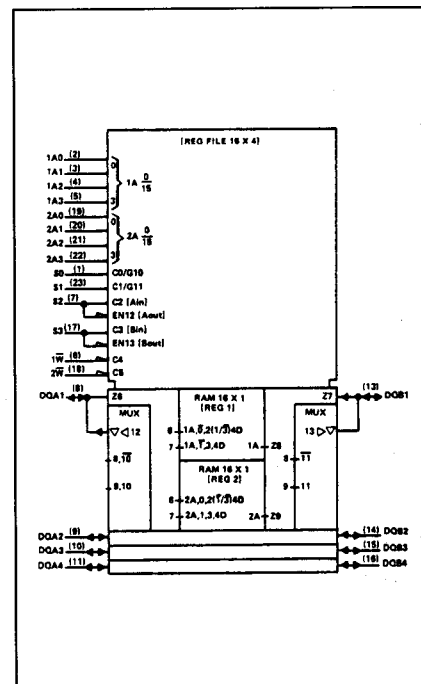
## 74870

2 16-by-4 register files  
met 3-state buffer uitgangen  
(2 4-bit data I/O-poorten)

Figuur 4/11.2-870



LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
I <sub>cc</sub>						120				mA
I <sub>os</sub>						-30 -112				mA
T <sub>a</sub> (A) <sup>1)</sup>						5 15				ns
T <sub>a</sub> (S) <sup>2)</sup>						3 13				ns
T <sub>dis</sub> <sup>3)</sup>						3 11				ns
T <sub>en</sub> <sup>3)</sup>						3 12				ns
T <sub>pd</sub> <sup>4)</sup>						5 19				ns
T <sub>pd</sub> <sup>5)</sup>						5 22				ns



- 1) A → DQ  
2) S0 → DQA of S1 → DQB  
3) S2 → DQA of S3 → DQB  
4) W → DQ  
5) DQA → DQB of DQB → DQA

FILE SELECT			INPUT/OUTPUT	
S0	S1	FILE SEL	S2	S3
L	L	1R TO A, 1R TO B	L	L
H	L	2R TO A, 1R TO B		
L	H	1R TO A, 2R TO B		
H	H	2R TO A, 2R TO B		
L	L	A TO 1R, 1R TO B	H	L
H	L	A TO 2R, 1R TO B		
L	H	A TO 1R, 2R TO B		
H	H	A TO 2R, 2R TO B		
L	L	1R TO A, B TO 1R	L	H
H	L	2R TO A, B TO 1R		
L	H	1R TO A, B TO 2R		
H	H	2R TO A, B TO 2R		
L	L	B TO 1R	H	H
H	L	A TO 2R, B TO 1R		
L	H	A TO 1R, B TO 2R		
H	H	B TO 2R		

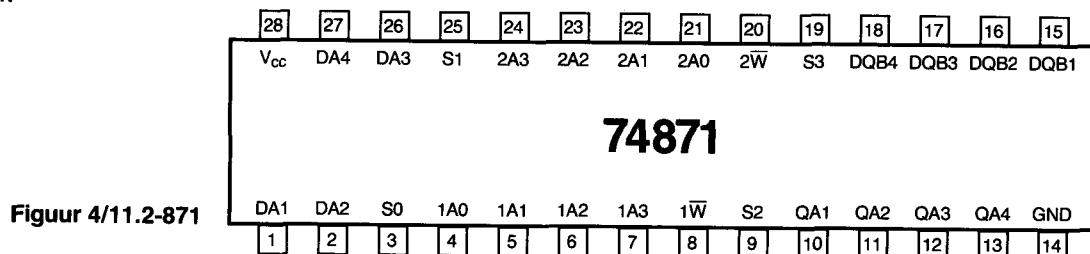
waarheidstabel

## 11.2 74xx-serie TTL en HC

## 74871

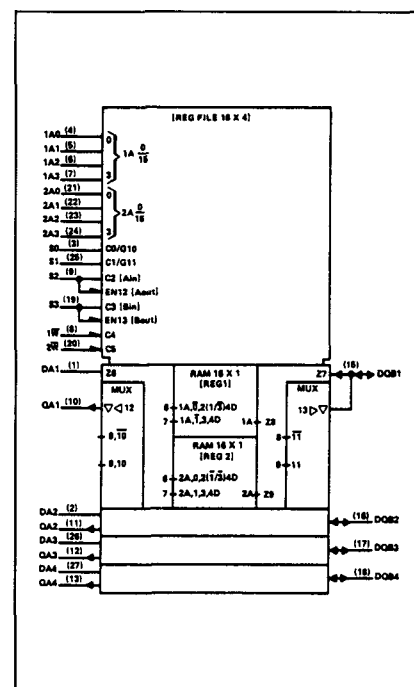
## 2 16-by-4 register files

(1 4-bit data I/O-poort, 1 4-bit data woord met individuele in- en uitgangen) met 3-state buffer uitgangen.



Figuur 4/11.2-871

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
	VARIABELE PARAMETERS									Eenheid
$I_{cc}$						120				mA
$I_{os}$						-30 -112				mA
$T_a(A)^1$						5 16				ns
$T_a(S)^2$						3 13				ns
$T_{dis}^3$						3 11				ns
$T_{en}^3$						3 12				ns
$T_{pd}^{4)}$						5 19				ns
$T_{pd}^{5)}$						5 23				ns



- <sup>1)</sup> A → QA of DQB  
<sup>2)</sup> S0 → QA of S1 → DQB  
<sup>3)</sup> S2 → QA of S3 → DQB  
<sup>4)</sup> W → QA of DQB  
<sup>5)</sup> DA → DQB of DQB → QA

FILE SELECT			INPUT/OUTPUT		
S0	S1	FILE SEL	S2	S3	I/O SEL
L	L	1R TO A, 1R TO B	L	L	A OUT, B OUT
H	L	2R TO A, 1R TO B			
L	H	1R TO A, 2R TO B			
H	H	2R TO A, 2R TO B			
L	L	A TO 1R, 1R TO B	H	L	A IN, B OUT
H	L	A TO 2R, 1R TO B			
L	H	A TO 1R, 2R TO B			
H	H	A TO 2R, 2R TO B			
L	L	1R TO A, B TO 1R	L	H	A OUT, B IN
H	L	2R TO A, B TO 1R			
L	H	1R TO A, B TO 2R			
H	H	2R TO A, B TO 2R			
L	L	B TO 1R	H	H	A IN, B IN
H	L	A TO 2R, B TO 1R			
L	H	A TO 1R, B TO 2R			
H	H	B TO 2R			

waarheidstabel

11.2 74xx-serie TTL en HC



## 4/12

## Diversen

## Inhoud

**4/12.2 Diverse schakelingen 74xx-serie TTL en HC***(aanvulling 20)*

74264	look-ahead carry generator voor tellers
747074	6 x multifunctie schakeling

**4/12.3 Diverse schakelingen 1583x/1593x-serie DTL***(aanvulling 43)*

15831	flip-flop met set en clear
15845	flip-flop met set en clear
15848	flip-flop met set en clear
15850	puls-getriggerde flip-flop
158093	2 x J-K master-slave flip-flop
158094	2 x J-K master-slave flip-flop (snel)
158097	2 x J-K master-slave flip-flop met gemeenschappelijke clock en clear
158099	2 x J-K master-slave flip-flop met gemeenschappelijke clock en clear

**4/12.4 Diverse schakelingen 8xxx-serie DCL en TTL***(aanvulling 48)*

8200	2 x 5 D flip-flop array's
8201	2 x 5 D flip-flop array's, inverterend
8202	10 D flip-flop array's, reset
8203	10 D flip-flop array's, inverterend, reset
8243	8-positie scaler
82(S)70	4 bit synchroon schuifregister, serie/parallel-in, serie/parallel-uit
82(S)71	4 bit synchroon schuifregister, serie/parallel-in, serie/parallel-uit, reset en $\overline{Dout}$
8273	10 bit schuifregister, serie-in/parallel-uit, pos. of neg. clock
8274	10 bit schuifregister, parallel-in/serie-uit
8275	4 bit bistabiele latch
8276	8 bit serie-in/serie-uit schuifregister
8277	2 x 8 bit serie-in/serie-uit schuifregisters, aparte of gemeenschappelijke clock

8280	presetbare 10-teller
8281	4 bit presetbare binaire teller, reset
8284	4 bit synchrone binaire op/neer-teller, set, reset
8285	4 bit synchrone op/neer 10-teller, set, reset
8288	presetbare 12-teller, reset
82(S)90	presetbare 10-teller, reset
82(S)91	presetbare 4 bit binaire teller, reset
8292	presetbare 10-teller (low power), reset
8293	presetbare 4 bit binaire teller (low power), reset
8424	2 DCL set/reset flip-flop's, synchrone set/reset, asynchrone reset
8425	2 DCL set/reset flip-flop's, synchrone/asynchrone set/reset's
8822	2 DCL master-slave JK flip-flop's, reset
8824	2 DCL master-slave JK flip-flop's, asynchrone set/reset
8825	DCL JK flip-flop (J, J, J, K, K, K), asynchrone set/reset
8826	2 onafhankelijke DCL JK flip-flop's
8827	2 DCL JK flip-flop's, gemeenschappelijke clock/reset, aparte set
8828	2 DCL D flip-flop's, asynchrone set/reset
8829	DCL flip-flop, 3 J- en 3 K-ingangen, asynchrone set/reset

**4/12.5 Diverse schakelingen FC-serie DTL***(aanvulling 61)*

FCJ 101	J-K flip-flop met set en reset
FCJ 111	J-K master-slave flip-flop met set en reset
FCJ 121	2 x J-K master-slave flip-flop met gemeenschappelijke set-ingang
FCJ 131	2 x J-K master-slave flip-flop met aparte set-ingangen
FCJ 141	asynchrone 10-teller
FCJ 191	2 x J-K master-slave flip-flop met aparte set en gemeenschappelijke reset
FCJ 201	J-K master-slave flip-flop met set en reset
FCJ 211	2 x J-K master-slave flip-flop met aparte set- en gemeenschappelijke reset
FCJ 221	4 x D-type latch met gemeenschappelijke reset

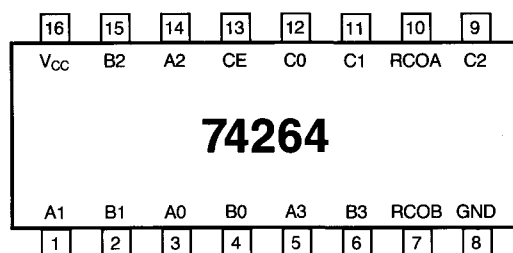
## 4/12.2

Diverse schakelingen  
74xx-serie TTL en HC

## 74264

Look ahead carry generator  
voor tellers

Figuur 4/12.2-264.



logische symbolen

LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{cc}^H$ $I_{cc}^L$						26 28				mA
$I_{os}$						-30 -112				mA
$T_{plh}^1$ $T_{phl}$						6/ 5				ns
$T_{plh}^2$ $T_{phl}$						5/ 5				ns
$T_{plh}^3$ $T_{phl}$						5/ 5				ns
$T_{plh}^4$ $T_{phl}$						5/ 5				ns

- 1) CE → C0, C1 of C2  
 2) A<sub>n</sub> of B<sub>n</sub> → C0, C1, C2  
 3) A<sub>n</sub>, B<sub>n</sub> of CE → RCOA  
 4) B<sub>n</sub> of CE → RCOB

FUNCTION TABLE FOR C0 OUTPUT

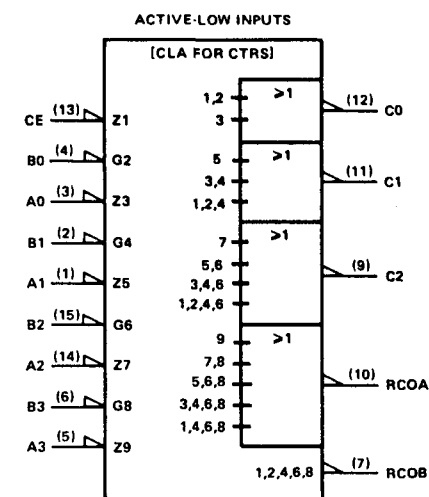
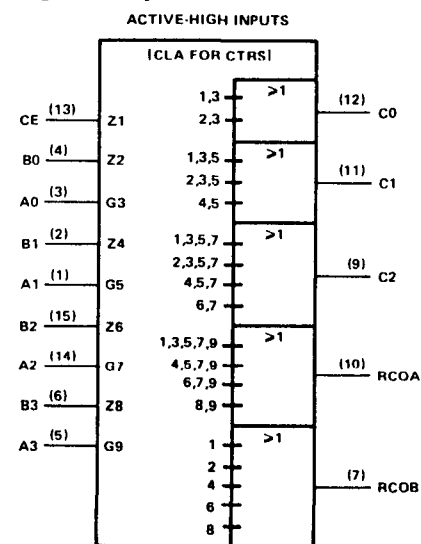
INPUTS			OUTPUT
A0	B0	CE	C0
H	H	X	H
H	X	H	H
L	X	X	L
X	L	L	L

FUNCTION TABLE FOR C1 OUTPUT

INPUTS					OUTPUT
A1	A0	B1	B0	CE	C1
H	X	H	X	X	H
H	H	X	H	X	H
H	H	X	X	H	H
L	X	X	X	X	L
X	L	L	X	X	L
X	X	L	L	L	L

FUNCTION TABLE FOR C2 OUTPUT

INPUTS						OUTPUT
A2	A1	A0	B2	B1	B0	C2
H	X	X	H	X	X	H
H	H	X	X	H	X	H
H	H	H	X	X	H	H
H	H	H	X	X	X	H
L	X	X	X	X	X	L
X	L	X	L	X	X	L
X	X	L	L	L	X	L
X	X	X	L	L	L	L



## Deel 4: Flip-Flop's, latches, tellers en schuifregisters

## 12.2 Diverse schakelingen 74xx-serie TTL en HC

FUNCTION TABLE FOR RCOA OUTPUT

INPUTS								OUTPUT
A3	A2	A1	A0	B3	B2	B1	CE	RCOA
H	X	X	X	H	X	X	X	H
H	H	X	X	X	H	X	X	H
H	H	H	X	X	X	H	X	H
H	H	H	H	X	X	X	X	H
L	X	X	X	X	X	X	X	L
X	L	X	X	L	X	X	X	L
X	X	L	X	L	L	X	X	L
X	X	X	L	L	L	L	X	L
X	X	X	X	L	L	L	L	L

FUNCTION TABLE FOR RCOB OUTPUT

INPUTS					OUTPUT
B3	B2	B1	B0	CE	RCOB
H	X	X	X	X	H
X	H	X	X	X	H
X	X	H	X	X	H
X	X	X	H	X	H
X	X	X	X	H	H
L	L	L	L	L	L

waarheidstabellen

positive logic equations

ACTIVE-HIGH-CARRY COUNTERS

(CE is high, all B inputs are low)

$$C0 = A0$$

$$C1 = A0 \cdot A1$$

$$C2 = A0 \cdot A1 \cdot A2$$

$$RCOA = A0 \cdot A1 \cdot A2 \cdot A3$$

RCOB is high

ACTIVE-LOW-CARRY COUNTERS

(CE is low, all A inputs are high)

$$C0 = \overline{B0}$$

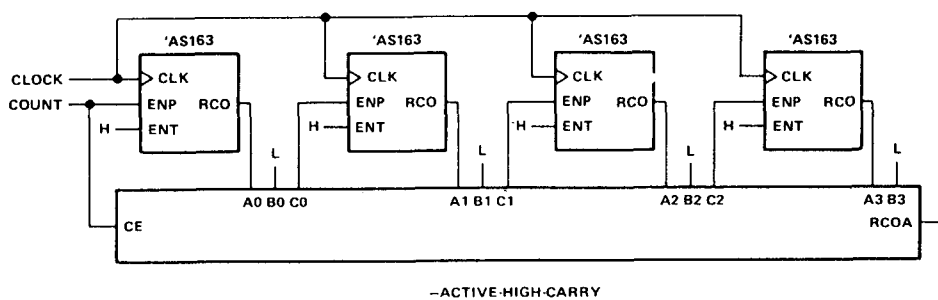
$$C1 = \overline{B0} \cdot \overline{B1}$$

$$C2 = \overline{B0} \cdot \overline{B1} \cdot \overline{B2}$$

$$RCOA = \overline{B1} \cdot \overline{B2} \cdot \overline{B3}$$

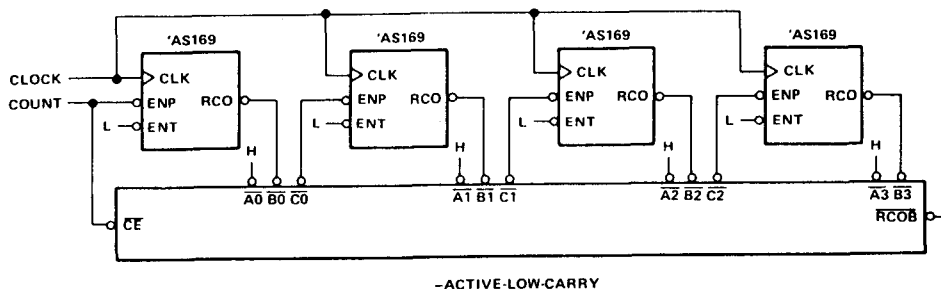
$$RCOB = \overline{B0} \cdot \overline{B1} \cdot \overline{B2} \cdot \overline{B3}$$

Toepassingen:



a)

- a) Hier wordt de AS 264 gebruikt voor het opwekken van look-ahead carry bij AS163-tellers die active-high-carry leveren



b)

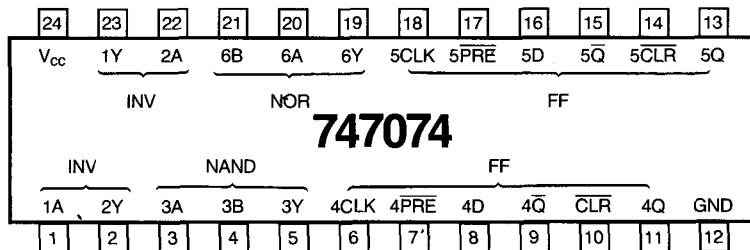
- b) Ook bij gebruik met de AS 169 (met active-low-carry) kan de AS 264 look-ahead-carry leveren.

## 12.2 Diverse schakelingen 74xx-serie TTL en HC

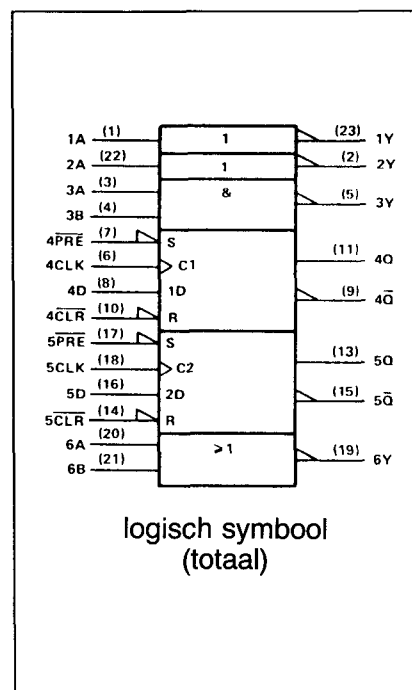
## 747074

6 X multifunctie  
schakeling (NAND,  
INVERT, NOR, flip-flop)

Figuur 6/6.2-7074

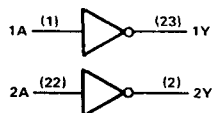


LOGICA	TTL	L	F	S	LS	AS	ALS	C	HC	
VARIABELE PARAMETERS										Eenheid
$I_{CC}$									40 <sup>1)</sup>	mA
$I_{OS}$									4	mA
$t_w$ <sup>2)</sup>									25	ns
$t_{su}$ <sup>3)</sup>									25	ns
$t_h$ <sup>4)</sup>									5	ns
$t_{pd}$ <sup>5)</sup>									15	ns
$t_{pd}$ <sup>6)</sup>									10	ns
$f_{max}$									20	MHz



- 1)  $\mu A$   
 2) pulssduur flip-flop  
 3) set-up tijd vóór CLK↑  
 4) hold-tijd data na CLK↑  
 5) CLK → Q of Q̄  
 6) A of B → Y

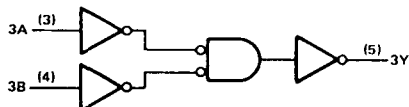
## INVERTERS

FUNCTION TABLE  
(EACH INVERTER)

INPUT	OUTPUT
A	Y
H	L
L	H

positive logic:  $Y = \bar{A}$ 

## 2-INPUT NAND GATE

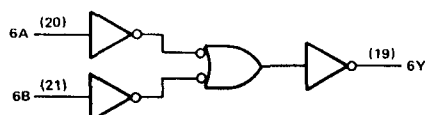


## FUNCTION TABLE

INPUTS		OUTPUT
A	B	Y
H	H	L
L	X	H
X	L	H

positive logic:  $Y = \overline{A \cdot B}$  or  $Y = \bar{A} + \bar{B}$ 

## 2-INPUT NOR GATE

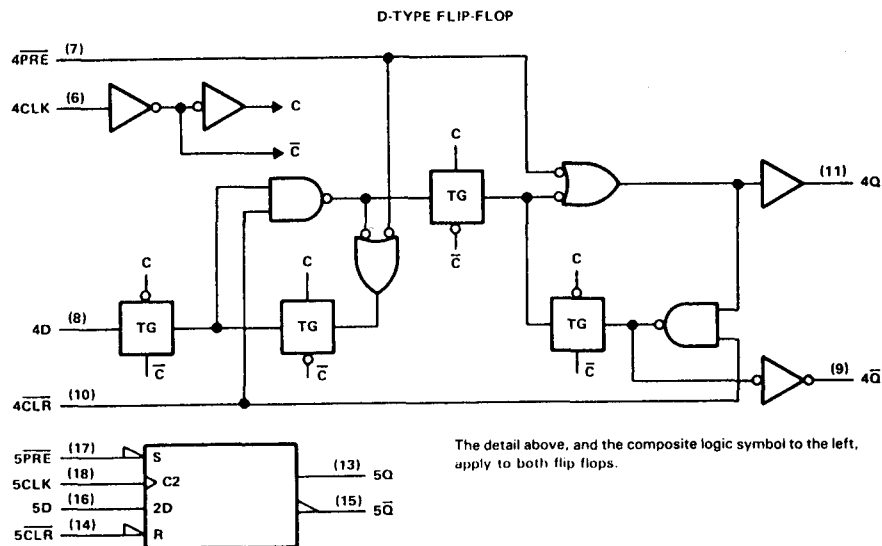


## FUNCTION TABLE

INPUTS		OUTPUT
A	B	Y
H	X	L
X	H	L
L	L	H

positive logic:  $Y = \overline{A + B}$  or  $Y = \bar{A} \cdot \bar{B}$

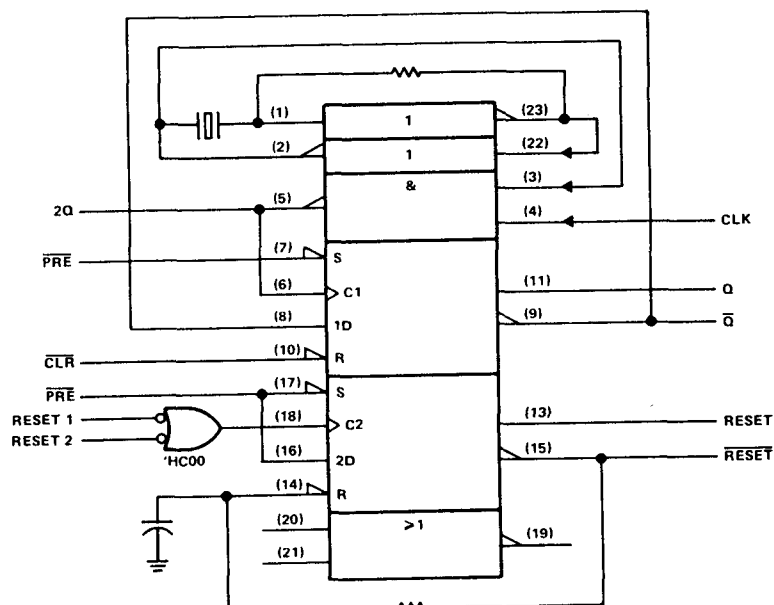
## 12.2 Diverse schakelingen 74xx-serie TTL en HC



FUNCTION TABLE  
(EACH D FLIP-FLOP)

INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	$Q_0$	$\bar{Q}_0$

\* This configuration is nonstable; i.e., it will not persist when either PRE or CLR returns to the inactive (high) level.



CLOCK AND RESET GENERATION FOR MICROPROCESSOR-BASED SYSTEM

toepassings-  
voorbeeld

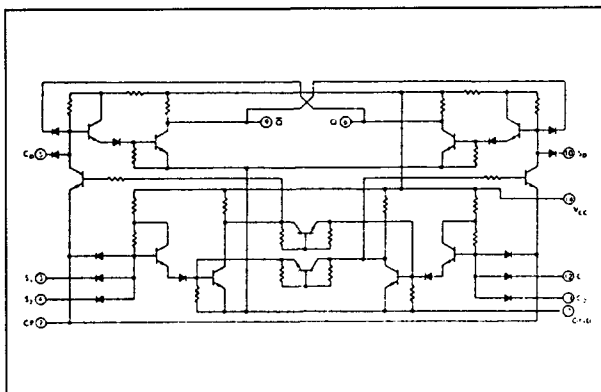
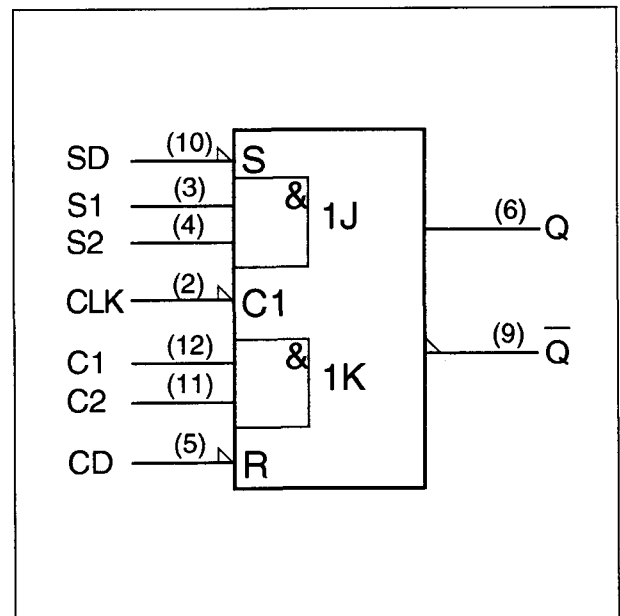
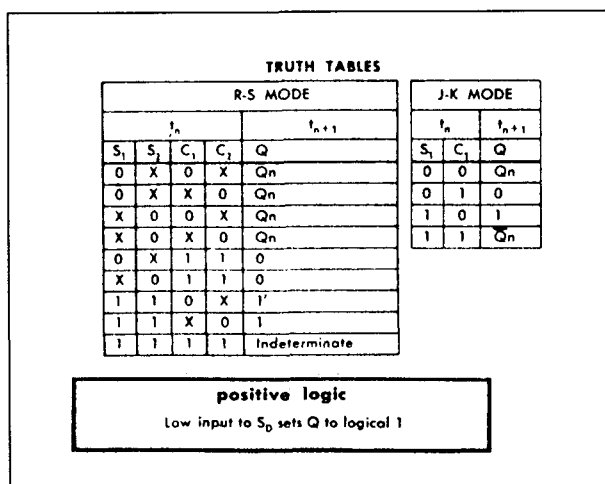
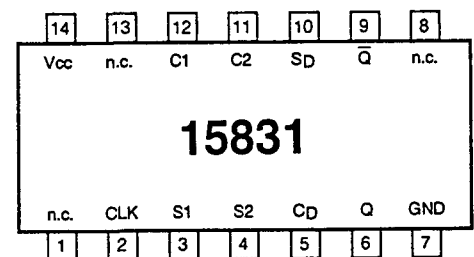
## 4/12.3

Diverse schakelingen  
1583x/1593x-serie DTL

## 15831 (15931)

Flip-flop met Set en  
Clear (fan-out = 7)

figuur 4/12.3-831

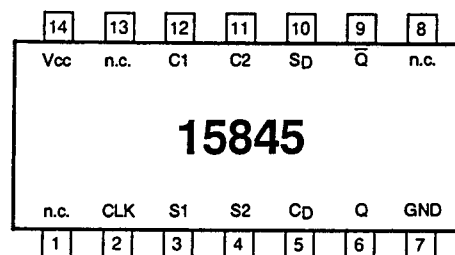
o.a. leverbaar:  
SN 15831N, MC 831P, PD 993159

## 12.3 Diverse schakelingen 1583x/1593x-serie DTL

**15845 (15945)**

Flip-flop met Set en  
Clear (fan-out = 12)

figuur 4/12.3-845

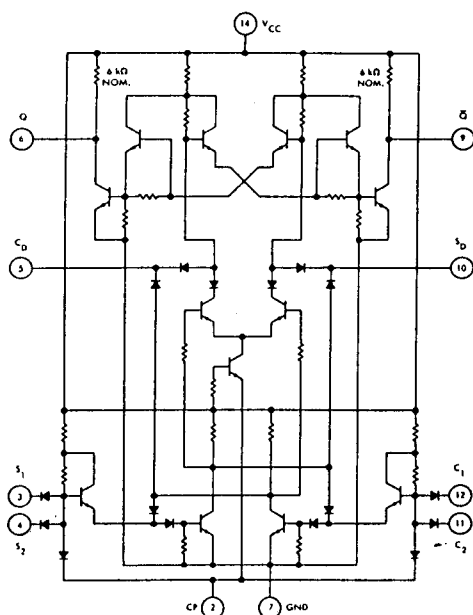
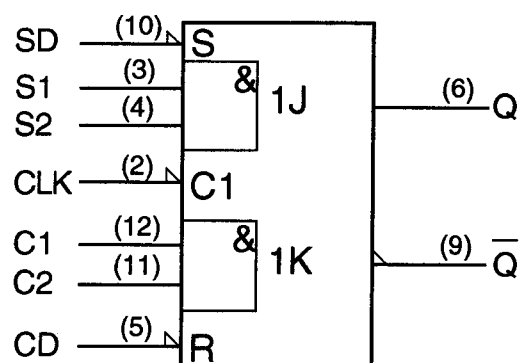


**TRUTH TABLES**

R-S MODE						J-K MODE		
$I_n$				$I_{n+1}$		$I_n$		
$S_1$	$S_2$	$C_1$	$C_2$	$Q$	$Q_n$	$S_1$	$C_1$	$Q$
0	X	0	X	$Q_n$		0	0	$Q_n$
0	X	X	0	$Q_n$		0	1	0
X	0	0	X	$Q_n$		1	0	1
X	0	X	0	$Q_n$		1	1	$Q_n$
0	X	1	1	0				
X	0	1	1	0				
1	1	0	X	1				
1	1	X	0	1				
1	1	1	1	Indeterminate				

**positive logic**

Low input to  $S_D$  sets  $Q$  to logical 1



o.a. leverbaar:  
SN 15845N, MC 845P, PD 994559

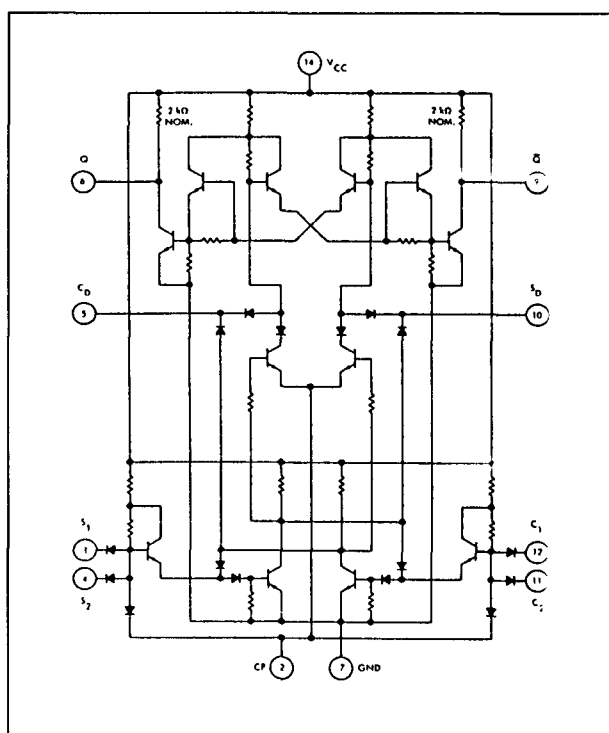
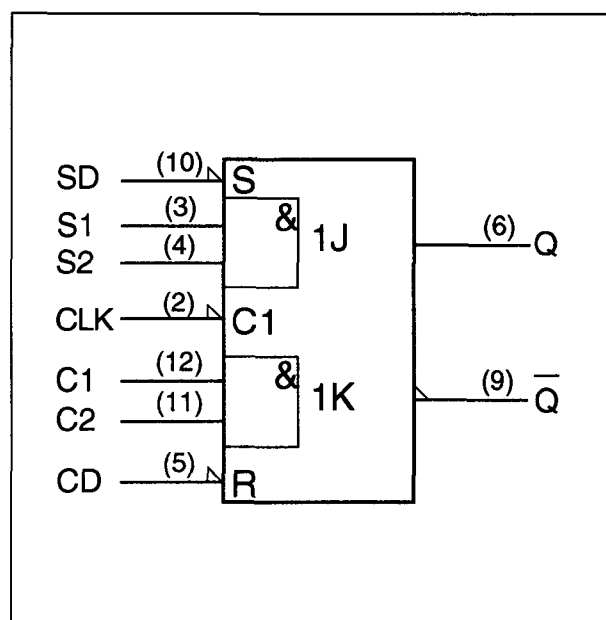
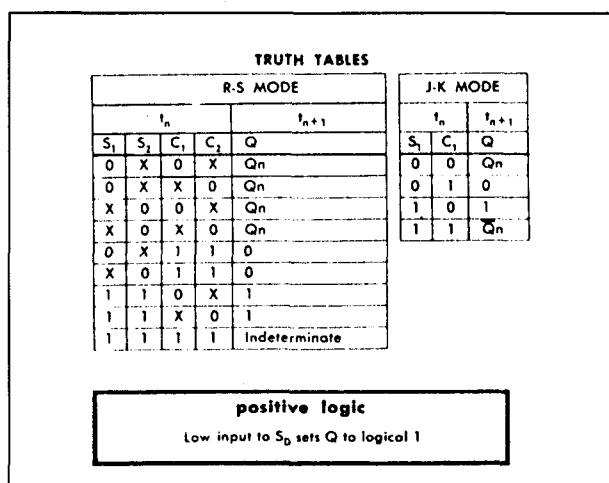
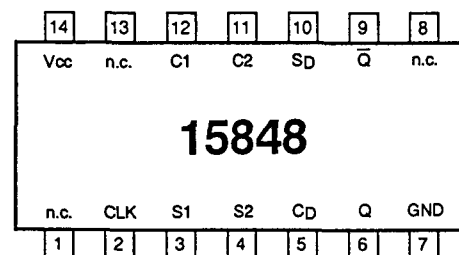


## 12.3 Diverse schakelingen 1583x/1593x-serie DTL

## 15848 (15948)

Flip-flop met Set en  
Clear (fan-out = 11)

figuur 4/12.3-848

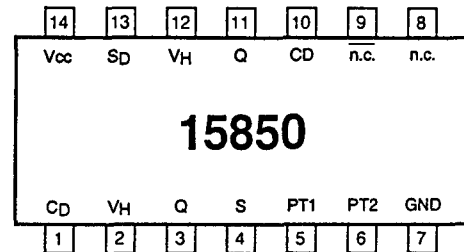


o.a. leverbaar:  
SN 15848N, MC 848P, PD 994859,  
DT $\mu$ L 9948

## 12.3 Diverse schakelingen 1583x/1593x-serie DTL

**15850 (15950)**Pulsgetriggerde flip-flop  
(fan-out = 8)

figuur 4/12.3-850

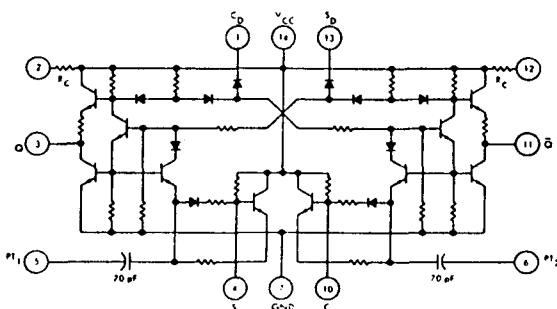
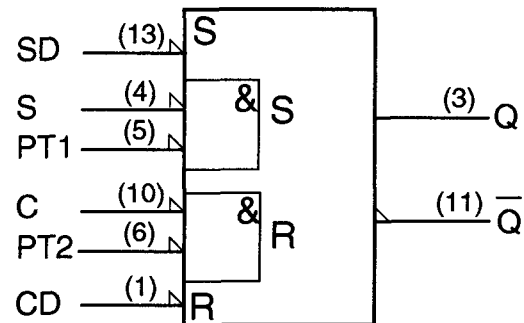


TRUTH TABLES

$I_n$ PULSE INPUT				$I_{n+1}$ OUTPUT	
S	C	PT <sub>1</sub>	PT <sub>2</sub>	Q	$\bar{Q}$
1	X	X	1	Q <sub>n</sub>	Q <sub>n</sub>
X	1	1	X	Q <sub>n</sub>	Q <sub>n</sub>
0	1	0	X	1	0
0	X	0	1	1	0
1	0	X	0	0	1
X	0	1	0	0	1
0	0	0	0	Indeterminate	

DIRECT INPUT		OUTPUT	
S <sub>D</sub>	C <sub>D</sub>	$\bar{Q}$	Q
1	1	Q <sub>n</sub>	Q <sub>n</sub>
0	1	0	1
1	0	1	0
0	0	1	1



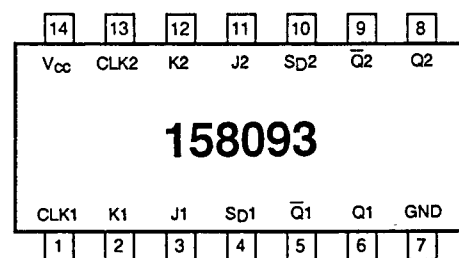
o.a. leverbaar:  
 SN 15850N, MC 850P, PD 995059,  
 DT<sub>μ</sub>L 9950

## 12.3 Diverse schakelingen 1583x/1593x-serie DTL

**158093 (159093)**

2 x J-K master-slave  
flip-flop (fan-out = 12)

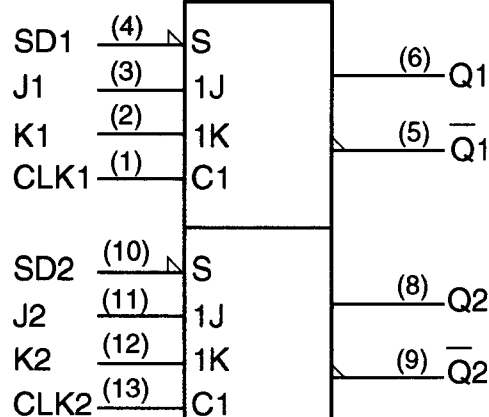
figuur 4/12.3-8093



TRUTH TABLE		
$t_n$		$t_{n+1}$
J	K	Q
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\overline{Q_n}$

$t_n$  = bit time before clock pulse.

$t_{n+1}$  = bit time after clock pulse.



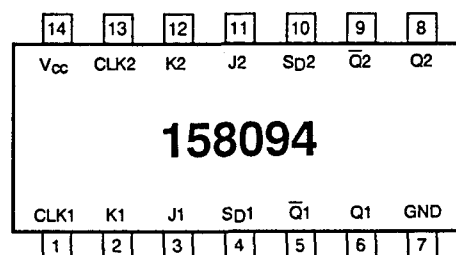
leverbaar:  
SN 158093N

## 12.3 Diverse schakelingen 1583x/1593x-serie DTL

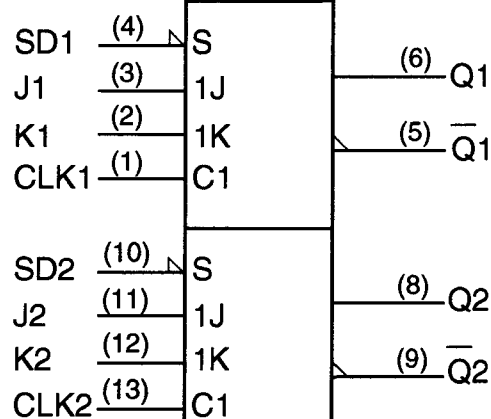
**158094 (159094)**2 x J-K master-slave  
flip-flop (fan-out = 11)

korte stijgtijd

figuur 4/12.3-8094



TRUTH TABLE		
$t_n$		$t_{n+1}$
J	K	Q
0	0	$Q_n$
0	1	0
1	0	1
1	1	$Q_n$

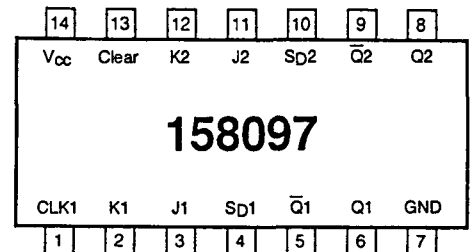
leverbaar:  
SN 158094N

## 12.3 Diverse schakelingen 1583x/1593x-serie DTL

**158097 (159097)**

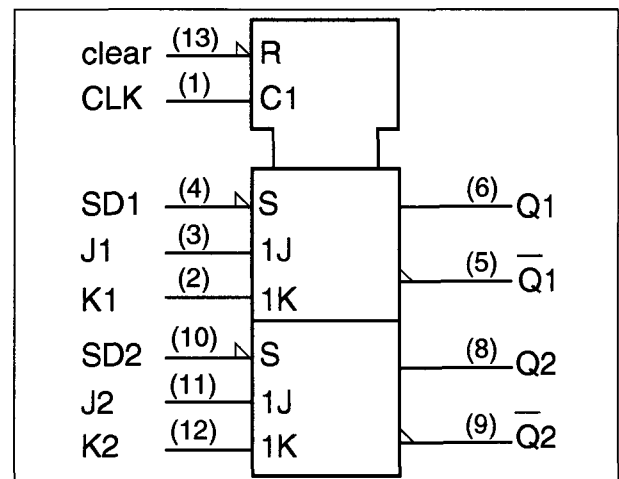
2 x J-K master-slave  
flip-flop met gemeen-  
schappelijke Clock en  
Clear (fan-out = 11)

figuur 4/12.3-8097



TRUTH TABLE		
$t_n$		$t_{n+1}$
J	K	Q
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\bar{Q}_n$

$t_n$  = bit time before clock pulse.  
 $t_{n+1}$  = bit time after clock pulse.



leverbaar:  
SN 158097N

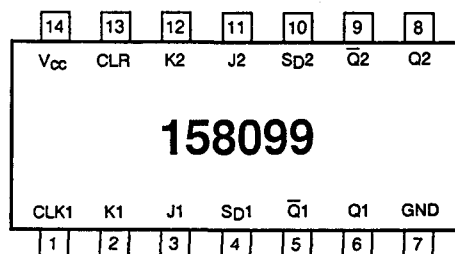
## 12.3 Diverse schakelingen 1583x/1593x-serie DTL

**158099 (159099)**

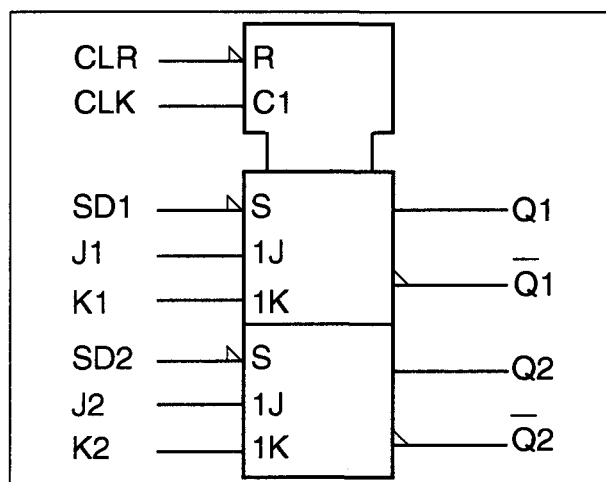
2 x J-K master-slave  
flip-flop met gemeen-  
schappelijke Clock en  
Clear (fan-out = 12)

korte stijgtijd

figuur 4/12.3-8099



TRUTH TABLE		
$t_n$		$t_{n+1}$
J	K	Q
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\bar{Q}_n$



leverbaar:  
SN 158099N

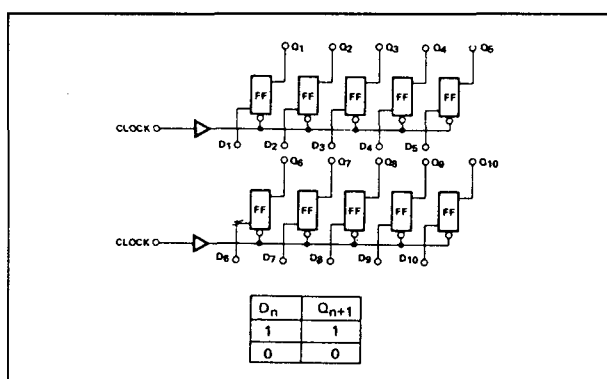
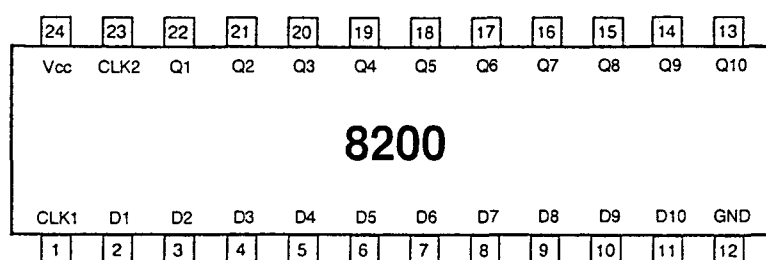
## 4/12.4

Diverse schakelingen  
8xxx-serie DCL en TTL

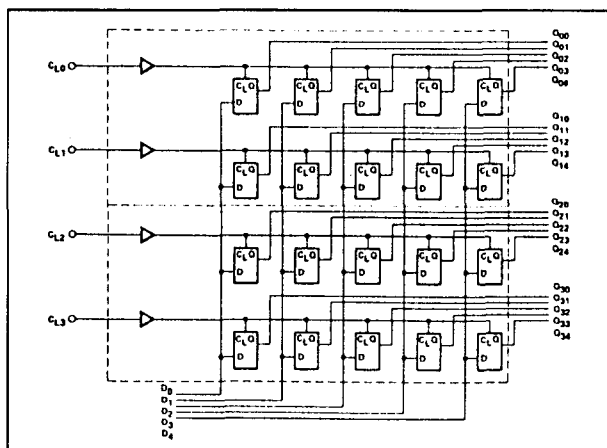
## 8200

2 buffer-registers  
2 x 5 D flip-flop array's

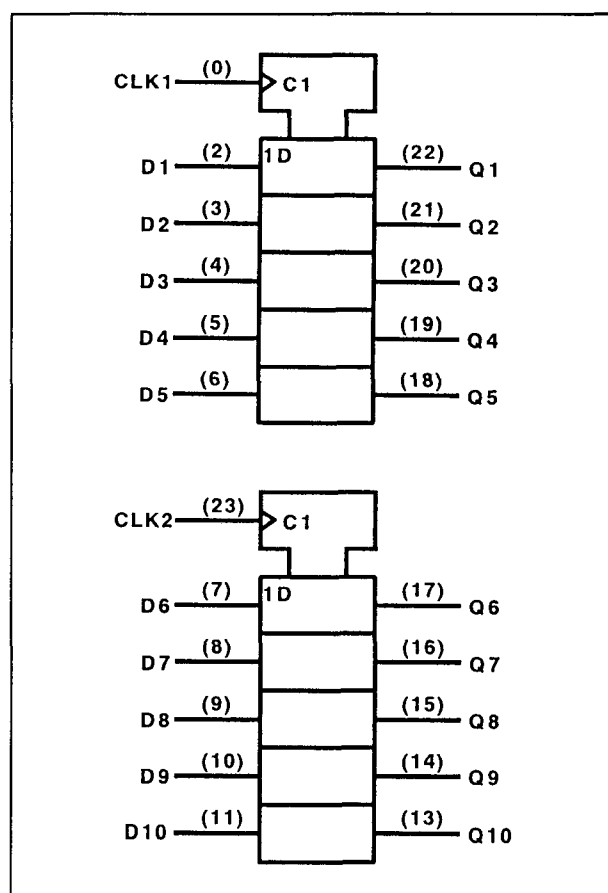
Figuur 4/12.4-8200.



Blok-schema.



Toepassingsvoorbeeld.



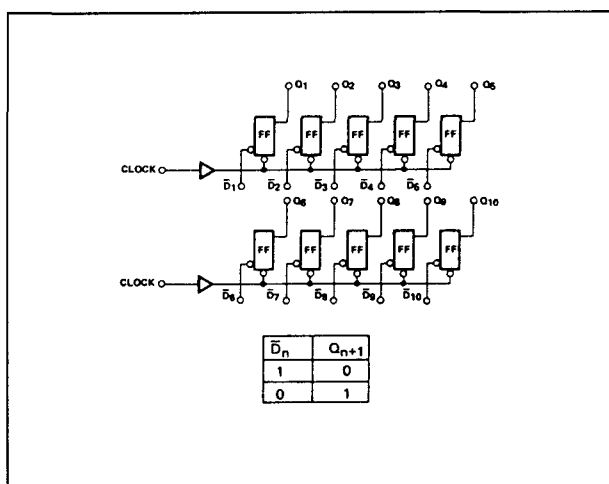
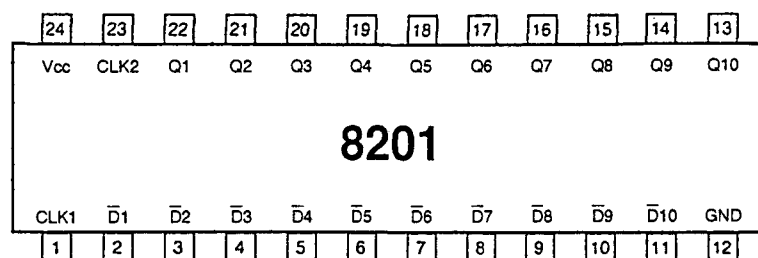
Logisch symbool.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

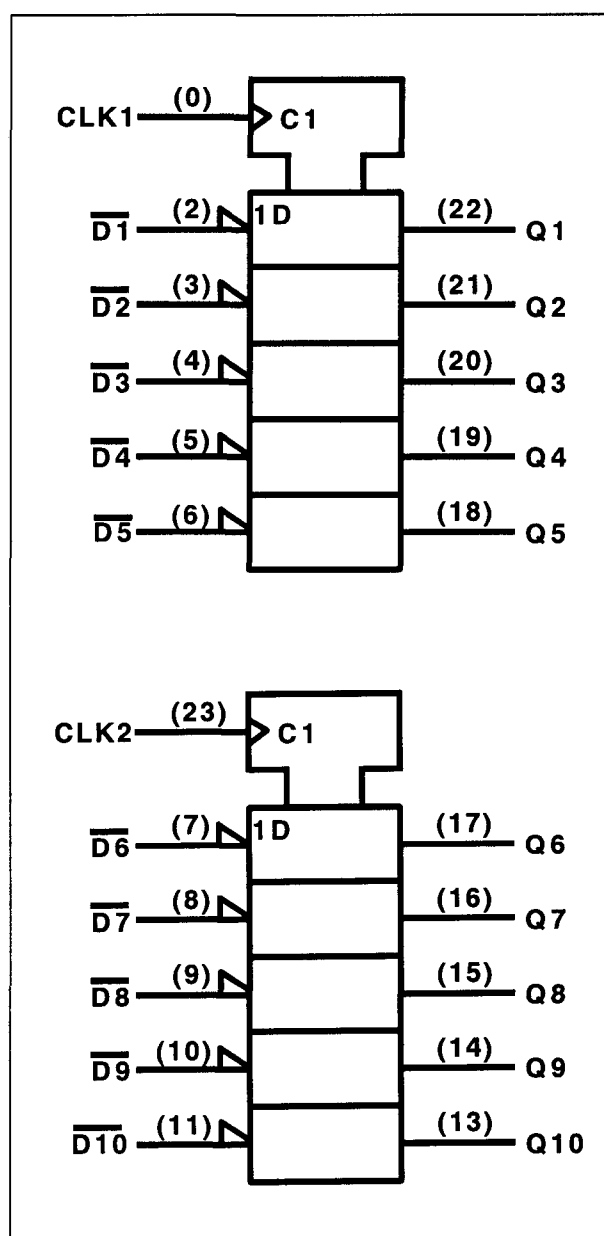
## 8201

2 buffer-registers  
2 x 5 D flip-flop array's met  
inverterende ingangen

Figuur 4/12.4-8201.



Blokschema.



Logisch symbool.

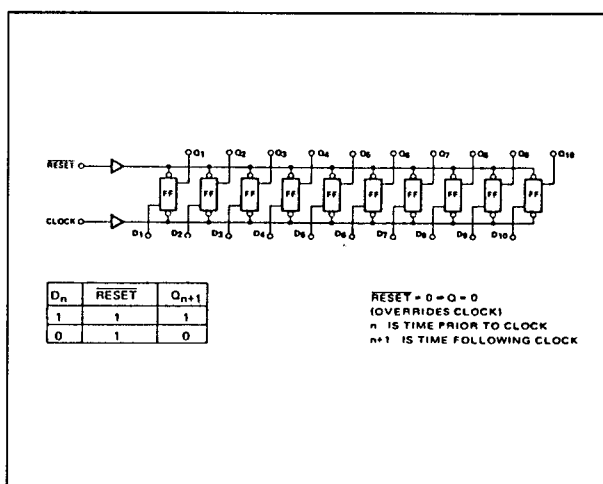
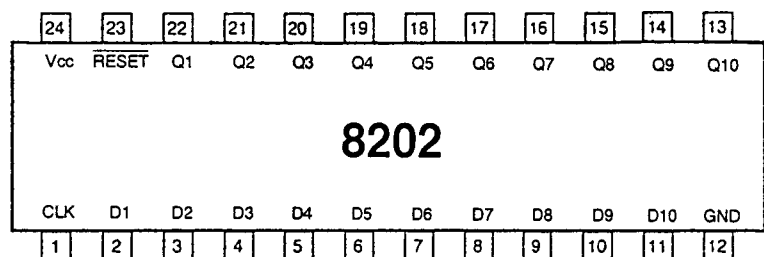


## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

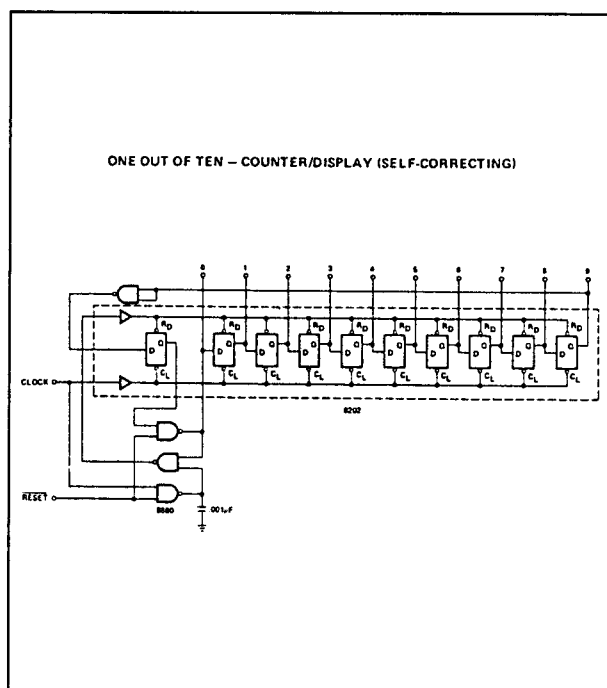
## 8202

buffer-register  
10 D-flip-flop array's met reset

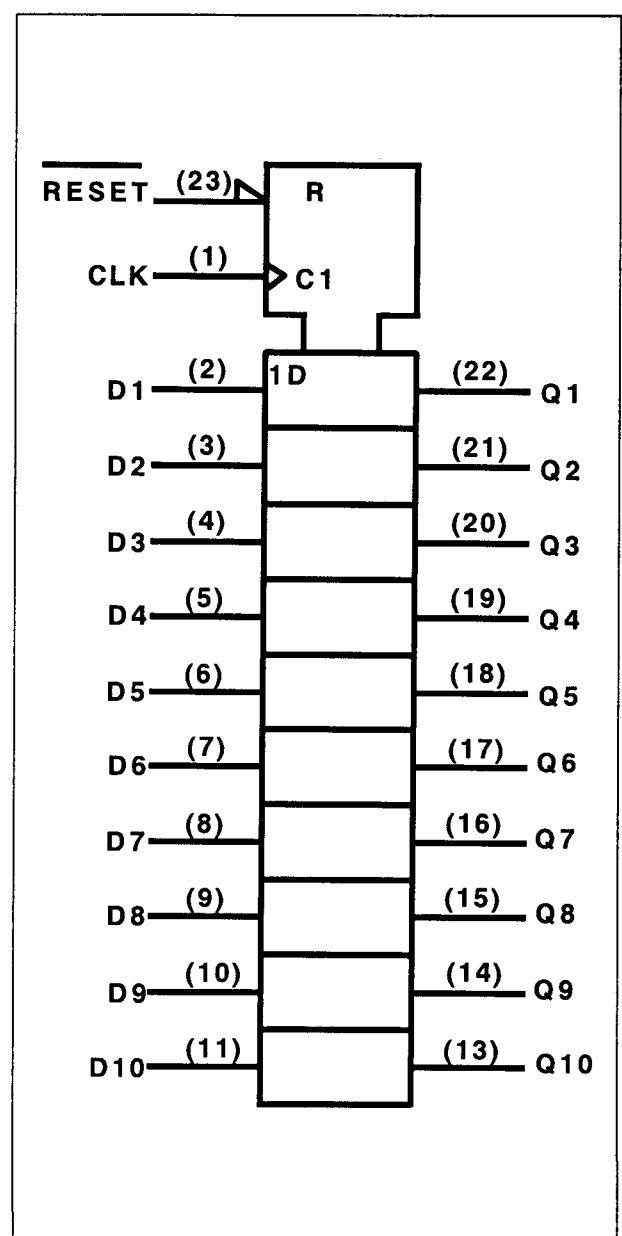
Figuur 4/12.4-8202.



Blok-schema.



Toepassingsvoorbeeld.



Logisch symbool.

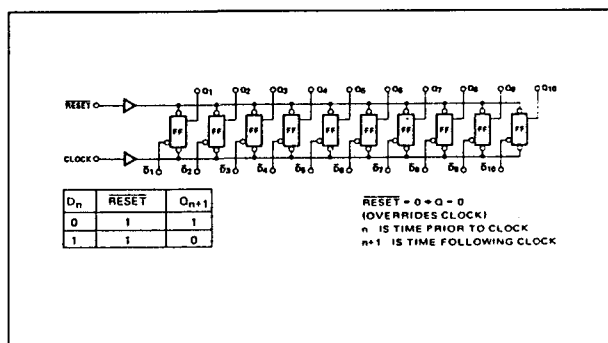
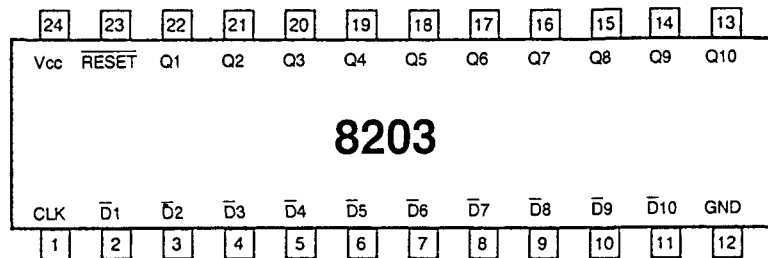
## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8203

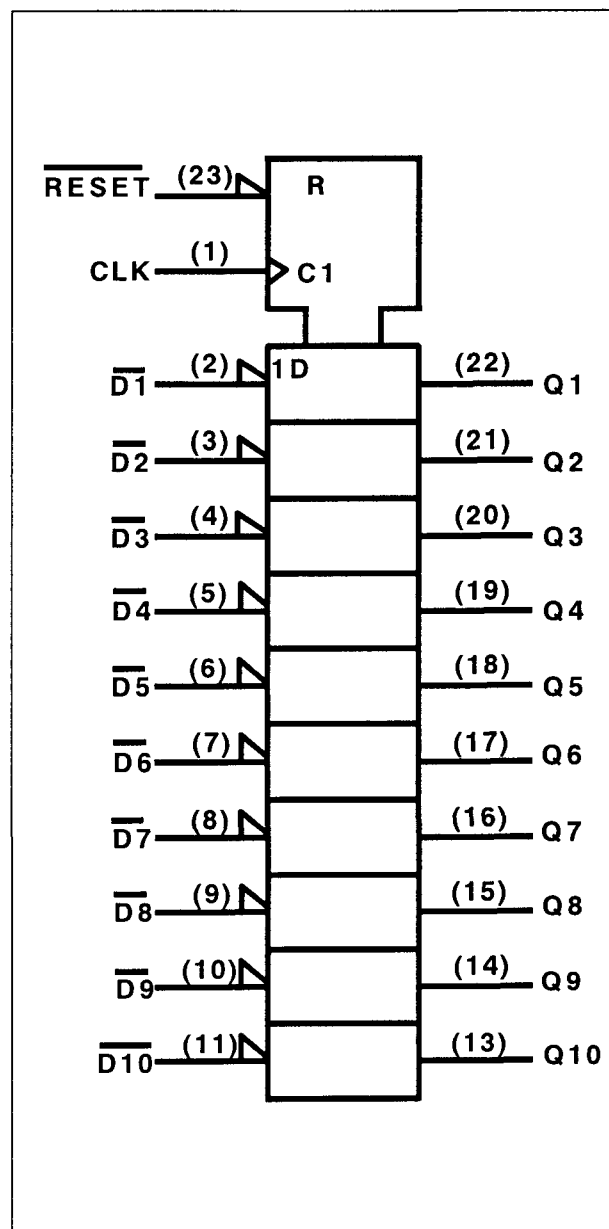
## buffer-register

10 D-flip-flop array's met reset

Figuur 4/12.4-8203.



Blokschema.



Logisch symbol.

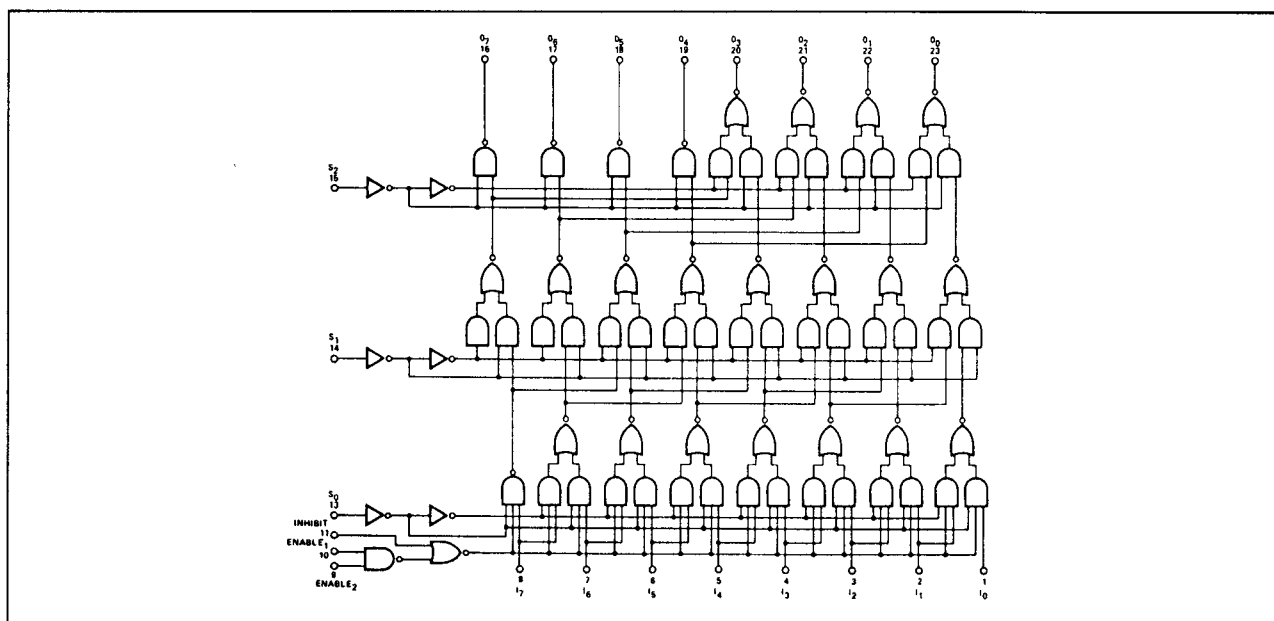
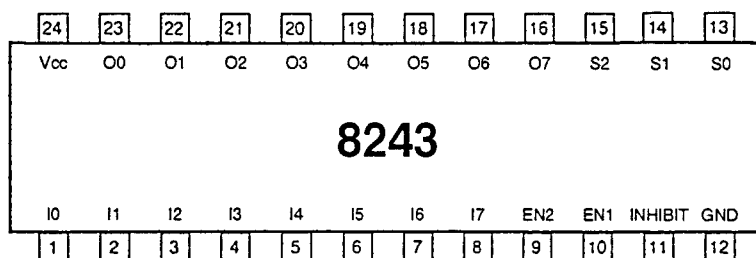
## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8243

## 8-positie scaler

data bit-posities verschuiven door middel van een 3-bit binaire selector sneller dan schuifregister en eenvoudiger externe logika

Figuur 4/12.4-8243.



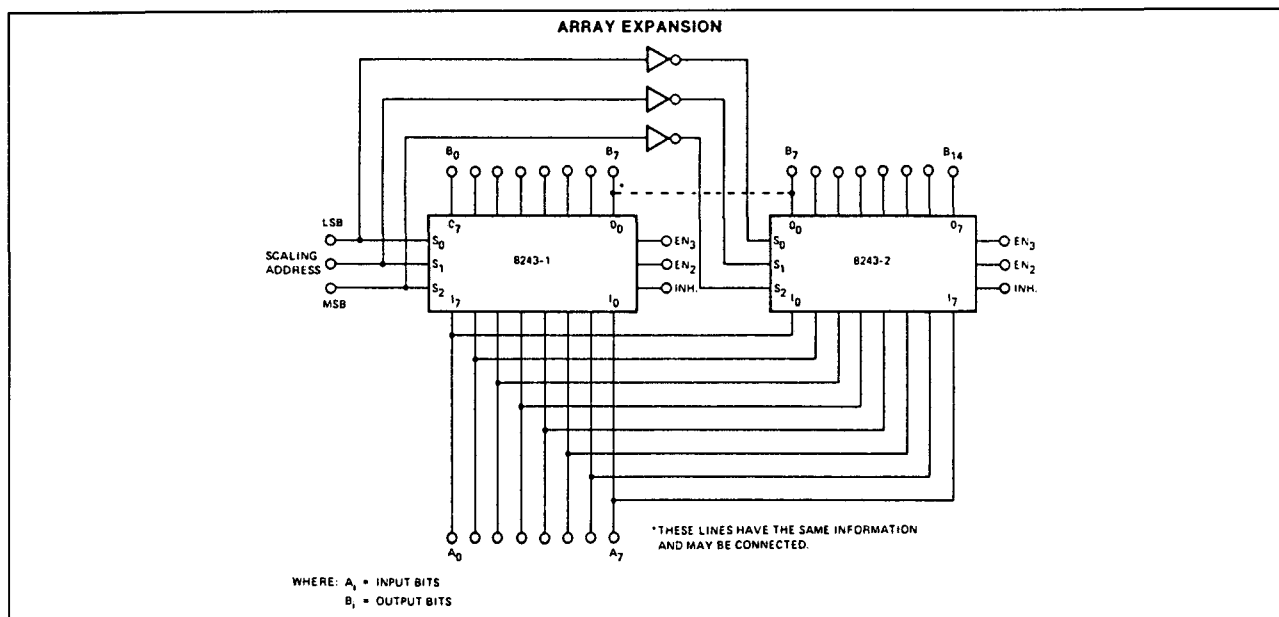
Intern schema.

INHIBIT	ENABLE 1 & 2	S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	O <sub>0</sub>	O <sub>1</sub>	O <sub>2</sub>	O <sub>3</sub>	O <sub>4</sub>	O <sub>5</sub>	O <sub>6</sub>	O <sub>7</sub>
0	1	0	0	0	i <sub>0</sub>	i <sub>1</sub>	i <sub>2</sub>	i <sub>3</sub>	i <sub>4</sub>	i <sub>5</sub>	i <sub>6</sub>	i <sub>7</sub>
0	1	1	0	0	i <sub>1</sub>	i <sub>2</sub>	i <sub>3</sub>	i <sub>4</sub>	i <sub>5</sub>	i <sub>6</sub>	i <sub>7</sub>	1
0	1	0	1	0	i <sub>2</sub>	i <sub>3</sub>	i <sub>4</sub>	i <sub>5</sub>	i <sub>6</sub>	i <sub>7</sub>	1	1
0	1	1	1	0	i <sub>3</sub>	i <sub>4</sub>	i <sub>5</sub>	i <sub>6</sub>	i <sub>7</sub>	1	1	1
0	1	0	0	1	i <sub>4</sub>	i <sub>5</sub>	i <sub>6</sub>	i <sub>7</sub>	1	1	1	1
0	1	1	0	1	i <sub>5</sub>	i <sub>6</sub>	i <sub>7</sub>	1	1	1	1	1
0	1	0	1	1	i <sub>6</sub>	i <sub>7</sub>	1	1	1	1	1	1
0	1	1	1	1	i <sub>7</sub>	1	1	1	1	1	1	1
1	X	X	X	X	1	1	1	1	1	1	1	1
X	0	X	X	X	1	1	1	1	1	1	1	1

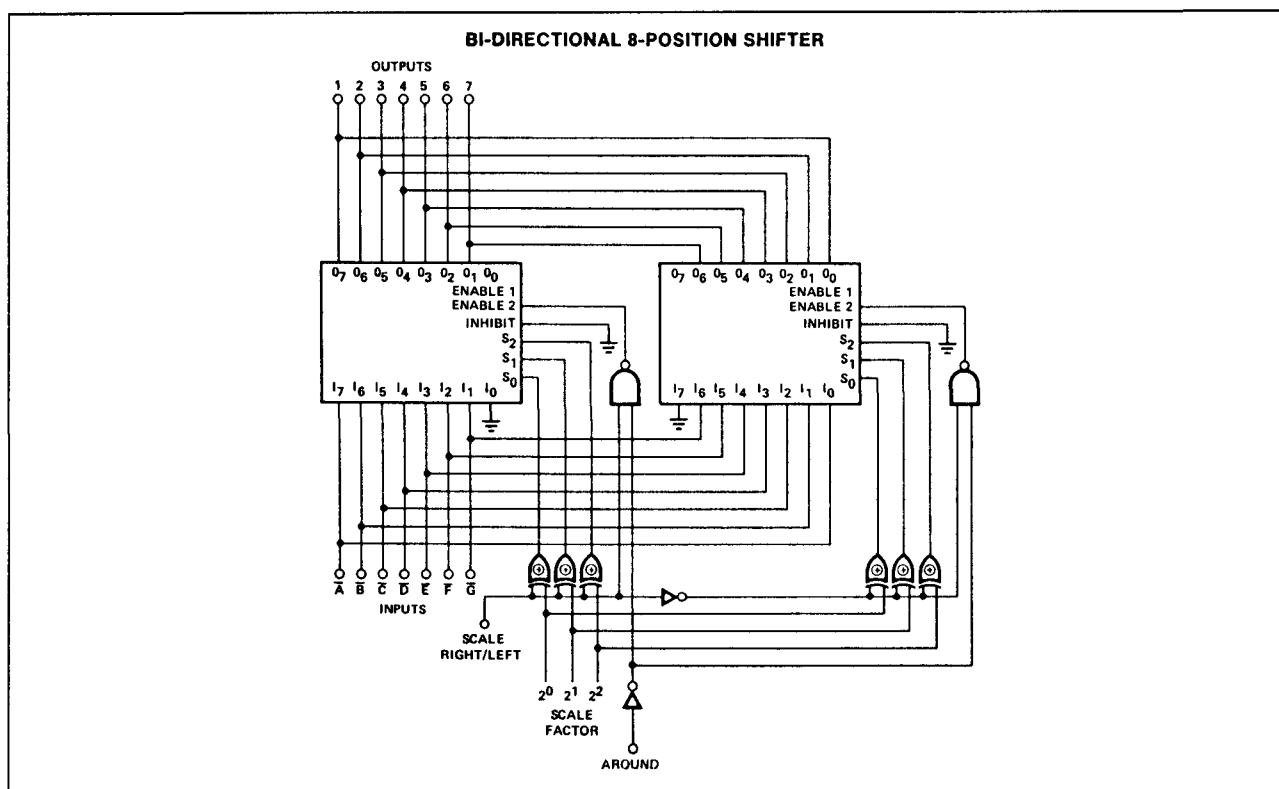
X indicates either logic "1" or logic "0" may be present.

Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL



Toepassingsvoorbeeld 1.



Toepassingsvoorbeeld 2.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

SCALE ADDRESS			8243-1								8243-2							
MSB	LSB		B <sub>0</sub>	B <sub>1</sub>	B <sub>2</sub>	B <sub>3</sub>	B <sub>4</sub>	B <sub>5</sub>	B <sub>6</sub>	B <sub>7</sub>	B <sub>7</sub>	B <sub>8</sub>	B <sub>9</sub>	B <sub>10</sub>	B <sub>11</sub>	B <sub>12</sub>	B <sub>13</sub>	B <sub>14</sub>
0	0	0	$\bar{A}_0$	$\bar{A}_1$	$\bar{A}_2$	$\bar{A}_3$	$\bar{A}_4$	$\bar{A}_5$	$\bar{A}_6$	$\bar{A}_7$	$\bar{A}_7$	1	1	1	1	1	1	1
0	0	1	1	$\bar{A}_0$	$\bar{A}_1$	$\bar{A}_2$	$\bar{A}_3$	$\bar{A}_4$	$\bar{A}_5$	$\bar{A}_6$	$\bar{A}_6$	$\bar{A}_7$	1	1	1	1	1	1
0	1	0	1	1	$\bar{A}_0$	$\bar{A}_1$	$\bar{A}_2$	$\bar{A}_3$	$\bar{A}_4$	$\bar{A}_5$	$\bar{A}_5$	$\bar{A}_6$	$\bar{A}_7$	1	1	1	1	1
0	1	1	1	1	1	$\bar{A}_0$	$\bar{A}_1$	$\bar{A}_2$	$\bar{A}_3$	$\bar{A}_4$	$\bar{A}_4$	$\bar{A}_5$	$\bar{A}_6$	$\bar{A}_7$	1	1	1	1
1	0	0	1	1	1	1	$\bar{A}_0$	$\bar{A}_1$	$\bar{A}_2$	$\bar{A}_3$	$\bar{A}_3$	$\bar{A}_4$	$\bar{A}_5$	$\bar{A}_6$	$\bar{A}_7$	1	1	1
1	0	1	1	1	1	1	1	$\bar{A}_0$	$\bar{A}_1$	$\bar{A}_2$	$\bar{A}_2$	$\bar{A}_3$	$\bar{A}_4$	$\bar{A}_5$	$\bar{A}_6$	$\bar{A}_7$	1	1
1	1	0	1	1	1	1	1	1	$\bar{A}_0$	$\bar{A}_1$	$\bar{A}_1$	$\bar{A}_2$	$\bar{A}_3$	$\bar{A}_4$	$\bar{A}_5$	$\bar{A}_6$	$\bar{A}_7$	1
1	1	1	1	1	1	1	1	1	1	$\bar{A}_0$	$\bar{A}_0$	$\bar{A}_1$	$\bar{A}_2$	$\bar{A}_3$	$\bar{A}_4$	$\bar{A}_5$	$\bar{A}_6$	$\bar{A}_7$

Waarheidstabel toepassingsvoorbeeld 1.

SCALE FACTOR	1	2	3	4	5	6	7	
0	A	B	C	D	E	F	G	SCALE RIGHT
1	1	A	B	C	D	E	F	
2	1	1	A	B	C	D	E	
3	1	1	1	A	B	C	D	
4	1	1	1	1	A	B	C	SCALE = 0 AROUND = 0
5	1	1	1	1	1	A	B	
6	1	1	1	1	1	1	A	
7	1	1	1	1	1	1	1	

SCALE FACTOR	1	2	3	4	5	6	7	
0	A	B	C	D	E	F	G	SCALE LEFT
1	B	C	D	E	F	G	1	
2	C	D	E	F	G	1	1	
3	D	E	F	G	1	1	1	
4	E	F	G	1	1	1	1	SCALE = 1 AROUND = 0
5	F	G	1	1	1	1	1	
6	G	1	1	1	1	1	1	
7	1	1	1	1	1	1	1	

SCALE FACTOR	1	2	3	4	5	6	7	
0	A	B	C	D	E	F	G	SCALE RIGHT & AROUND
1	G	A	B	C	D	E	F	
2	F	G	A	B	C	D	E	
3	E	F	G	A	B	C	D	
4	D	E	F	G	A	B	C	SCALE = 0 AROUND = 1
5	C	D	E	F	G	A	B	
6	B	C	D	E	F	G	A	
7	A	B	C	D	E	F	G	

SCALE FACTOR	1	2	3	4	5	6	7	
0	A	B	C	D	E	F	G	SCALE LEFT & AROUND
1	B	C	D	E	F	G	A	
2	C	D	E	F	G	A	B	
3	D	E	F	G	A	B	C	
4	E	F	G	A	B	C	D	SCALE = 1 AROUND = 1
5	F	G	A	B	C	D	E	
6	G	A	B	C	D	E	F	
7	A	B	C	D	E	F	G	

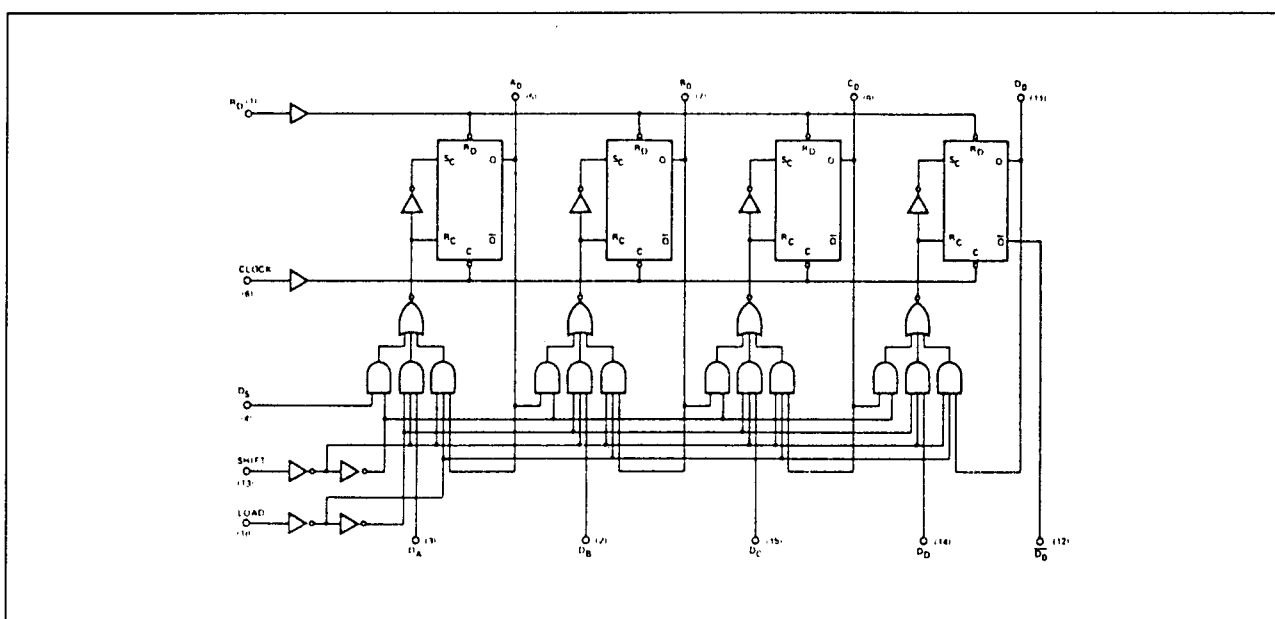
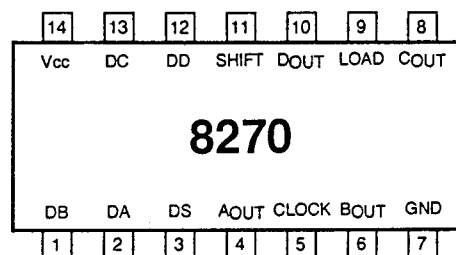
Waarheidstabel toepassingsvoorbeeld 2.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

**8270, 82S70**

**4-bit schuifregister**  
 synchroon, serie/parallel in,  
 serie/parallel uit

Figuur 4/12.4-8270.



Intern schema.

CONTROL STATE	LOAD	SHIFT
Hold	0	0
Parallel Entry	1	0
Shift Right	0	1
Shift Left	1	1

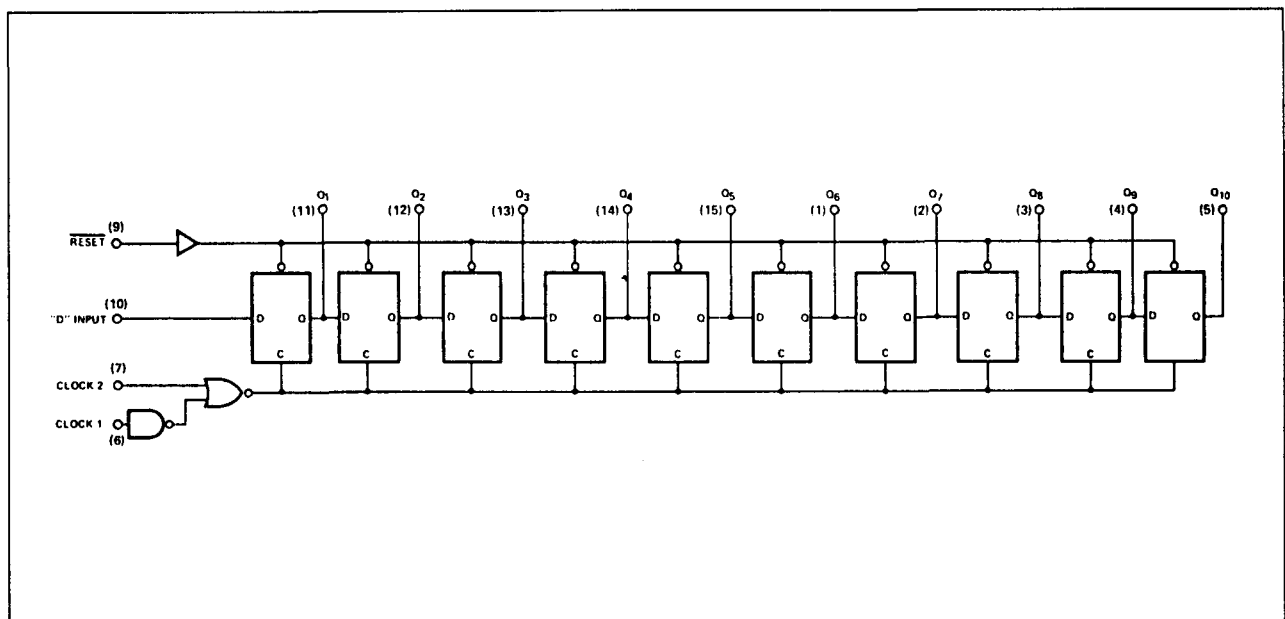
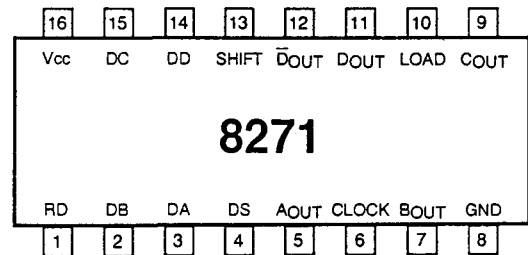
Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8271, 82S71

4-bit schuifregister  
synchroon, serie/parallel in/uit  
met direkte reset en Dout

Figuur 4/12.4-8271.



Intern schema.

INPUT	RESET	CLOCK 1	CLOCK 2	$Q_n + 1$
1	1	Pulse	0	1
0	1	Pulse	0	0
1	1	1	Pulse	1
0	1	1	Pulse	0
1	1	Pulse	1	Q
0	1	Pulse	1	Q
1	1	0	Pulse	Q
0	1	0	Pulse	Q

NOTE:  
The unused clock input performs the INHIBIT function.  
RESET = 0 → Q = 0

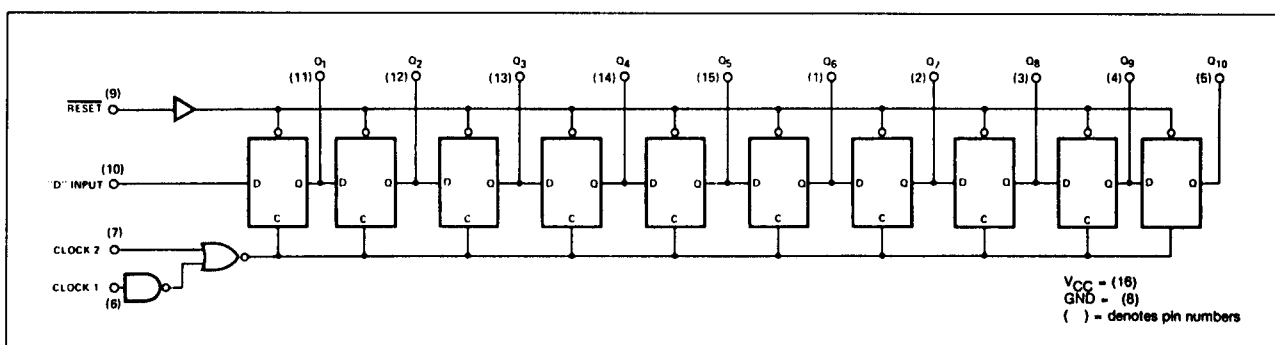
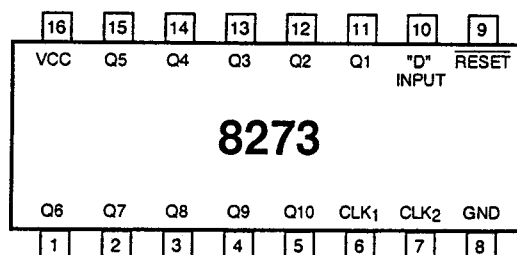
Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8273

10-bit serie-in/parallel-uit  
schuifregistermet gebufferde reset en positieve of  
negatieve clock

Figuur 4/12.4-8273.



Intern schema.

INPUT	RESET	CLOCK 1	CLOCK 2	$Q_n + 1$
1	1	Pulse	0	1
0	1	Pulse	0	0
1	1	1	Pulse	1
0	1	1	Pulse	0
1	1	Pulse	1	Q
0	1	Pulse	1	Q
1	1	0	Pulse	Q
0	1	0	Pulse	Q

NOTE:  
The unused clock input performs the INHIBIT function.  
RESET = 0 → Q = 0

Waarheidstabel.

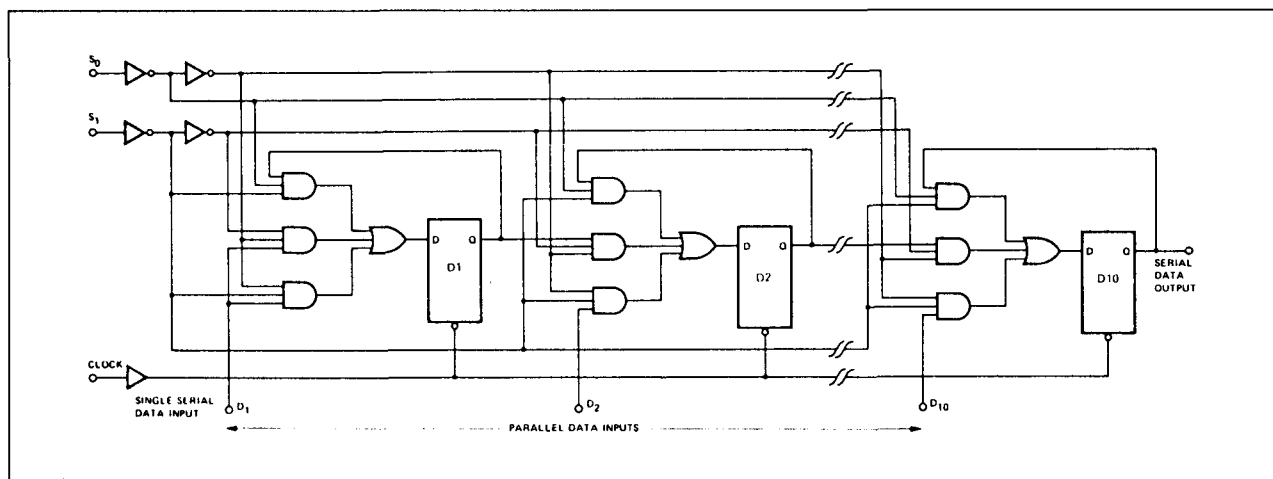
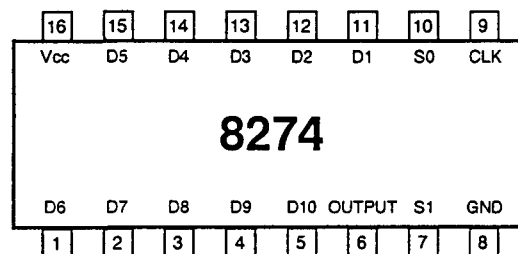


## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

**8274**

10-bit parallel-in  
serie-uit schuifregister  
met gebufferde clock-ingang

Figuur 4/12.4-8274.



Intern schema.

S <sub>0</sub>	S <sub>1</sub>	OPERATING MODE
0	0	Hold
0	1	Clear
1	0	Load
1	1	Shift

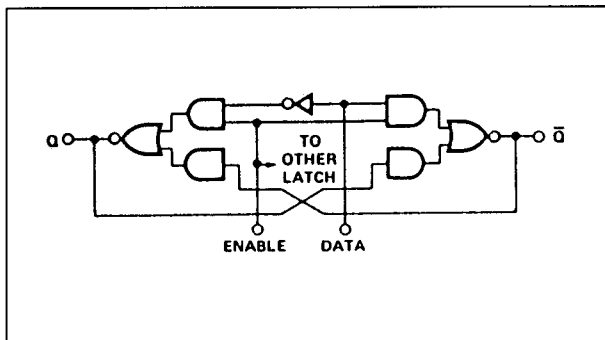
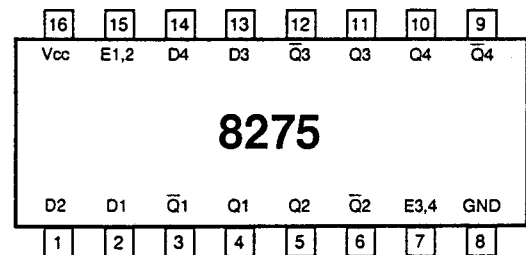
Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8275

4-bit bistabiele latch  
met gescheiden enable-ingangen  
voor latches 1-2 en 3-4

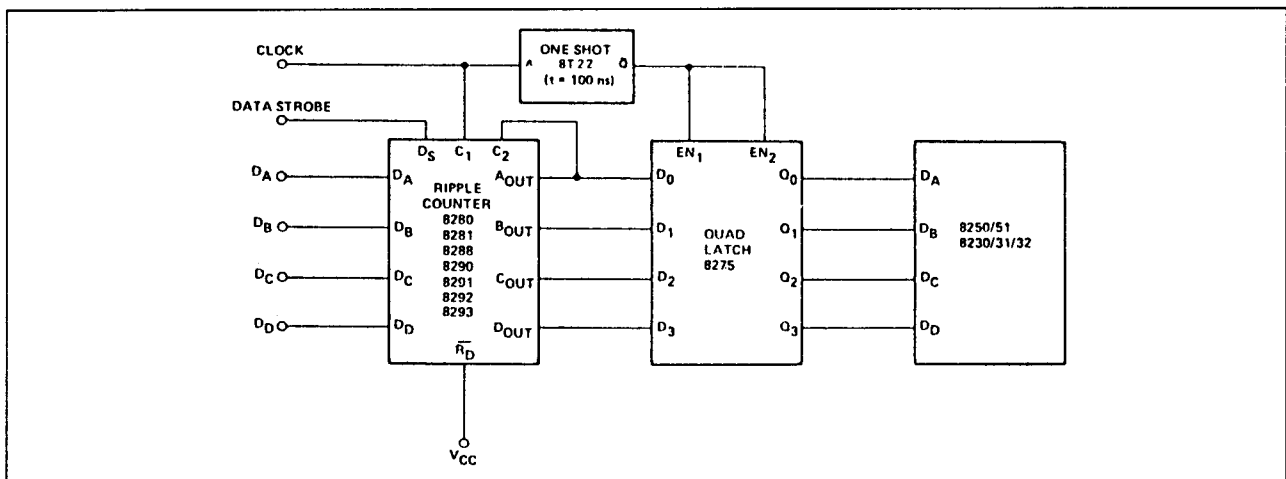
Figuur 4/12.4-8275.



Intern schema.

ENABLE	DATA	Q	$\bar{Q}$
1	1	1	0
1	0	0	1
0	1	.	.
0	0	.	.

Waarheidstabel.



Toepassingsvoorbeeld: synchroon uitlezen van teller.

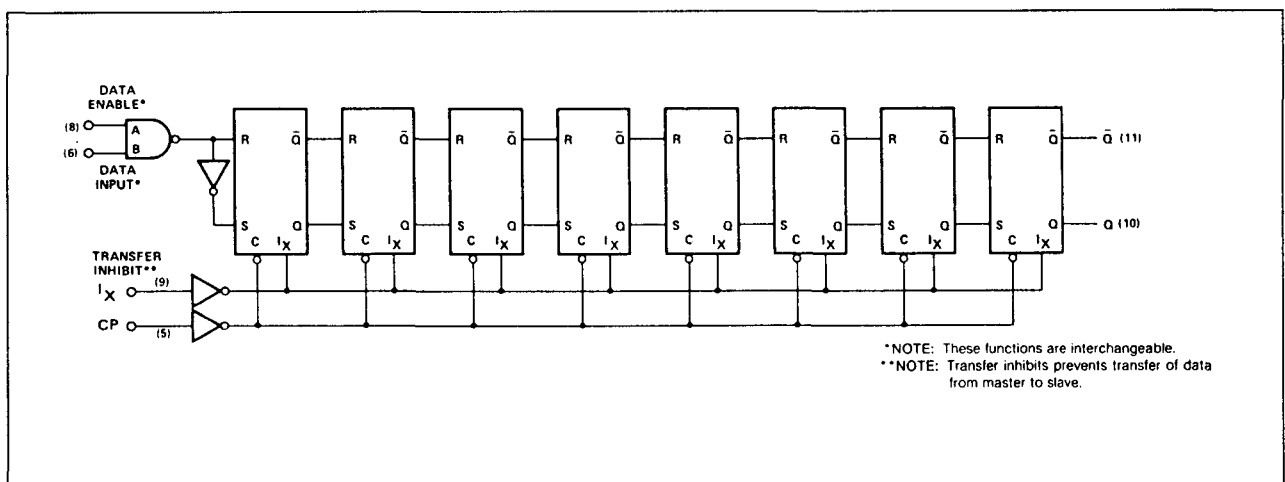
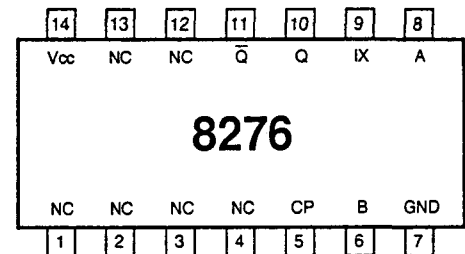
## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8276

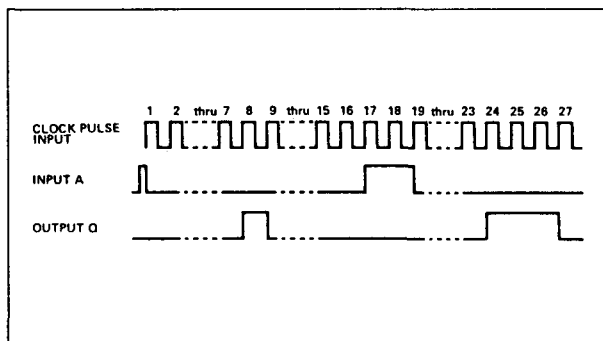
8-bit serie-in/serie-uit  
schuifregister

met Q- en  $\bar{Q}$ -uitgang en inhibit-ingang, op-  
gebouwd uit 8 R-S master-slave flip-flop's

Figuur 4/12.4-8276.



Intern schema.



Timing diagram.

$t_n$		$t_{n+8}$
A (Data Enable)	B (Data Input)	Q
0	0	0
0	1	0
1	0	0
1	1	1

NOTES:

$t_n$  Bit time before clock pulse.  
 $t_{n+8}$  Bit time after 8 clock pulses.

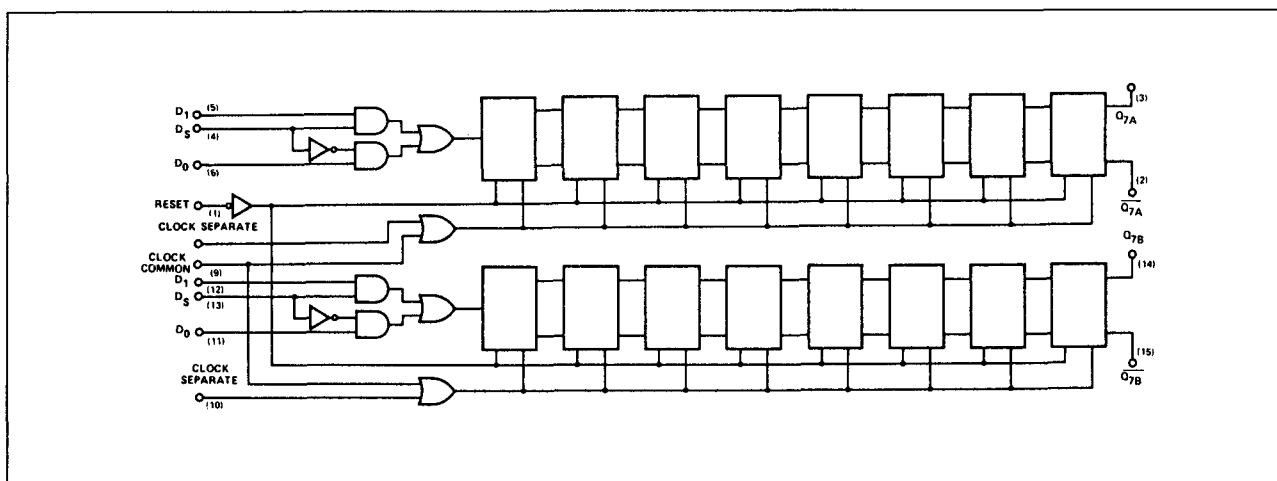
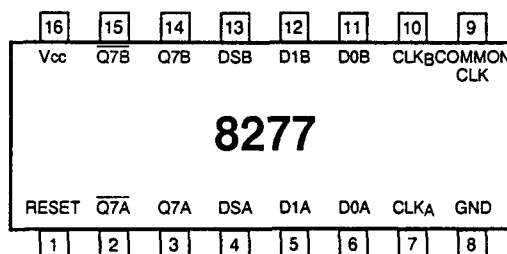
Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

**8277****2 8-bit serie-in/serie-uit  
schuifregisters**

met Q- en  $\overline{Q}$ -uitgangen, gemeenschappelijke reset en gescheiden/ge-meenschappelijke clock

Figuur 4/12.4-8277.



Intern schema.

D <sub>S</sub>	D <sub>0</sub>	D <sub>1</sub>	Reset	Function
0	0	x	1	Shift in "0"
0	1	x	1	Shift in "1"
1	x	0	1	Shift in "0"
1	x	1	1	Shift in "1"
x	x	x	0	Reset "Q" to "0"

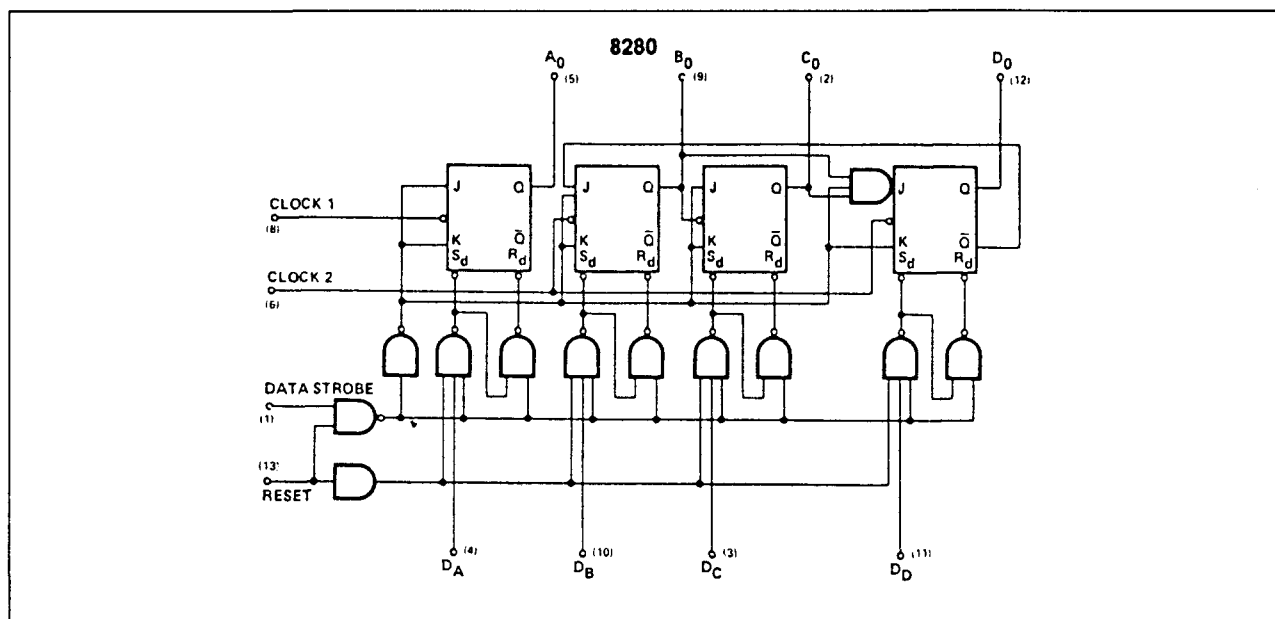
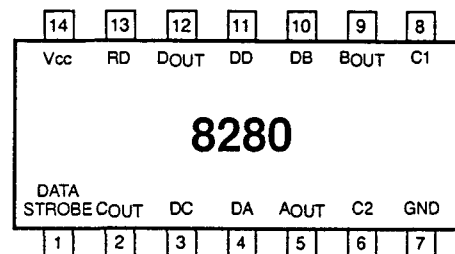
Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

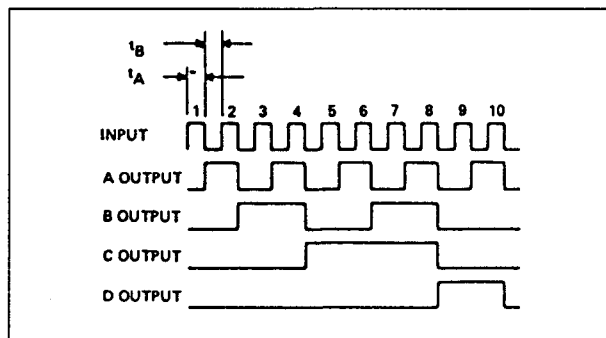
**8280**

presetbare 10-teller en  
geheugen-element (BCD,  
2-/5-deler of biquinair)  
met gestrobede data-ingangen en  
reset

Figuur 4/12.4-8280.



Intern schema.



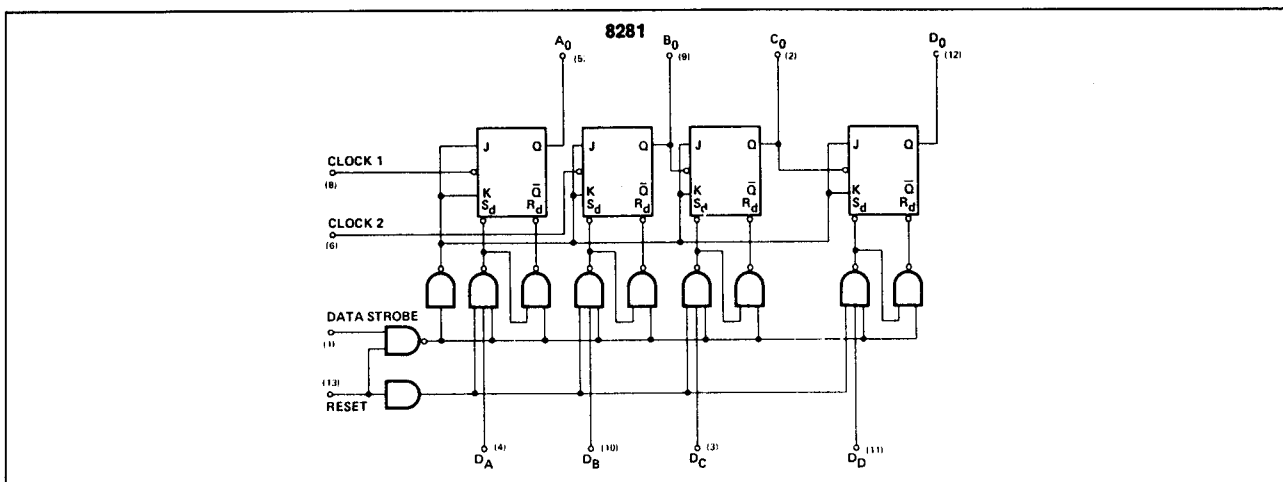
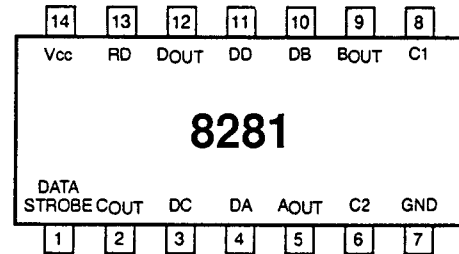
Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

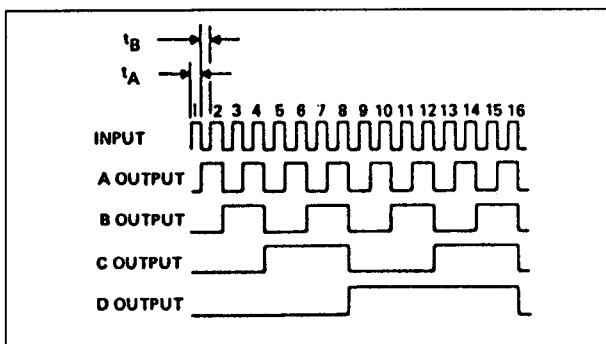
**8281**

**4-bit presetbare binaire teller/geheugen-element**  
met gestrobede data-ingangen en reset (instelbaar als :2, :8 of :16 teller)

Figuur 4/12.4-8281.



Intern schema.



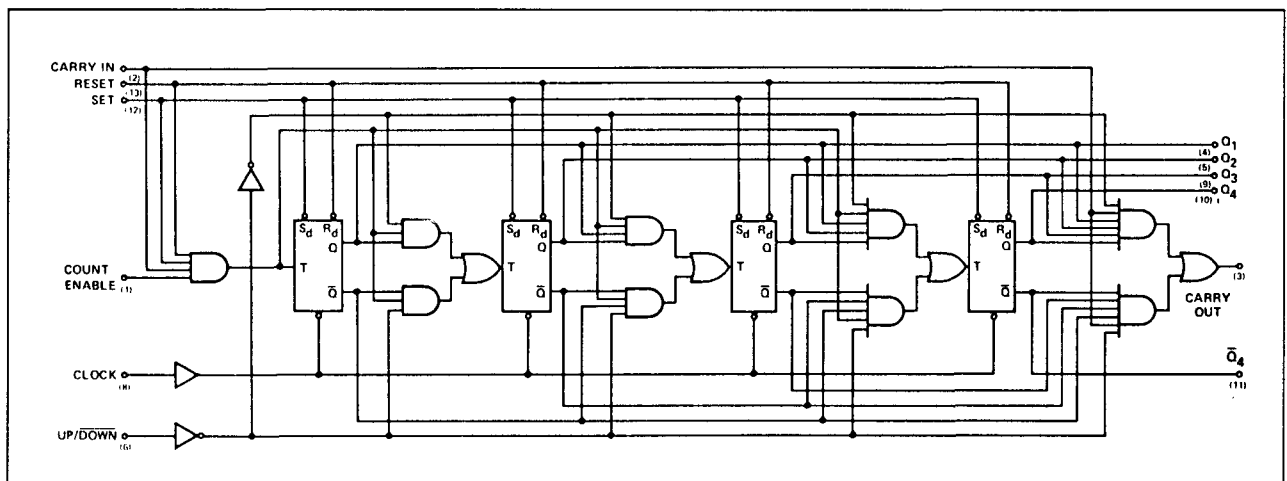
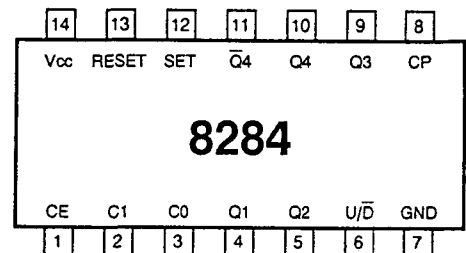
Timing diagram.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8284

4-bit synchrone  
binaire op/neer teller  
met asynchrone set en reset

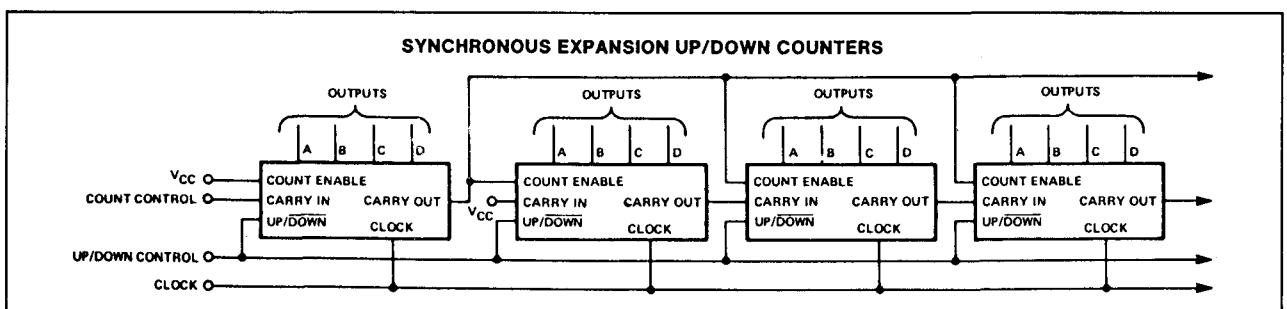
Figuur 4/12.4-8284



Intern schema.

MODE OF OPERATION	SET	RESET	CARRY IN	COUNT ENABLE	UP/DOWN	FUNCTION
A. Asynchronous	1	0	x	x	x	"0" (0 0 0 0)
8284 Only	0	1	x	x	x	"15" (1 1 1 1)
B. Synchronous	1	1	0	x	x	Hold*
	1	1	x	0	x	Hold*
	1	1	1	1	0	"Down" Count*
	1	1	1	1	1	"Up" Count*

Waarheidstabel.



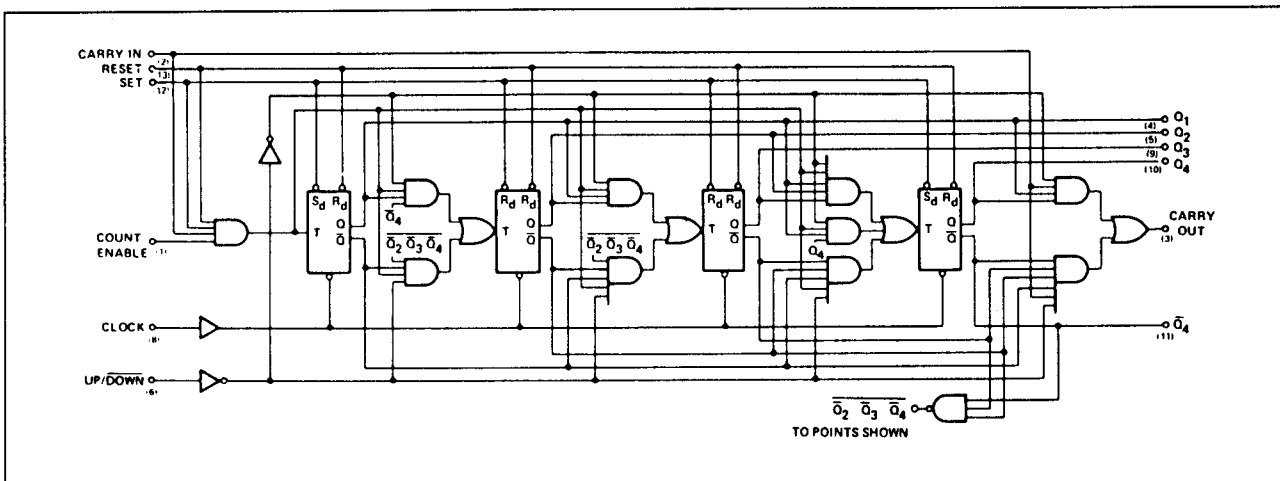
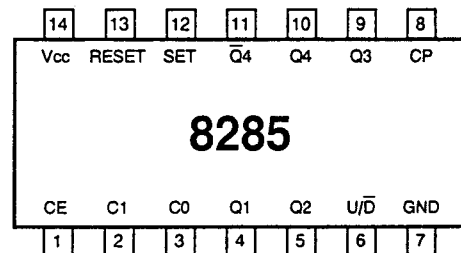
Toepassingsvoorbeeld.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8285

4-bit synchrone  
op/neer 10-teller  
met asynchrone set en reset

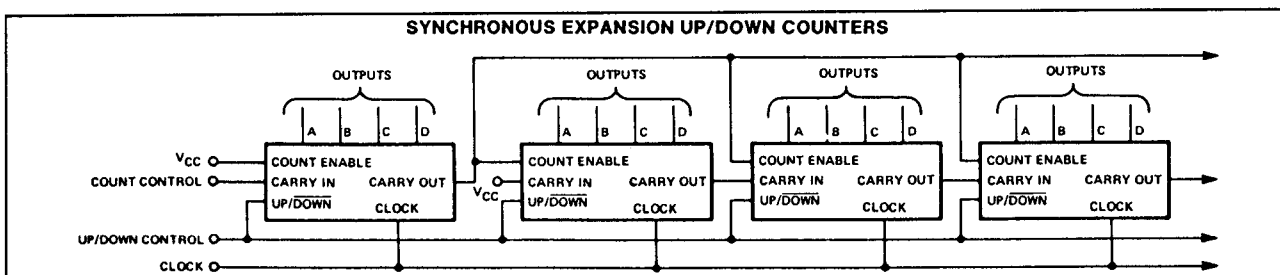
Figuur 4/12.4-8285.



Intern schema.

MODE OF OPERATION	SET	RESET	CARRY IN	COUNT ENABLE	UP/DOWN	FUNCTION
A. Asynchronous	1	0	x	x	x	"0" (0 0 0 0)
8285 Only	0	1	x	x	x	"9" (1 0 0 1)
B. Synchronous	1	1	0	x	x	Hold*
	1	1	x	0	x	Hold*
	1	1	1	1	0	"Down" Count*
	1	1	1	1	1	"Up" Count*

Waarheidstabel.



Toepassingsvoorbeeld.

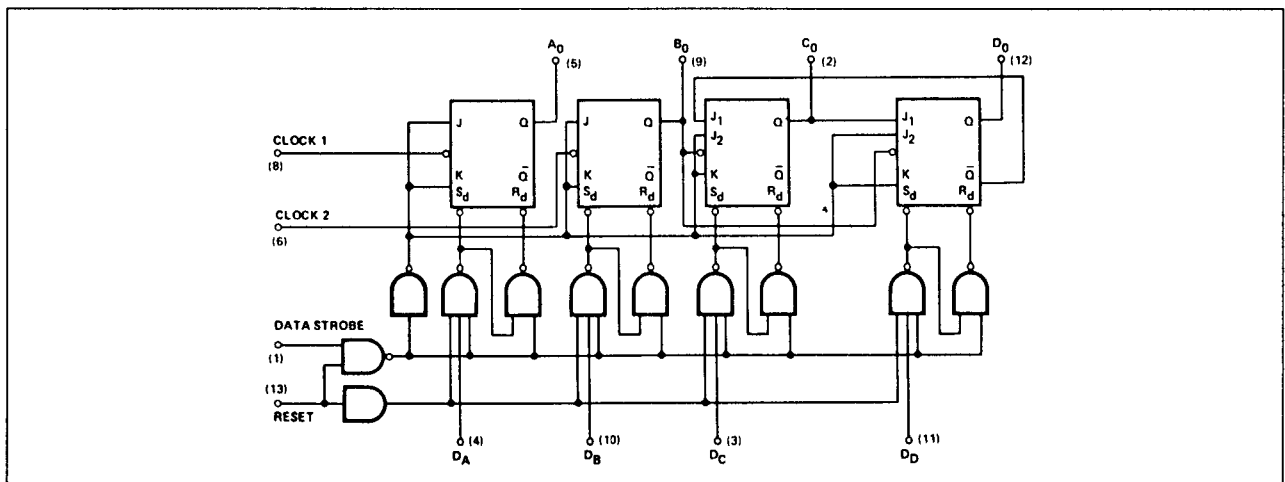
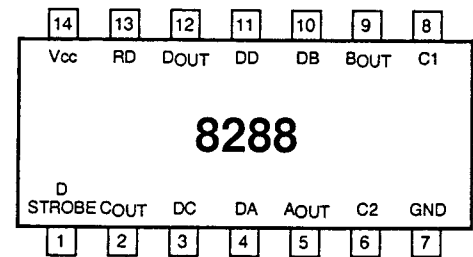


## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8288

presetbare 12-teller en  
geheugen-element  
met gestrobede data-ingangen en  
reset (instelbaar als 2, :6, of 2 teller)

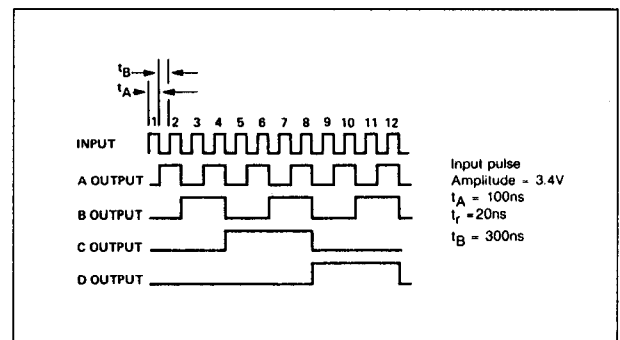
Figuur 4/12.4-8288.



Intern schema.

OUTPUT				
Count	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1

Waarheidstabel.



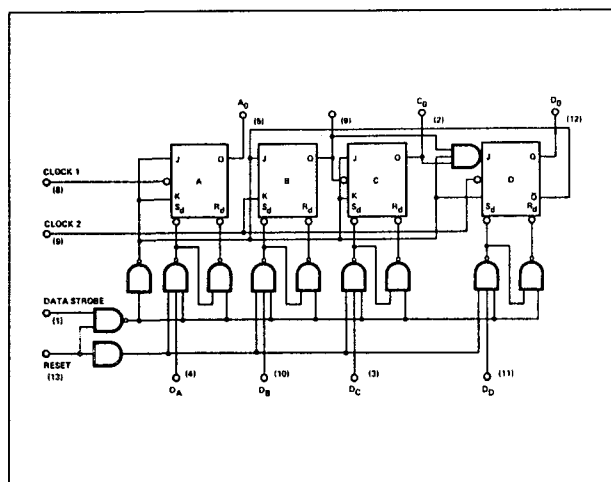
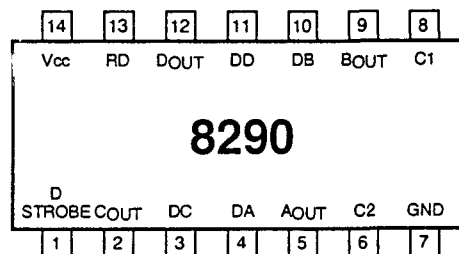
Timing diagram.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

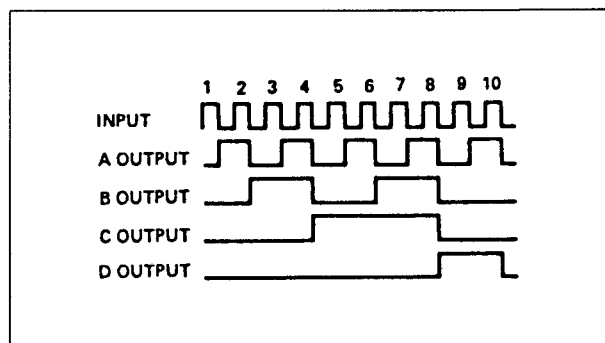
**8290, 82S90**

presetbare snelle 10-teller/geheugen-element (BCD, :2/:5 of biquinair) 60 MHz, met gestrobede data-ingangen en re-set

Figuur 4/12.4-8290.



Intern schema.



Timing diagram.

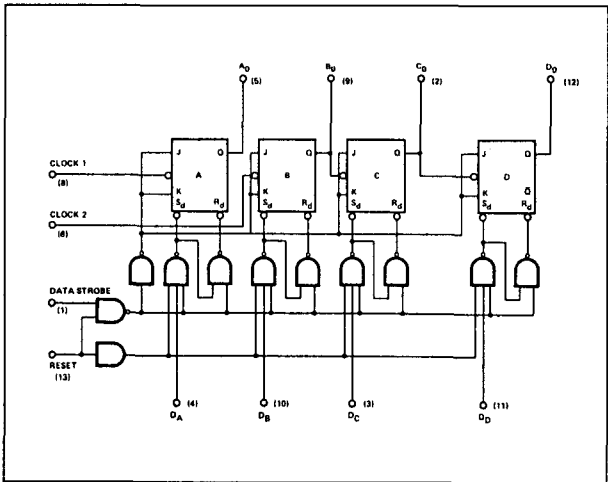
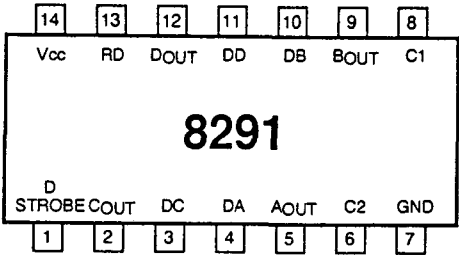
8290								
BI-QUINARY(5-2)					DECADE (BCD)			
INPUT	B <sub>0</sub>	C <sub>0</sub>	D <sub>0</sub>	D <sub>0</sub>	A <sub>0</sub>	B <sub>0</sub>	C <sub>0</sub>	D <sub>0</sub>
0	0	0	0	0	0	0	0	0
1	1	0	0	0	1	0	0	0
2	0	1	0	0	0	1	0	0
3	1	1	0	0	1	1	0	0
4	0	0	1	0	0	0	1	0
5	0	0	0	1	1	0	1	0
6	1	0	0	1	0	1	1	0
7	0	1	0	1	1	1	1	0
8	1	1	0	0	0	0	0	1
9	0	0	1	1	1	0	0	1
10								
11								
12								
13								
14								
15								

Waarheidstabel.

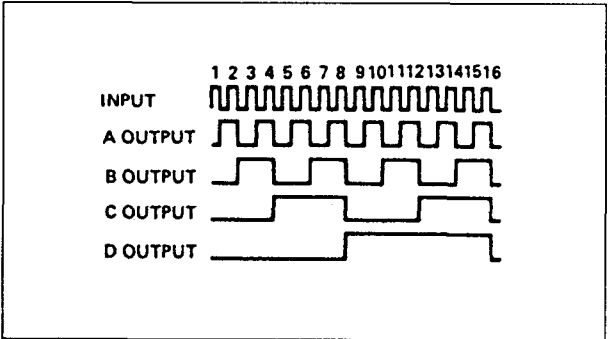
12.4 Diverse schakelingen 8xxx-serie DCL en TTL

**8291, 82S91**  
presetbare, snelle 4-bit  
binaire teller  
met gestrobede data-ingangen en  
reset (:2, :4, :8 of :16), 60 MHz

Figuur 4/12.4-8291.



Intern schema.



Timing diagram.

8291				
INPUT	BINARY			
	A <sub>0</sub>	B <sub>0</sub>	C <sub>0</sub>	D <sub>0</sub>
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1

Waarheidstabel.

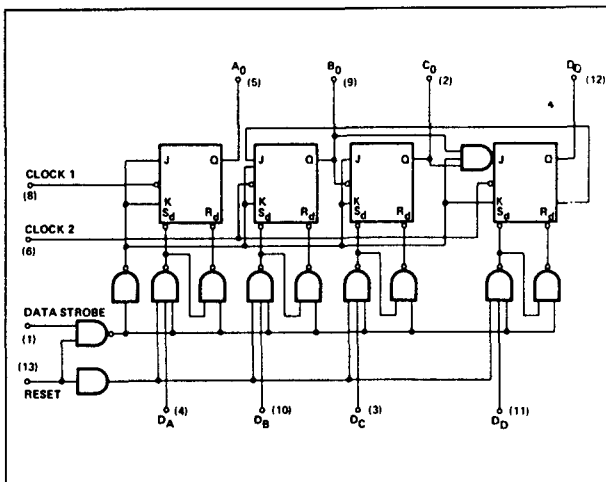
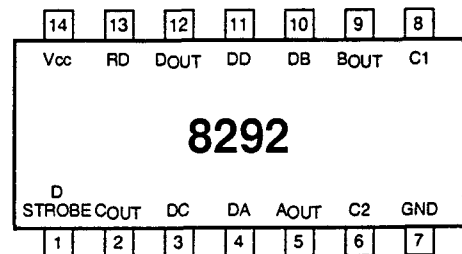
12.4 Diverse schakelingen 8xxx-serie DCL en TTL

# 8292

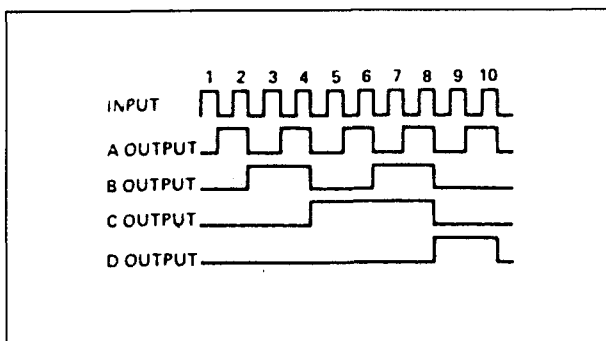
## presetbare low-power 10-teller geheugen- element

met gestrobede data-ingangen en  
reset (BCD, :2/:5 of biquinair)

Figuur 4/12.4-8292.



Intern schema.



Timing diagram.

8292								
BI QUINARY (5-2)					DECADE(BCD)			
Input	B <sub>0</sub>	C <sub>0</sub>	D <sub>0</sub>	A <sub>0</sub>	A <sub>0</sub>	B <sub>0</sub>	C <sub>0</sub>	D <sub>0</sub>
0	0	0	0	0	0	0	0	0
1	1	0	0	0	1	0	0	0
2	0	1	0	0	0	1	0	0
3	1	1	0	0	1	1	0	0
4	0	0	1	0	0	0	1	0
5	0	0	0	1	1	0	1	0
6	1	0	0	1	0	1	1	0
7	0	1	0	1	1	1	1	0
8	1	1	0	1	0	0	0	1
9	0	0	1	1	1	0	0	1
10								
11								
12								
13								
14								
15								

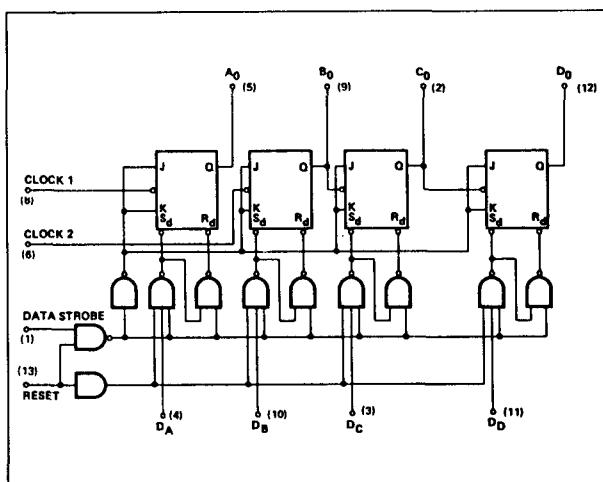
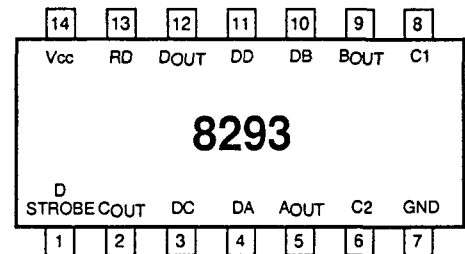
Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

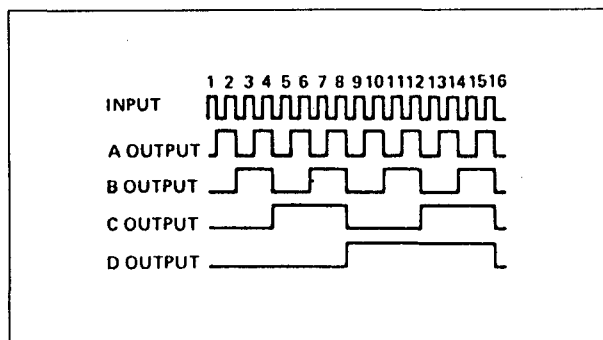
## 8293

presetbare low-power  
4-bit binaire teller  
met gestrobede data-ingangen en  
reset (:2, :4, :8, :16)

Figuur 4/12.4-8293.



Intern schema.



Timing diagram.

8293				
BINARY				
Input	A <sub>0</sub>	B <sub>0</sub>	C <sub>0</sub>	D <sub>0</sub>
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1

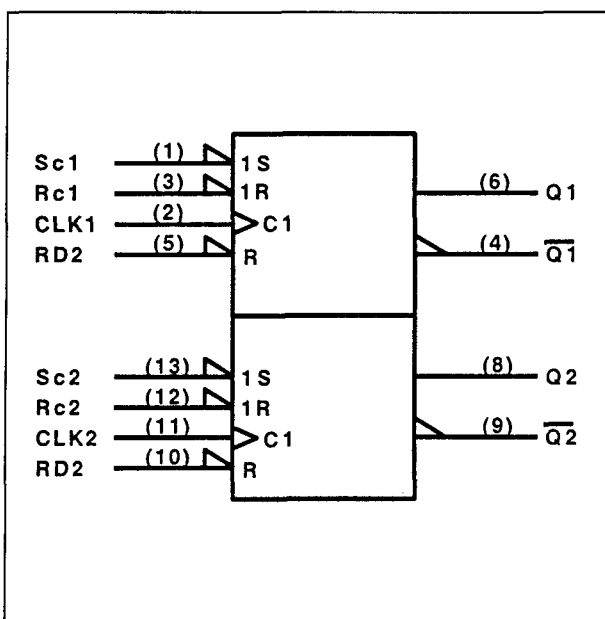
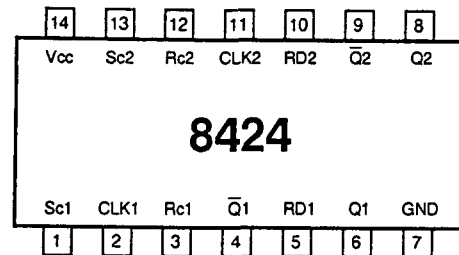
Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

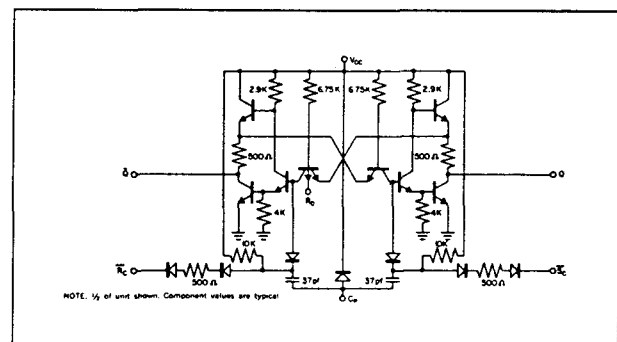
## 8424

2 DCL set/reset flip-flop's  
met synchrone set en reset en asyn-  
chrone reset

Figuur 4/12.4-8424.



Logisch diagram.



Intern schema.

$\overline{R}_{Cn}$	$\overline{S}_{Cn}$	$Q_{n-1}$
1	0	1
0	1	0
1	1	Q
0	0	?

$$\overline{R}_D = 0 \Rightarrow Q = 0$$

n is time prior to clock  
n-1 is time following clock

Waarheidstabel.

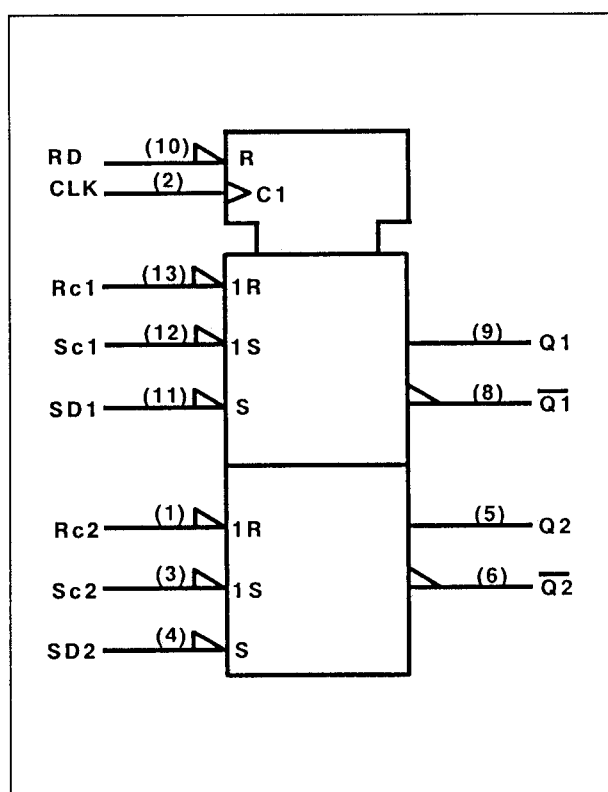
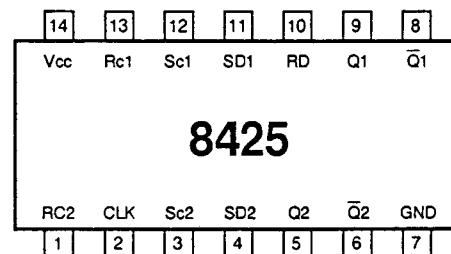
## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8425

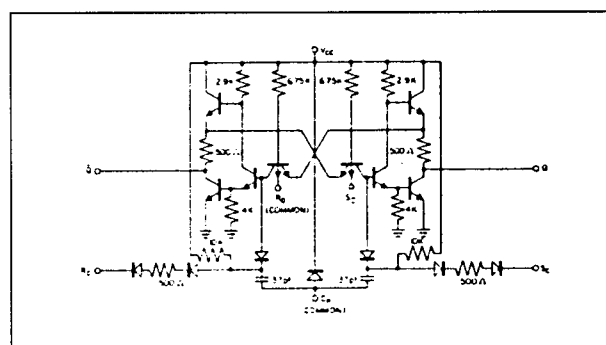
2 DCL set/reset  
flip-flop's

met gemeenschappelijke clock,  
gemeenschappelijke asynchrone  
reset, asynchrone set's en  
synchrone set en reset-ingangen

Figuur 4/12.4-8425.



Logisch diagram.



Intern schema.

$\overline{R}_{C_n}$	$\overline{S}_{C_n}$	$Q_{n-1}$	$\overline{R}_D$	$\overline{S}_D$	$Q$
1	0	1	1	0	1
0	1	0	0	1	0
1	1	Q	1	1	Q
0	0	?	0	0	*

n is time prior to clock

\*Both outputs go to "1" state until  $R_D$  or  $S_D$  rises.

Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

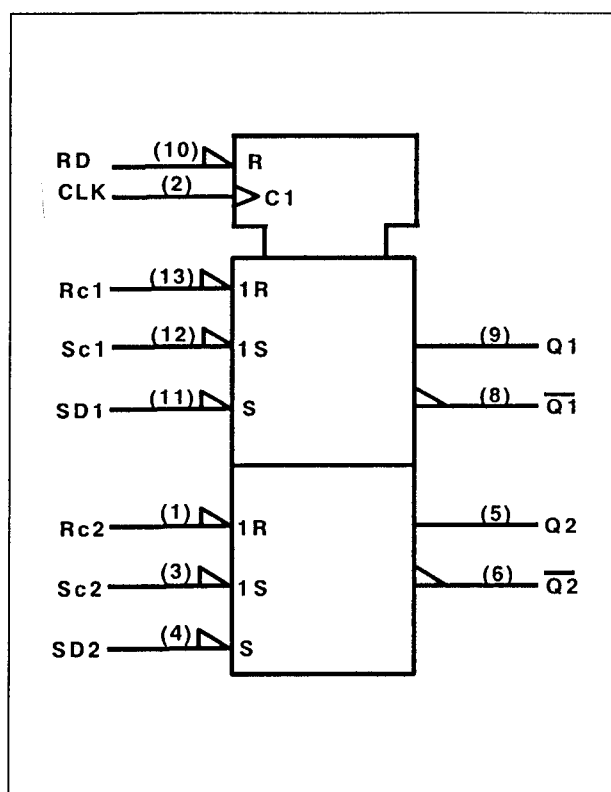
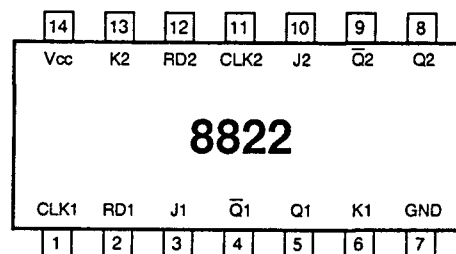
## 8822

## 2 DCL master-slave

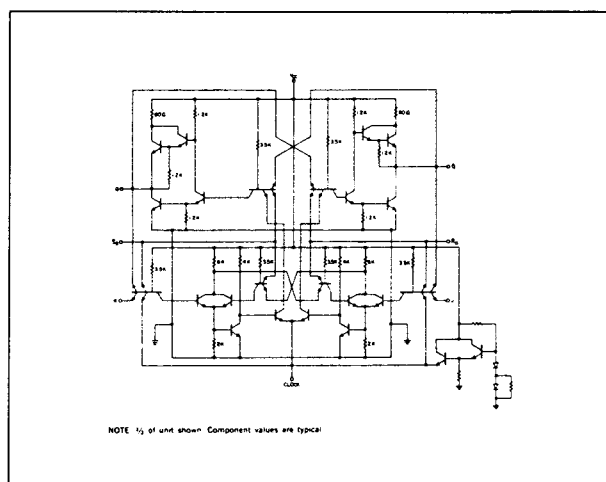
## flip-flop's

met JK-ingangen en asynchrone  
reset-ingangen

Figuur 4/12.4-8822.



Logisch diagram.



Intern schema.

8822		
$J_n$	$K_n$	$Q_{n+1}$
0	0	$Q_n$
1	0	1
0	1	0
1	1	$\overline{Q}_n$

$\overline{R}_D = 0 \Rightarrow Q = 0$

Waarheidstabel.

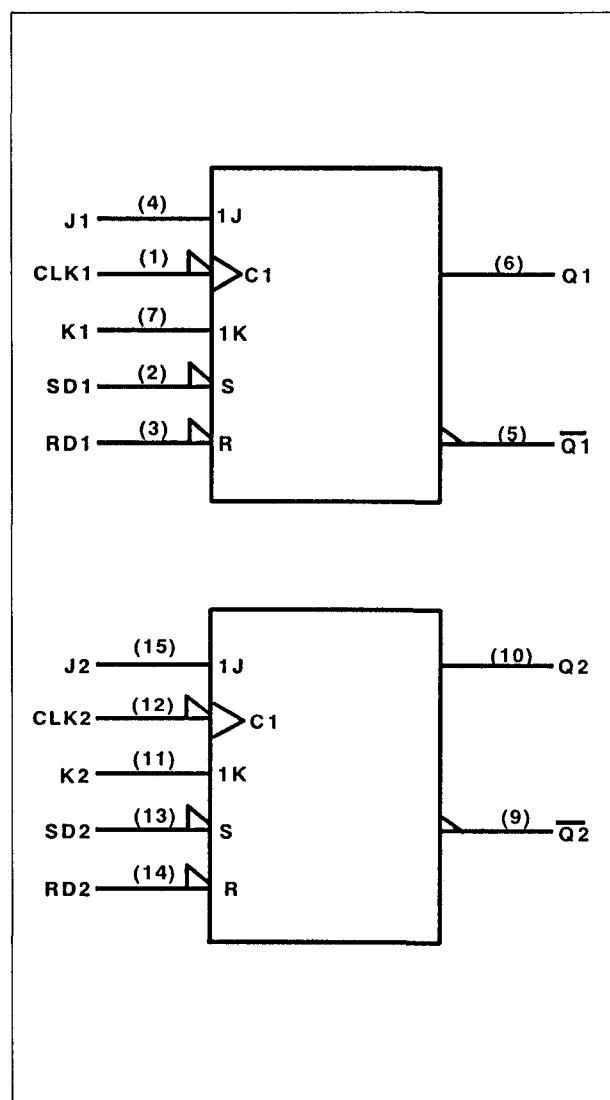
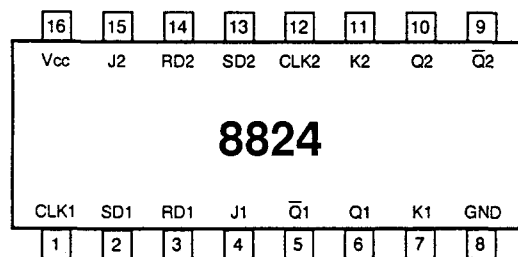


## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

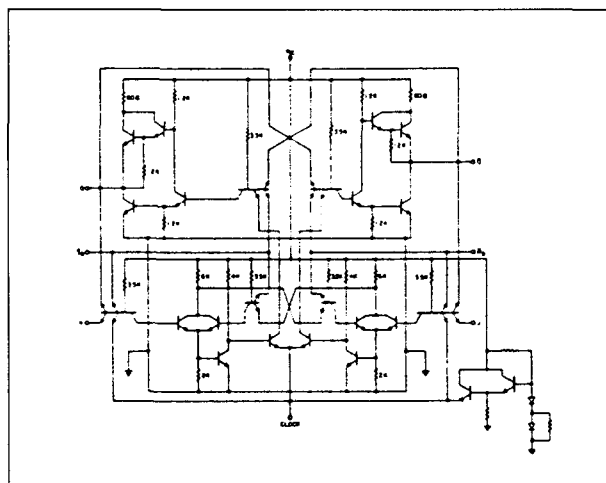
**8824****2 DCL master-slave****flip-flop's**

met JK-ingangen en asynchrone set en reset

Figuur 4/12.4-8824.



Logisch diagram.



Intern schema.

$J_n$	$K_n$	$Q_{n+1}$	$\bar{S}_D$	$\bar{R}_D$	$Q$
0	0	$Q_n$	0	0	†
1	0	1	1	0	0
0	1	0	0	1	1
1	1	$\bar{Q}_n$	1	1	$Q$

†  $Q = \bar{Q} = 1$

Waarheidstabel.

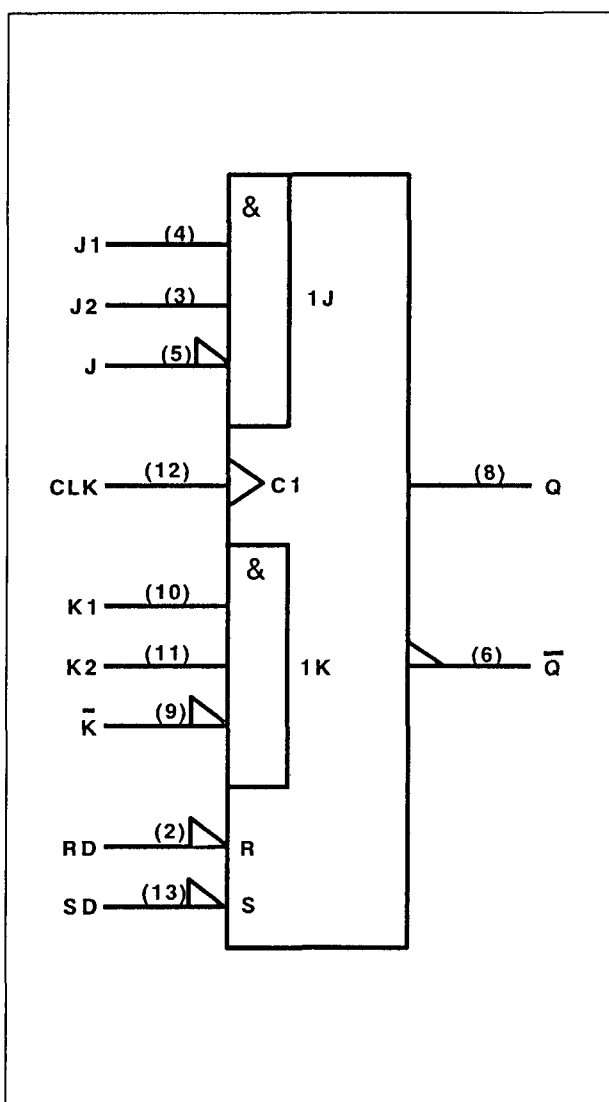
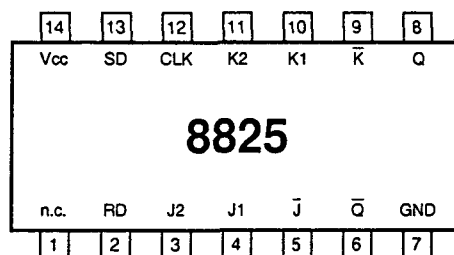
## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8825

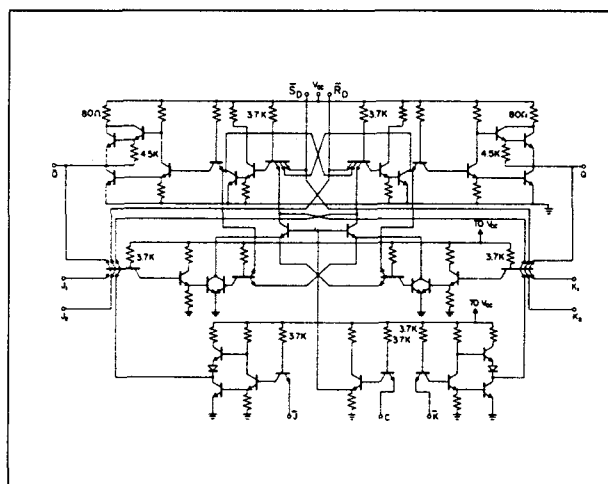
## DCL JK flip-flop's

met J, J,  $\bar{J}$ , K, K,  $\bar{K}$  ingangen en  
asynchrone set en reset

Figuur 4/12.4-8825.



Logisch diagram.



Intern schema.

$J_n$	$K_n$	$Q_{n+1}$	$\bar{S}_D$	$\bar{R}_D$	$Q$
0	0	$Q_n$	1	0	†
1	0	1	1	0	0
0	1	0	0	1	1
1	1	$\bar{Q}_n$	1	1	$\bar{Q}$

$$J = J_1 J_2 \bar{J} \quad K = K_1 K_2 \bar{K}$$

$n$  is time prior to clock

$n + 1$  is time following clock

† Both outputs in 0 state

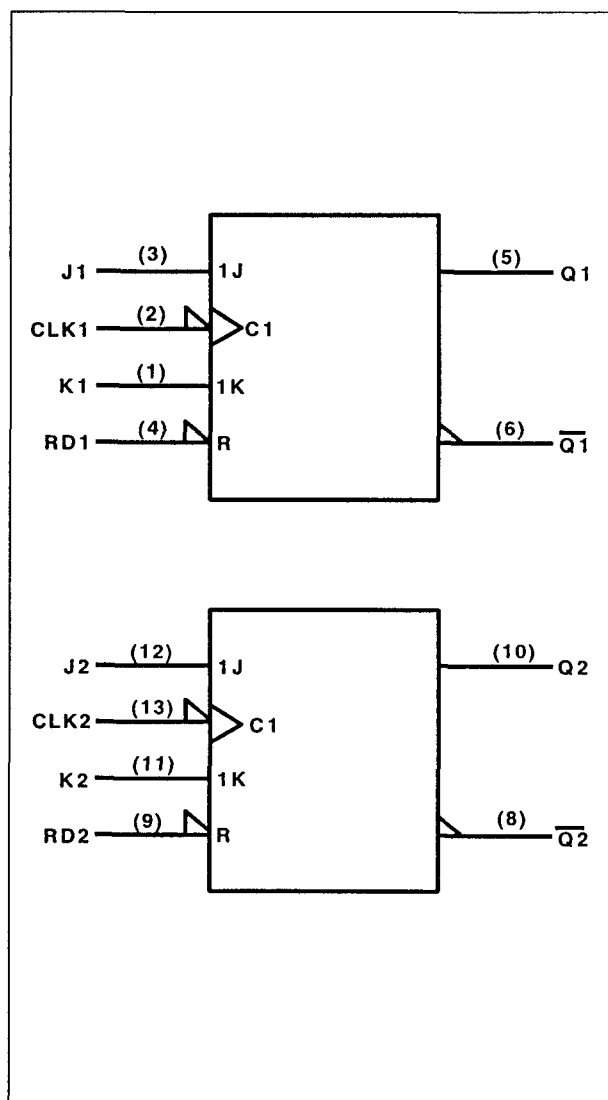
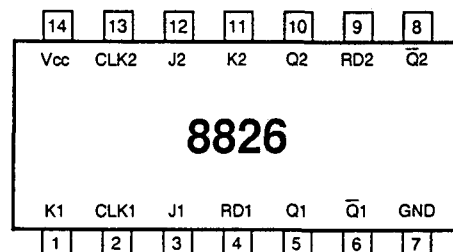
Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

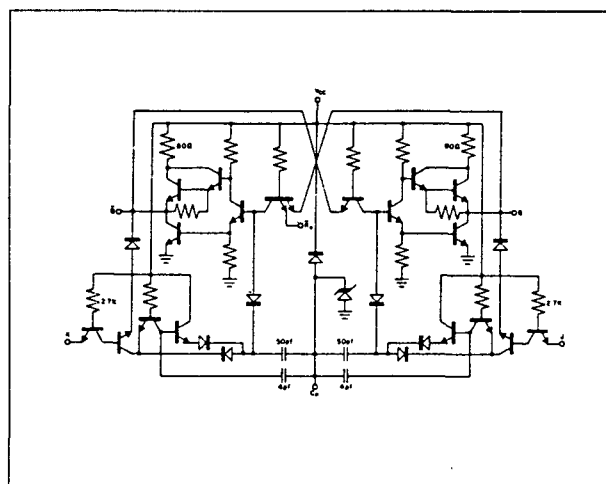
## 8826

2 DCL JK flip-flop's  
met aparte J, K, clock, Q,  $\bar{Q}$  en  
resetlijnen voor frequenties tot  
25 MHz

Figuur 4/12.4-8826.



Logisch diagram.



Intern schema.

$J_n$	$K_n$	$Q_{n+1}$
0	0	$Q_n$
1	0	1
0	1	0
1	1	$\bar{Q}_n$

$$\bar{R}_D = 0 \Rightarrow Q = 0$$

$n$  is time prior to clock  
 $n+1$  is time following clock

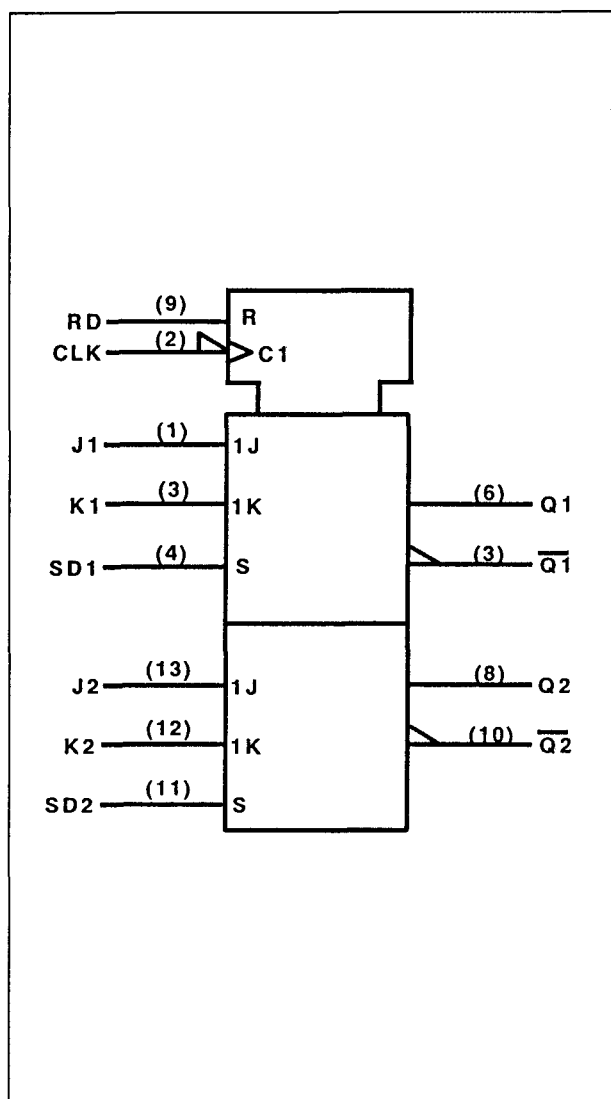
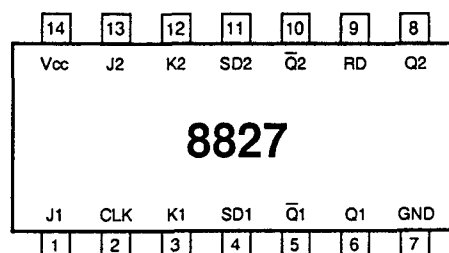
Waarheidstabel.

## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

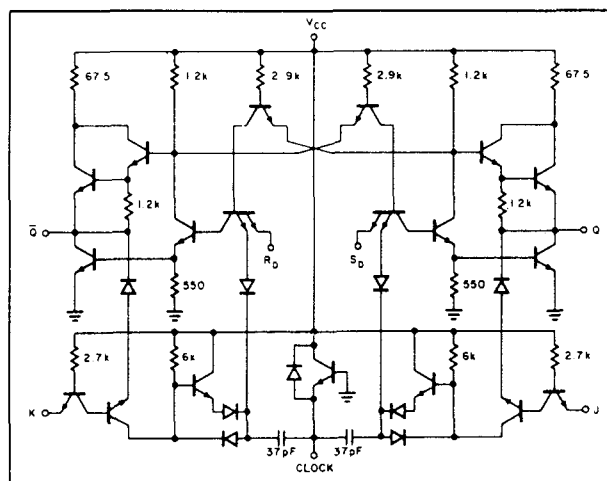
## 8827

2 DCL JK flip-flop's  
met gemeenschappelijke clock en  
gemeenschappelijke asynchrone  
reset en aparte set-ingangen

Figuur 4/12.4-8827.



Logisch diagram.



Intern schema.

$J_n$	$K_n$	$Q_{n+1}$	$\bar{S}_D$	$\bar{R}_D$	$Q$
0	0	$Q_n$	1	1	$Q$
1	0	1	1	0	0
0	1	0	0	1	1
1	1	$\bar{Q}_n$	0	0	†

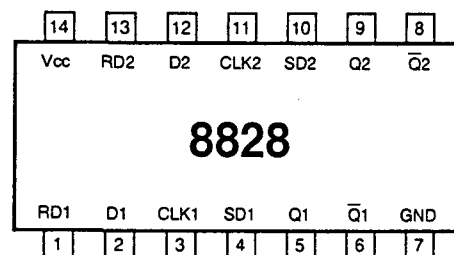
$n$  is time prior to clock  
 $n+1$  is time following clock  
 $†$  = both outputs in "1" state

Waarheidstabel.

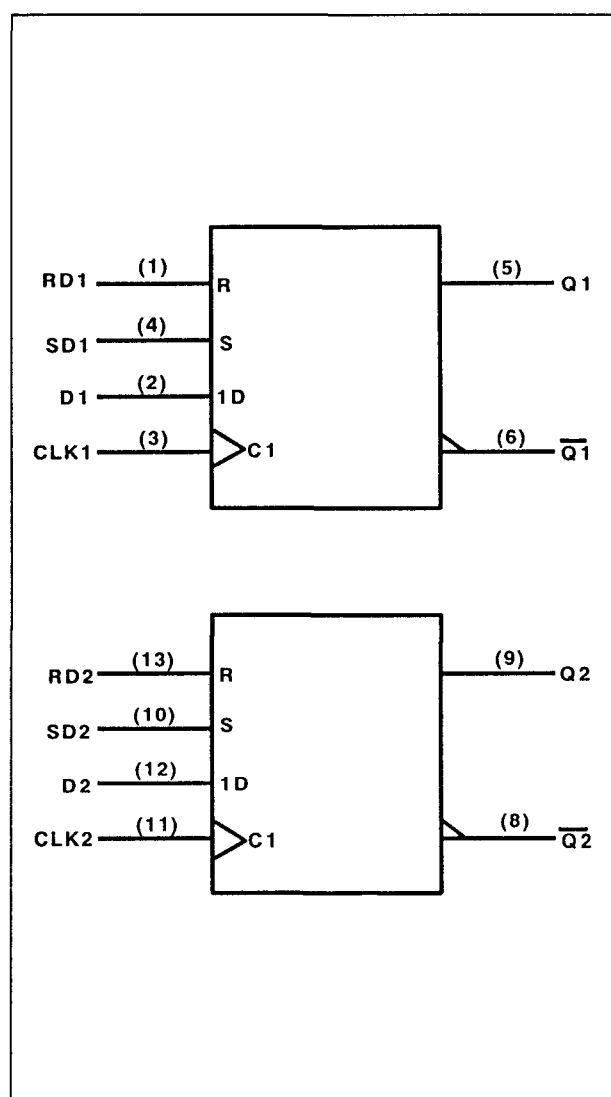
## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8828

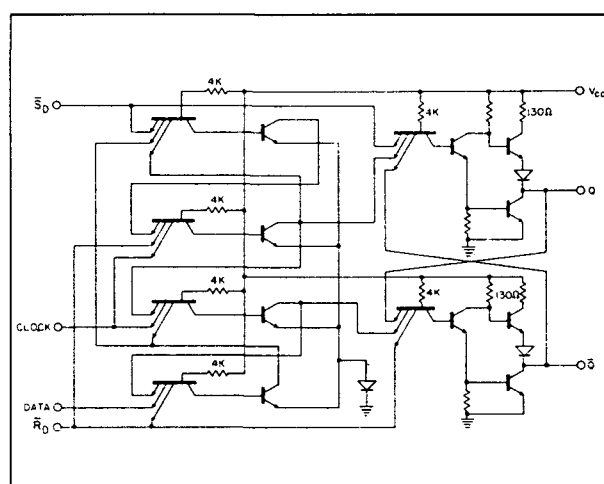
2 DCL D flip-flop's  
met asynchrone set/reset



Figuur 4/12.4-8828.



Logisch diagram.



Intern schema.

$D_n$	$Q_{n-1}$	$\bar{Q}_{n-1}$
1	1	0
0	0	1
$\bar{S}_D$	$\bar{R}_D$	$Q$
1	1	$Q$
1	0	0
0	1	1
0	0	$\uparrow$

\* Both outputs in 1 state

n is time prior to clock

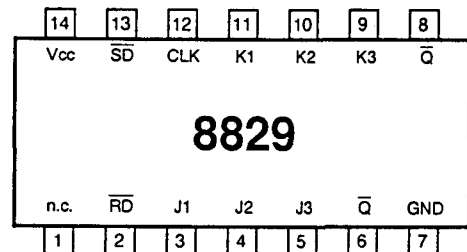
n+1 is time following clock

Waarheidstabel.

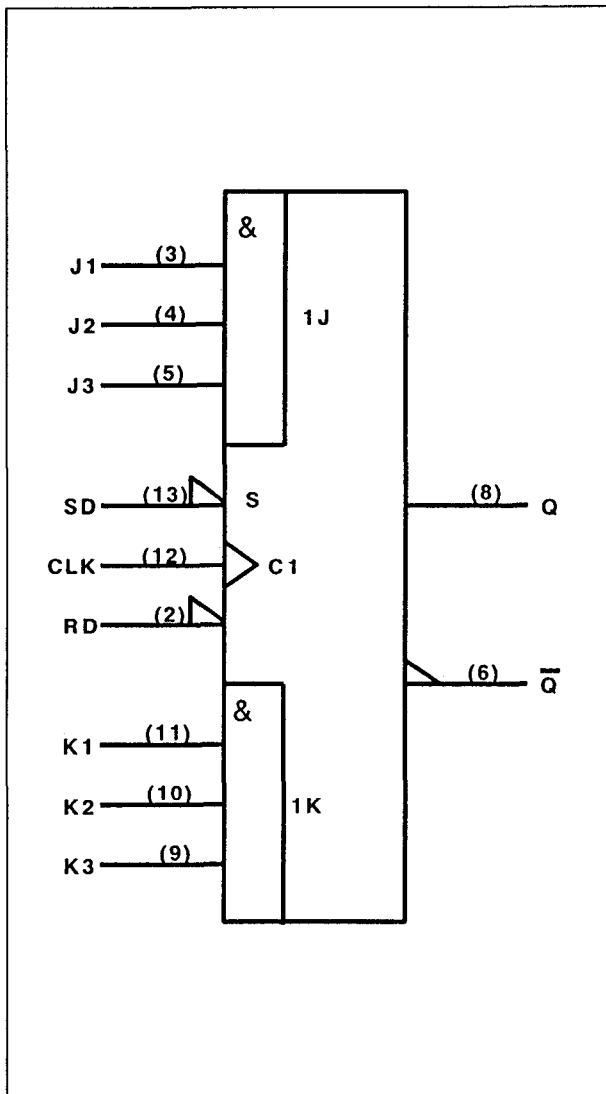
## 12.4 Diverse schakelingen 8xxx-serie DCL en TTL

## 8829

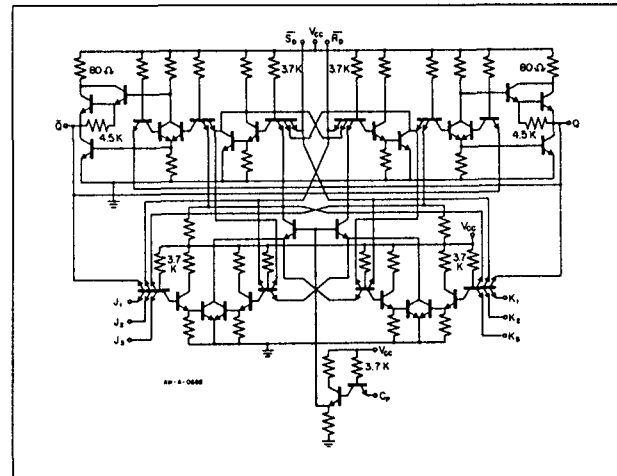
snelle DCL D flip-flop's  
met 3 J- en 3 K-ingangen en  
asynchrone set/reset



Figuur 4/12.4-8829.



Logisch diagram.



Intern schema.

$J_n$	$K_n$	$Q_{n+1}$	$\bar{S}_D$	$\bar{R}_D$	$Q$
0	0	$Q_n$	0	0	†
1	0	1	1	0	0
0	1	0	0	1	1
1	1	$\bar{Q}_n$	1	1	$Q$

$$J = J_1 J_2 J_3 \quad K = K_1 K_2 K_3$$

$n$  is time prior to clock

$n + 1$  is time following clock

† Both outputs in 0 state

Waarheidstabel.

## 4/12.5

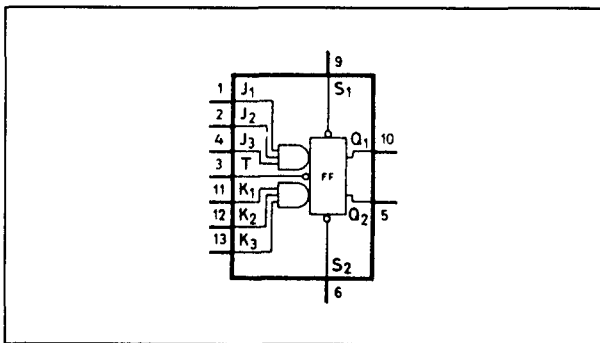
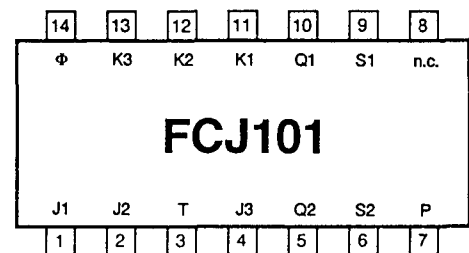
## Diverse schakelingen FC-serie DTL

## FCJ 101

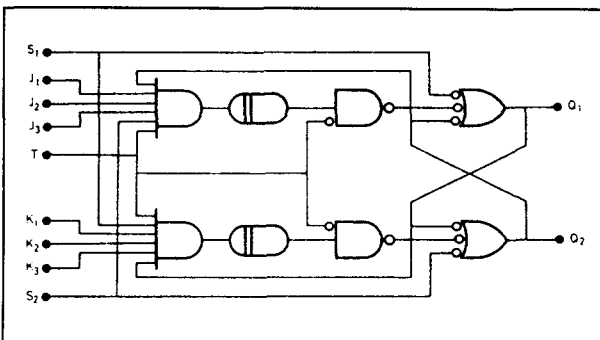
enkele J-K flip-flop  
met set en reset

J-K flip-flop met 3 J- en 3 K-  
ingangen. Triggering gebeurt op de  
dalende flank van T. Directe actief-  
LAGE set- en reset-ingangen (over-  
riding). Fan-out: 8

Figuur 4/12.5-101.



Logisch symbool.



Logisch schema.

Trigger action via T terminal

T = HIGH		T = LOW	
J	K	Q <sub>1</sub>	Q <sub>2</sub>
H	H	reversed	
L	H	L	H
H	L	H	L
L	L	no change	

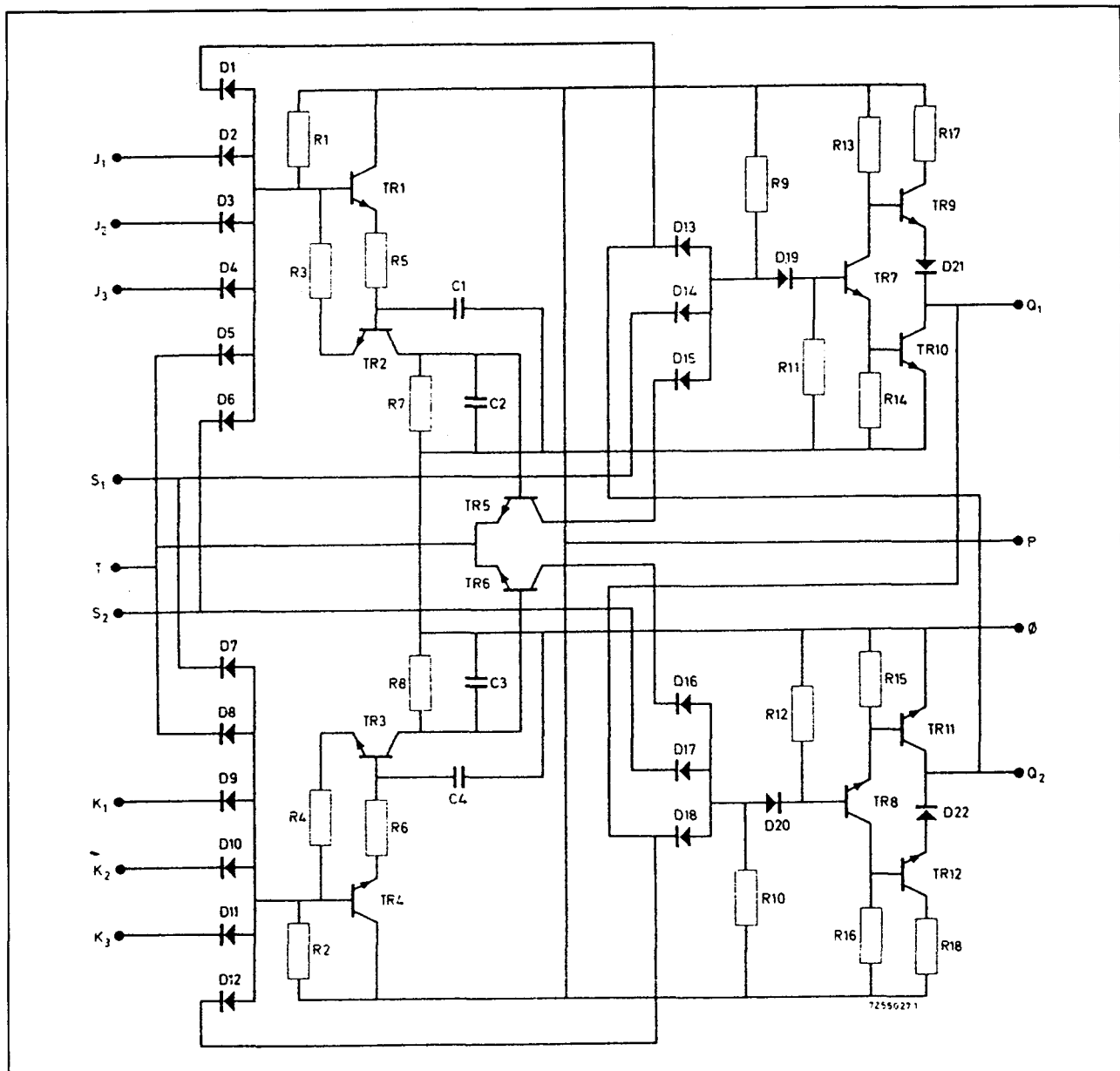
$$\left. \begin{array}{l} J = J_1 \cdot J_2 \cdot J_3 \\ K = K_1 \cdot K_2 \cdot K_3 \end{array} \right\} \text{ for positive logic}$$

Set or reset via S terminals

S <sub>1</sub>	S <sub>2</sub>	Q <sub>1</sub>	Q <sub>2</sub>
H	L	L	H
L	H	H	L
L	L	H	H
H	H	no change	

Waarheidstabellen.

## 12.5 Diverse schakelingen FC-serie DTL



Functioneel schema.



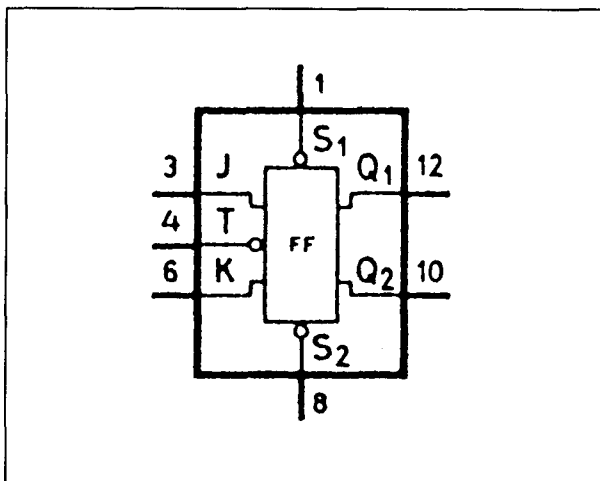
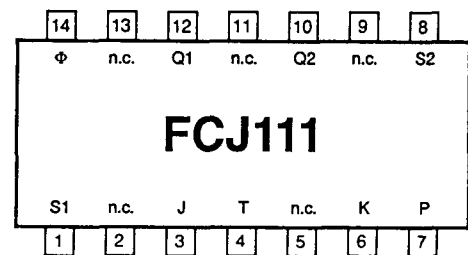
## 12.5 Diverse schakelingen FC-serie DTL

## FCJ 111

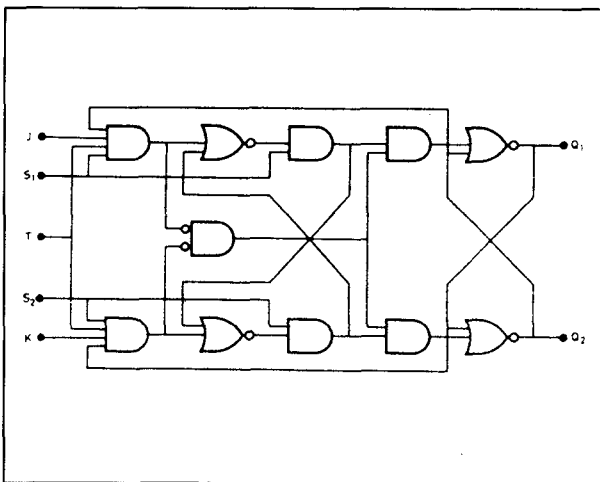
### enkele J-K master-slave flip-flop met set en reset

Direct gekoppelde J-K master-slave flip-flop. Werkt op signaal-niveaus (ongeacht snelheid daarvan). De J-, K- en T-ingangen zijn logisch equivalent, zodat ook op J of K kan worden getriggered. Directe actief-LAGE set- en reset-ingangen (overriding). Fan-out: 8

Figuur 4/12.5-111.



Logisch symbol.



Logisch schema.

Trigger action via T terminal

T = HIGH		T = LOW	
J	K	Q <sub>1</sub>	Q <sub>2</sub>
H	H	reversed	
L	H	L	H
H	L	H	L
L	L	no change	

Trigger action via J and K terminals

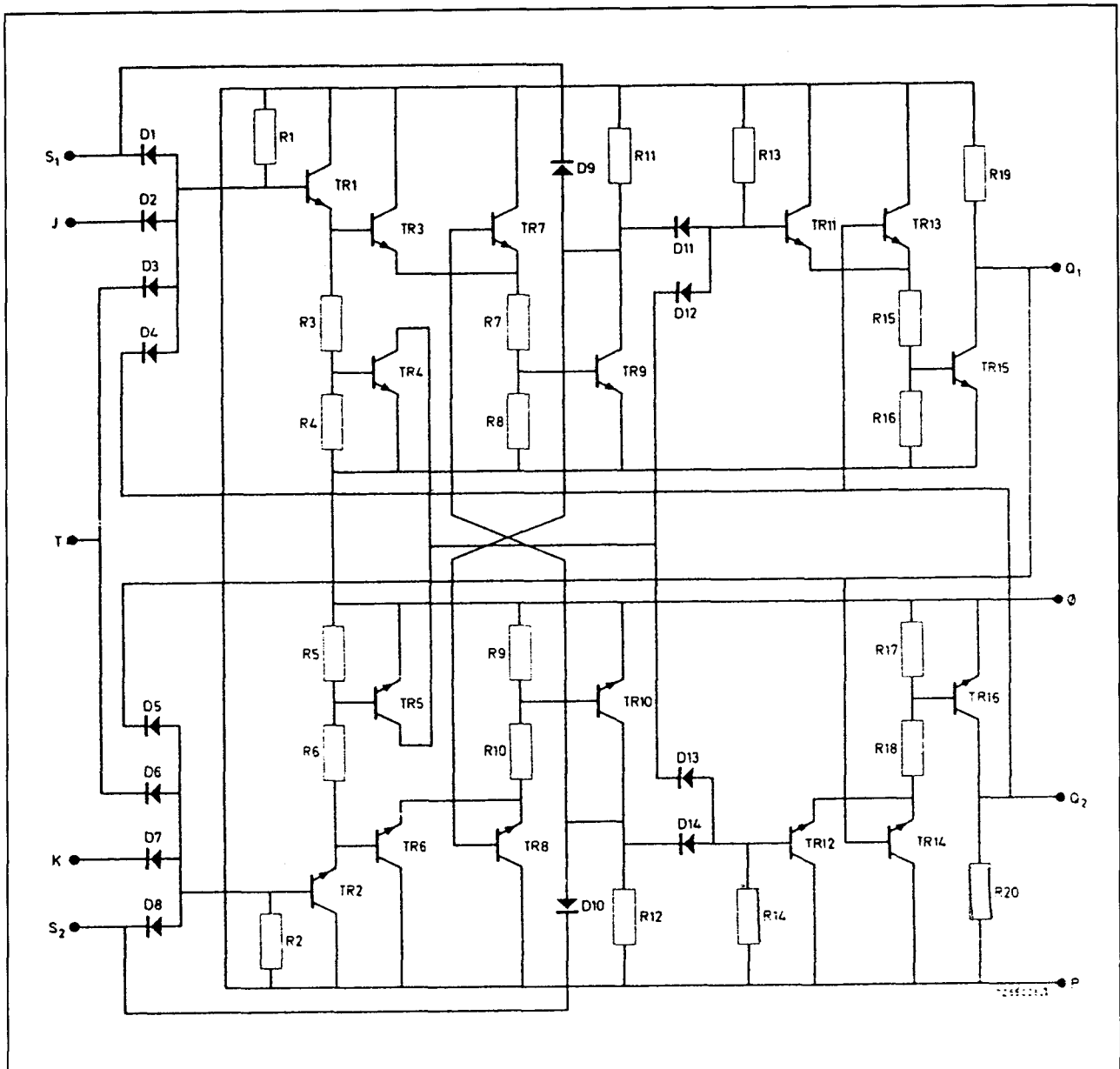
J	K	Q <sub>1</sub>	Q <sub>2</sub>
H → L	X	H	L
X	H → L	L	H
H → L	H → L	reversed	

Set or reset via S terminals

S <sub>1</sub>	S <sub>2</sub>	Q <sub>1</sub>	Q <sub>2</sub>
H	L	L	H
L	H	H	L
L	L	indeterminate	
H	H	no change	

Waarheidstabellen.

## 12.5 Diverse schakelingen FC-serie DTL



Functioneel schema.

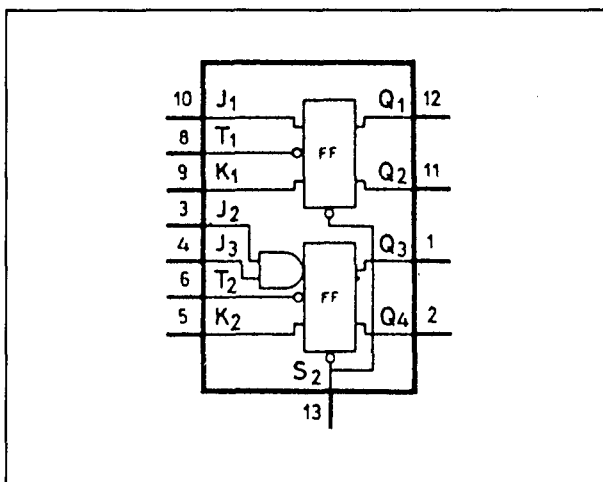
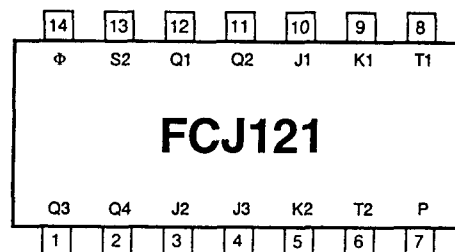
## 12.5 Diverse schakelingen FC-serie DTL

## FCJ 121

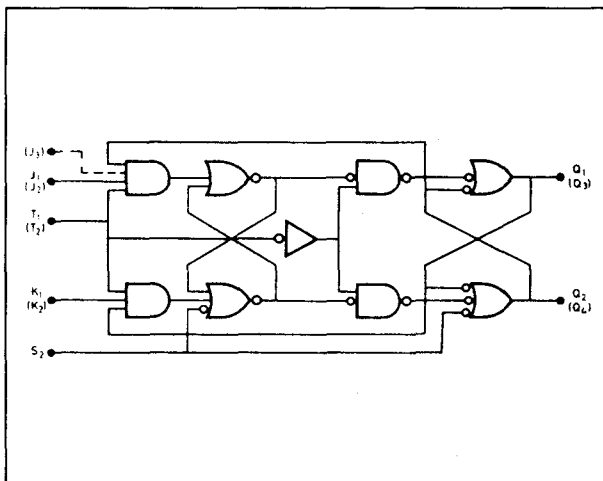
# dubbele J-K master-slave flip-flop met set

Twee onafhankelijke direct gekoppelde J-K master-slave flip-flop's. Werkt op signaal-niveaus (ongeacht snelheid daarvan). Directe actief-LAGE, gemeenschappelijke set-ingang (overriding). Fan-out: 8

Figuur 4/12.5-121.



Logisch symbool.



Logisch schema.

## Trigger action via T terminal

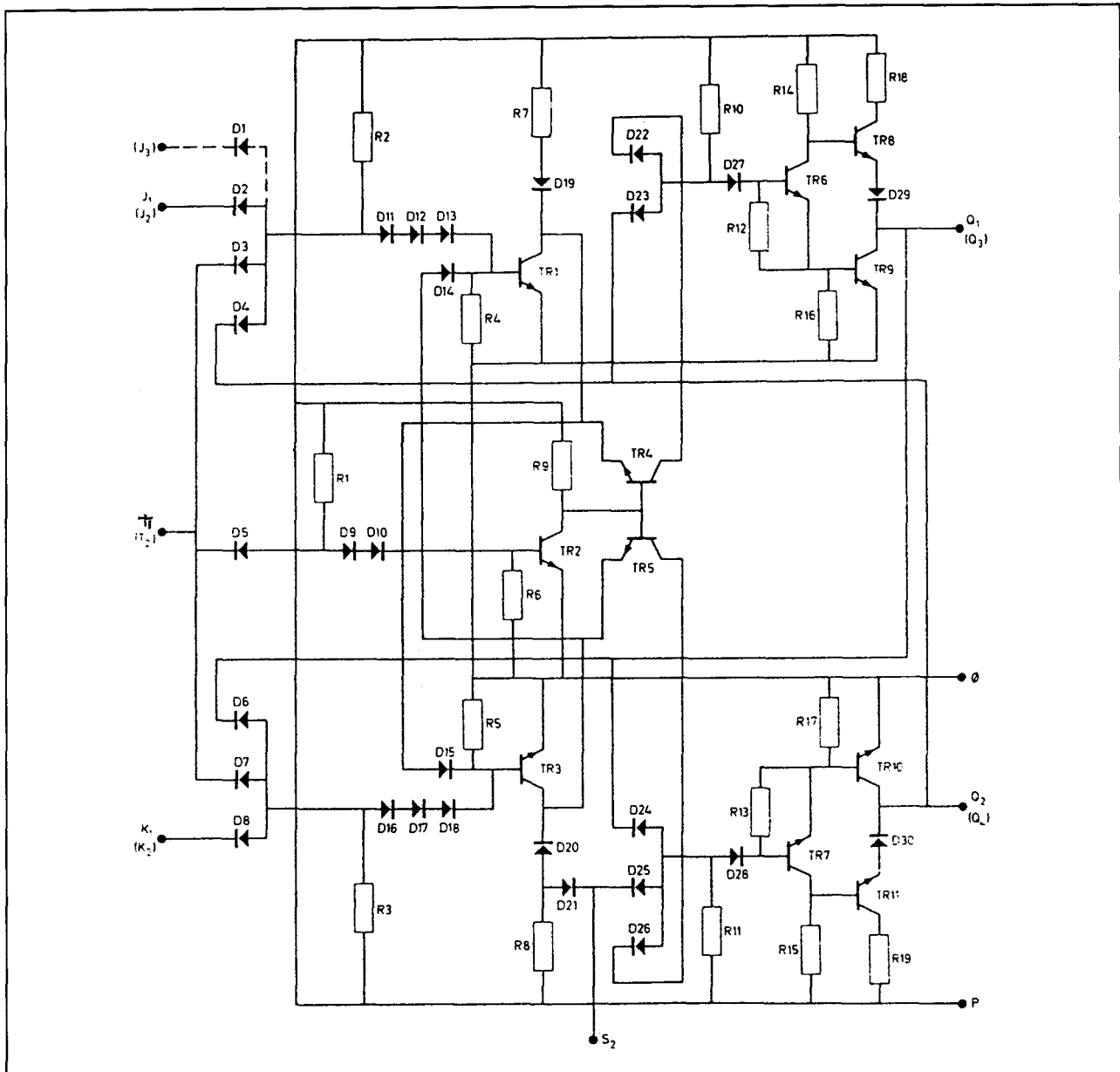
T = HIGH		T = LOW	
J <sub>1</sub>	K <sub>1</sub>	Q <sub>1</sub>	Q <sub>2</sub>
J <sub>2</sub>	K <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>
H	H	reversed	
L	H	L	H
H	L	H	L
L	L	no change	

Set or Reset via S<sub>2</sub> terminal

S <sub>2</sub>	Q <sub>1</sub>	Q <sub>2</sub>
S <sub>4</sub>	Q <sub>3</sub>	Q <sub>4</sub>
L	L	H
H	no change	

Waarheidstabellen.

## 12.5 Diverse schakelingen FC-serie DTL



Functioneel schema.

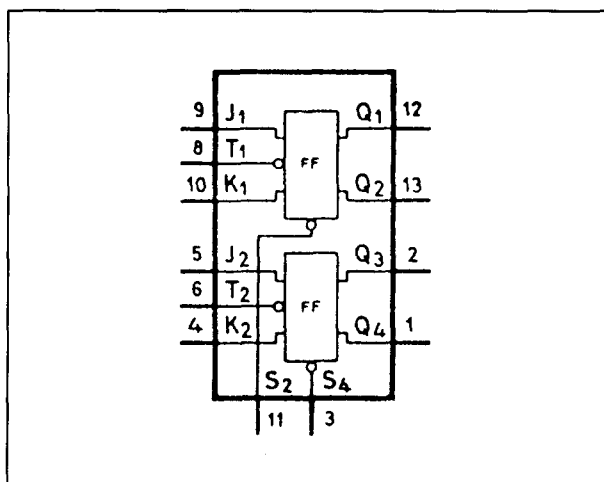
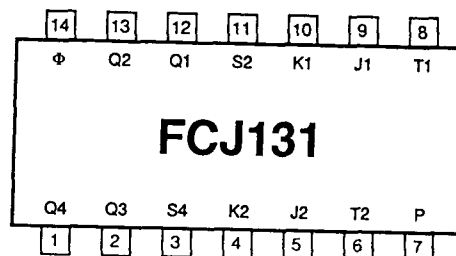
## 12.5 Diverse schakelingen FC-serie DTL

## FCJ 131

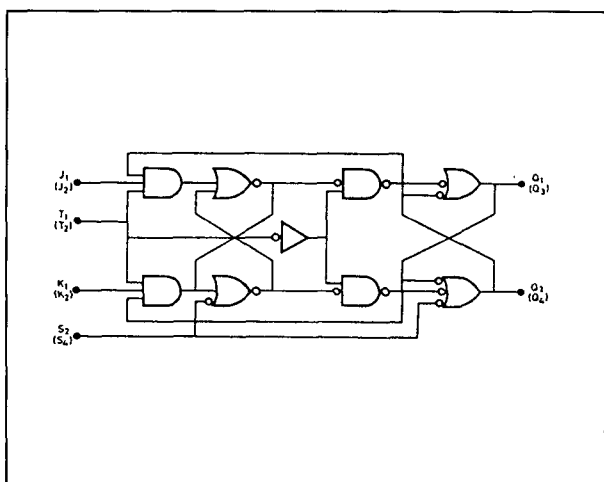
# dubbele J-K master-slave flip-flop met set

Twee onafhankelijke, direct gekoppelde J-K master-slave flip-flop's. Werkt op signaal-niveaus (ongeacht snelheid daarvan). Twee directe actief-LAGE, gemeenschappelijke set-ingangen (overriding). Fan-out: 8

Figuur 4/12.5-131.



Logisch symbol.



Logisch schema.

## Trigger action via T terminal

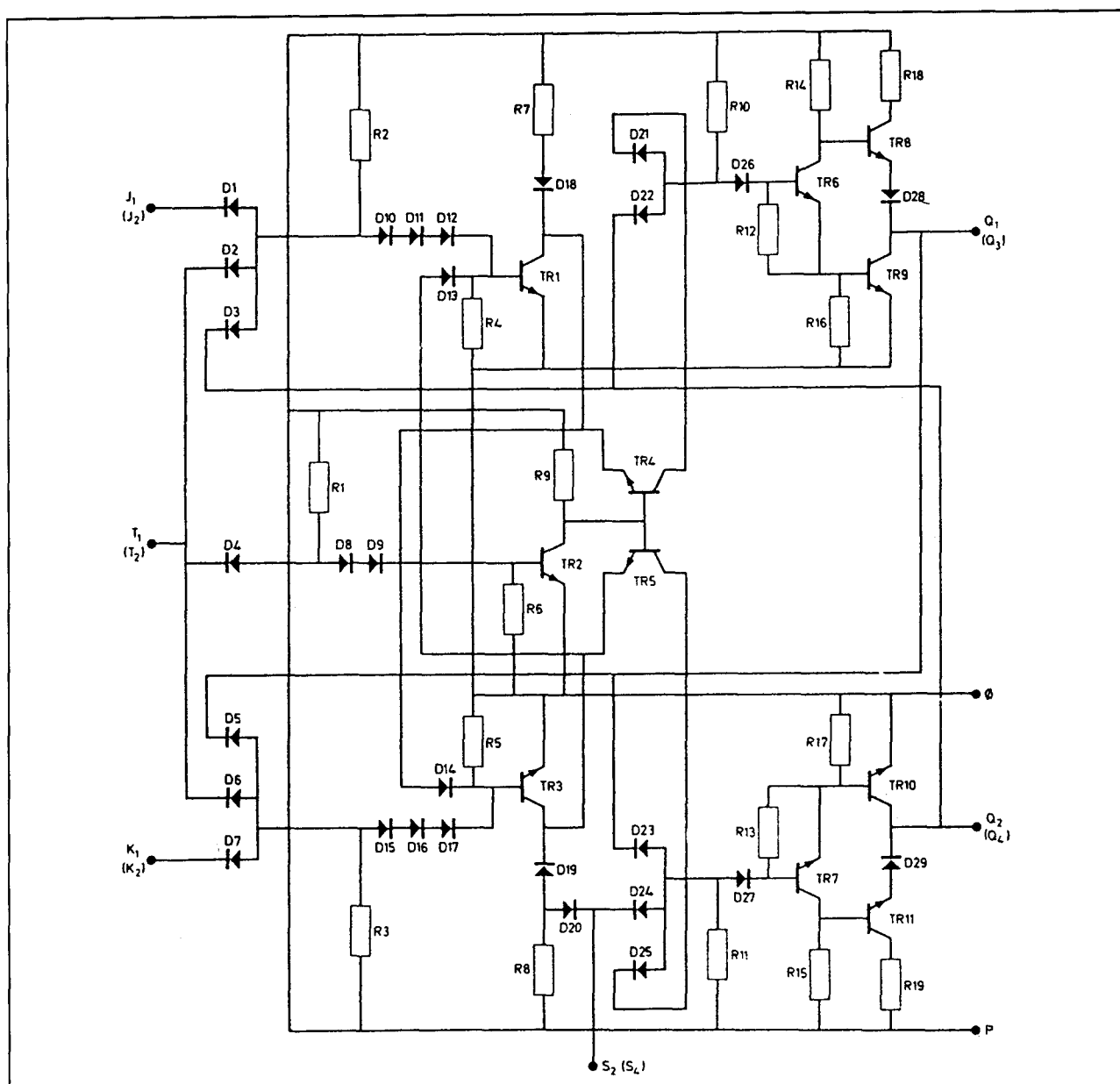
T = HIGH		T = LOW	
J <sub>1</sub>	K <sub>1</sub>	Q <sub>1</sub>	Q <sub>2</sub>
J <sub>2</sub>	K <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>
H	H	reversed	
L	H	L	H
H	L	H	L
L	L	no change	

## Set or reset via S terminals

S <sub>2</sub>	Q <sub>1</sub>	Q <sub>2</sub>
S <sub>4</sub>	Q <sub>3</sub>	Q <sub>4</sub>
L	L	H
H	no change	

Waarheidstabellen.

## 12.5 Diverse schakelingen FC-serie DTL



Functioneel schema.

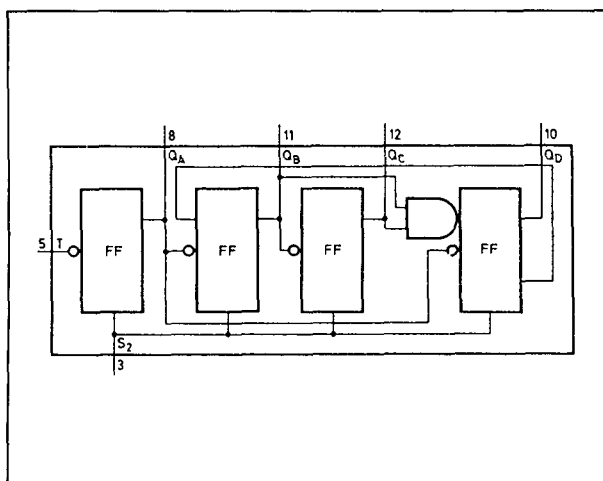
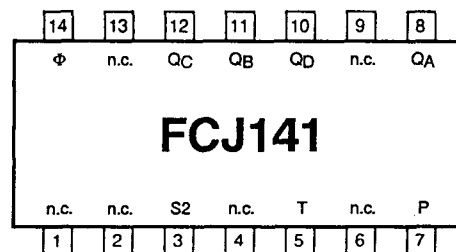
## 12.5 Diverse schakelingen FC-serie DTL

## FCJ 141

## asynchrone 10-teller

Asynchrone 8-4-2-1 decade-teller, opgebouwd uit vier master-slave flip-flop's. Informatie komt in de master als het trigger-sigitaal HOOG is en wordt overgebracht naar de slave als het trigger-sigitaal LAAG is. Heeft een gemeenschappelijke set-ingang S2 (overriding T). Fan-out: 8

Figuur 4/12.5-141.



Logisch symbool.

Count	OUTPUT			
	QD	QC	QB	QA
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

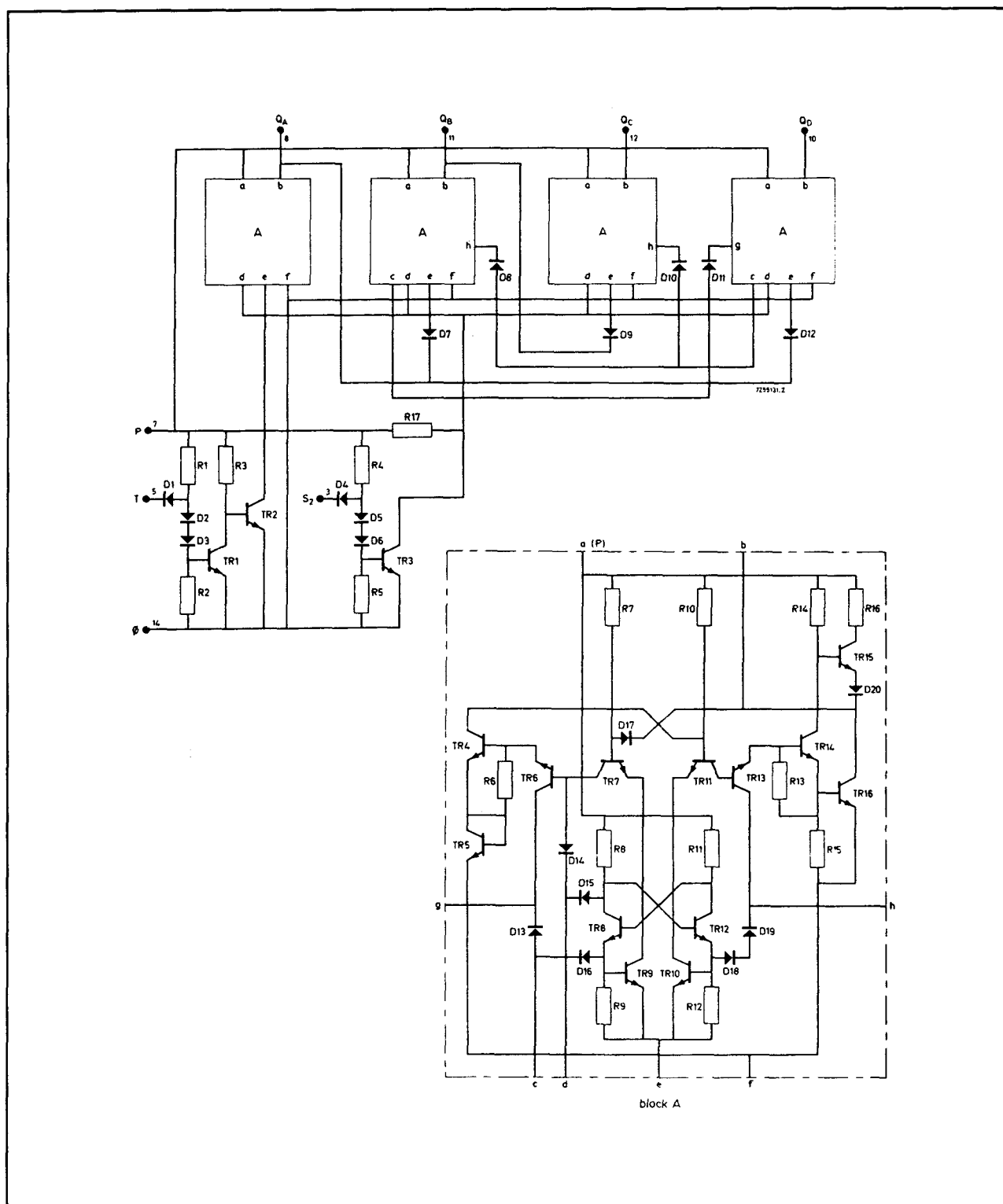
S2	QD	QC	QB	QA
L	count			
H	L	L	L	L

Input S when being at the HIGH state overrides the count input and directly resets all outputs in the LOW state

H = HIGH state (the more positive voltage)  
L = LOW state (the less positive voltage)

Waarheidstabellen.

## 12.5 Diverse schakelingen FC-serie DTL



Functioneel schema.

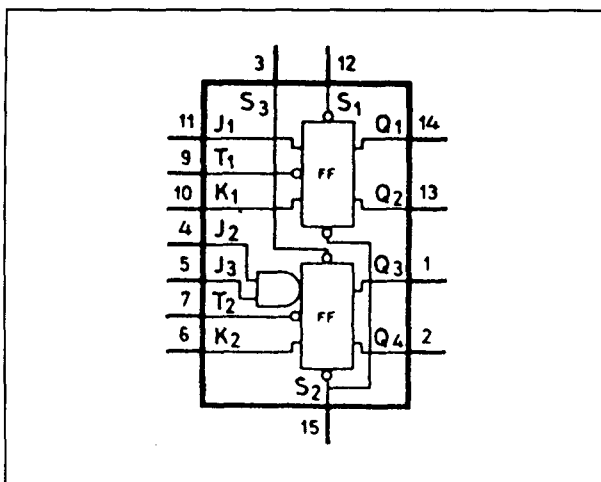
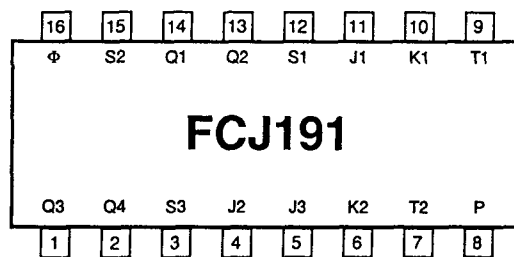


## 12.5 Diverse schakelingen FC-serie DTL

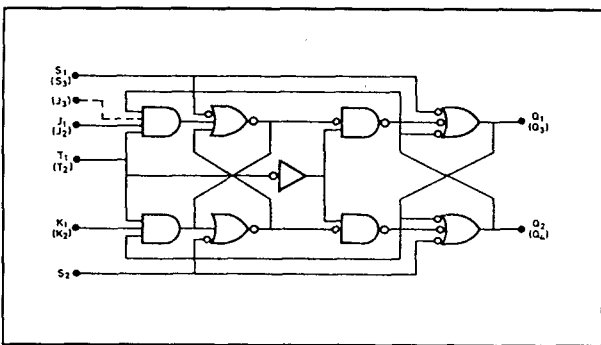
**FCJ 191****dubbele J-K****master-slave flip-flop  
met aparte set- en  
gemeenschappelijke  
reset-ingangen**

Twee onafhankelijke, direct gekoppelde J-K master-slave flip-flop's. Werkt op signaal-niveaus (ongeacht snelheid daarvan). Twee directe actief-LAGE set-ingangen en een gemeenschappelijke reset-ingang. Fan-out: 8

Figuur 4/12.5-191.



Logisch symbool.



Logisch schema.

## Trigger action via T terminal

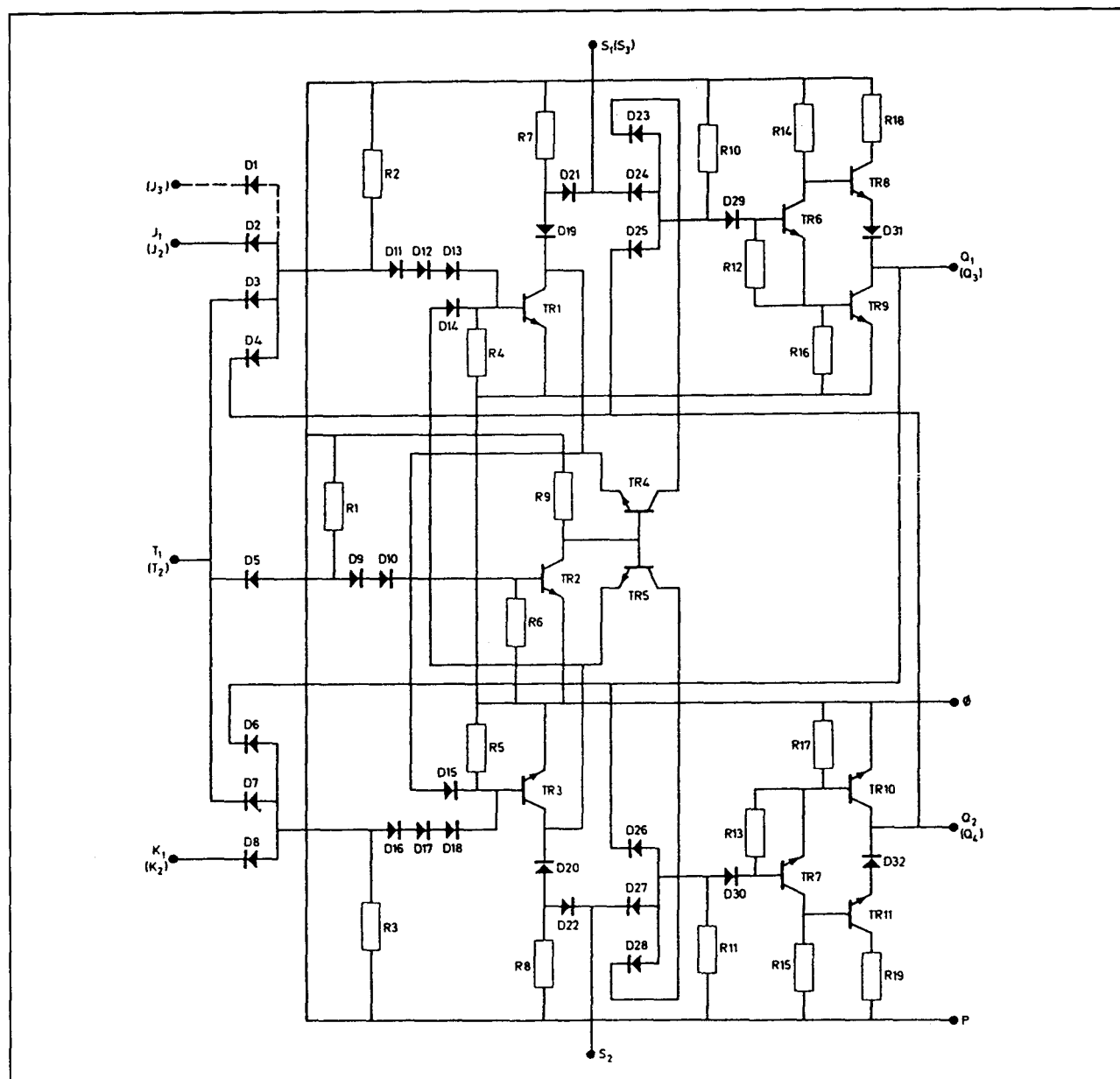
T = HIGH		T = LOW	
J <sub>1</sub>	K <sub>1</sub>	Q <sub>1</sub>	Q <sub>2</sub>
J	K <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>
H	H	reversed	
L	H	L	H
H	L	H	L
L	L	no change	

## Set or reset via S terminals

S <sub>1</sub>	S <sub>2</sub>	Q <sub>1</sub>	Q <sub>2</sub>
S <sub>3</sub>	S <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>
H	L	L	H
L	H	H	L
L	L	H	H
H	H	no change	

Waarheidstabellen.

## 12.5 Diverse schakelingen FC-serie DTL



Functioneel schema.

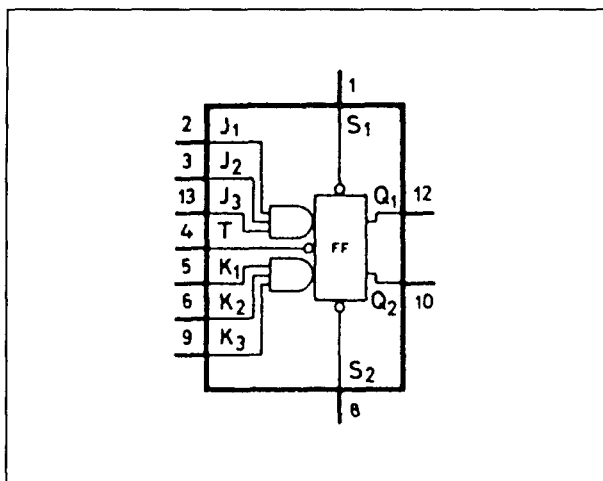
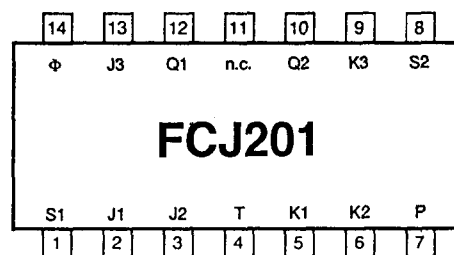
## 12.5 Diverse schakelingen FC-serie DTL

## FCJ 201

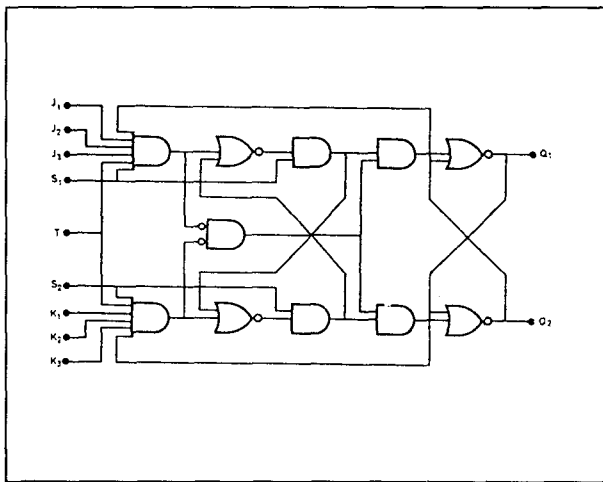
enkele J-K  
master-slave flip-flop  
met set en reset

Direct gekoppelde J-K master-slave flip-flop. Werkt op signaal-niveaus (ongeacht snelheid daarvan). De J-, K- en T-ingangen zijn logisch equivalent, zodat ook op J of K kan worden getriggered. Directe actief-LAGE set- en reset-ingangen (overriding). Fan-out: 8

Figuur 4/12.5-201.



Logisch symbool.



Logisch schema.

Trigger action via T terminal

T = HIGH		T = LOW	
J	K	Q <sub>1</sub>	Q <sub>2</sub>
H	H	reversed	
L	H	L	H
H	L	H	L
L	L	no change	

$$J = J_1 \cdot J_2 \cdot J_3; K = K_1 \cdot K_2 \cdot K_3$$

Trigger action via J and K terminals

J	K	Q <sub>1</sub>	Q <sub>2</sub>
H → L	X	H	L
X	H → L	L	H
H → L	H → L	reversed	

$$J = J_1 \cdot J_2 \cdot J_3; K = K_1 \cdot K_2 \cdot K_3$$

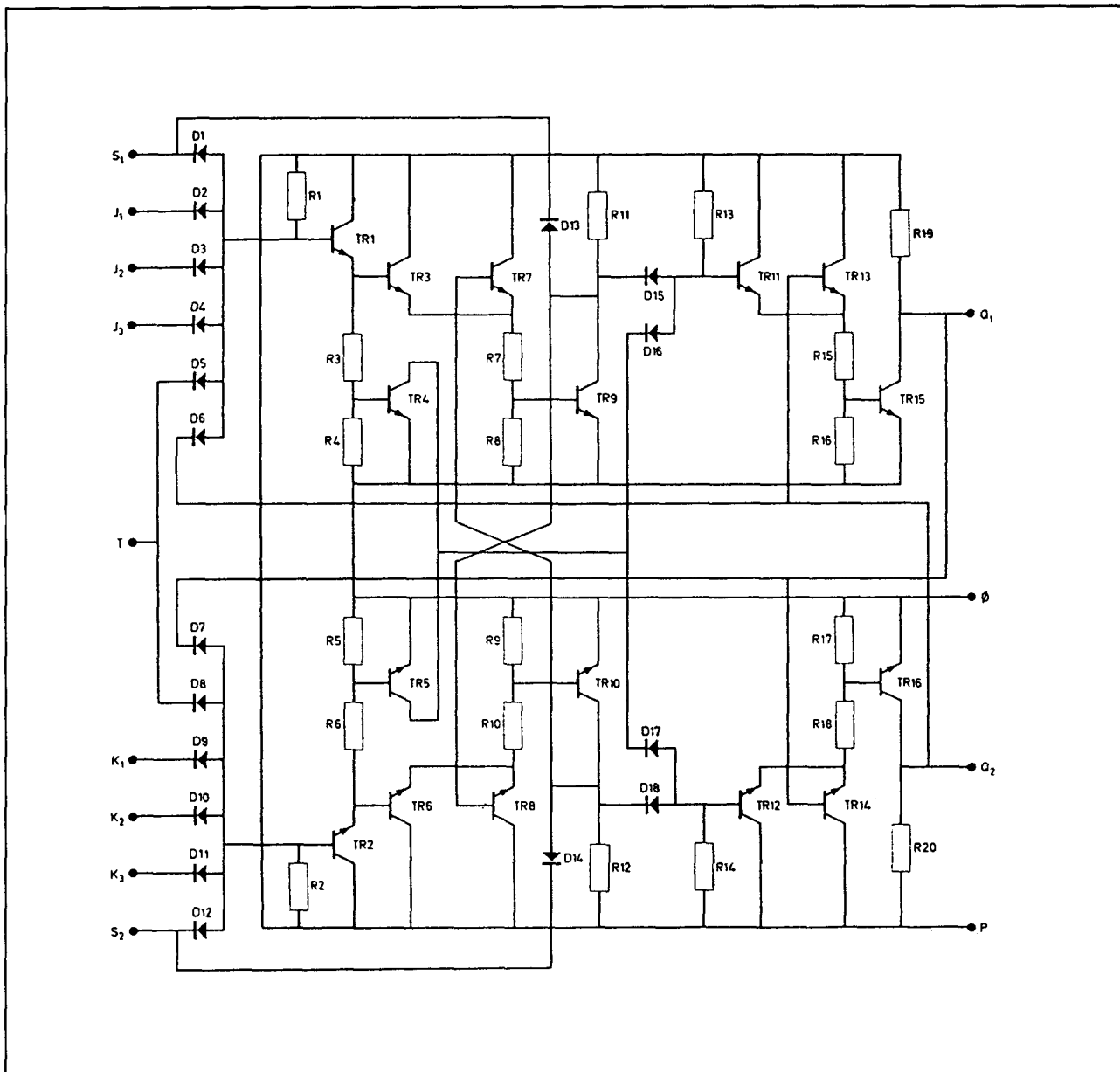
(for positive logic)

Set or reset via S terminals

S <sub>1</sub>	S <sub>2</sub>	Q <sub>1</sub>	Q <sub>2</sub>
H	L	L	H
L	H	H	L
L	L	indeterminate	
H	H	no change	

Waarheidstabellen.

## 12.5 Diverse schakelingen FC-serie DTL



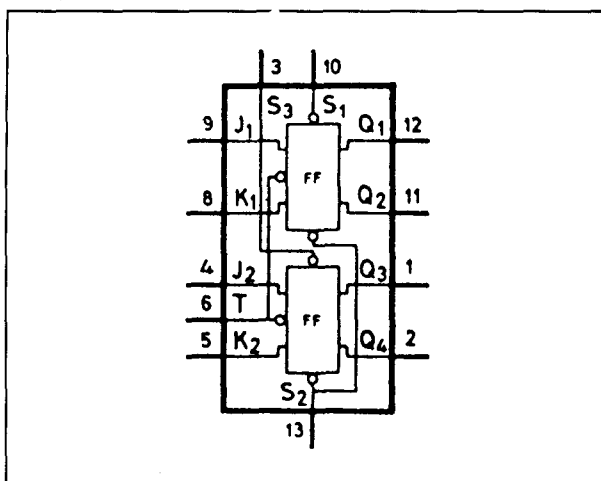
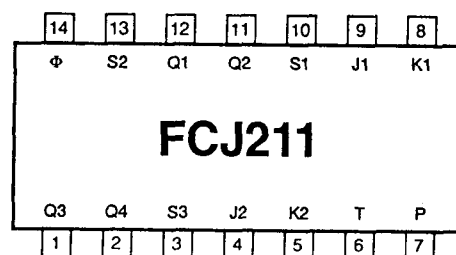
Functioneel schema.

## 12.5 Diverse schakelingen FC-serie DTL

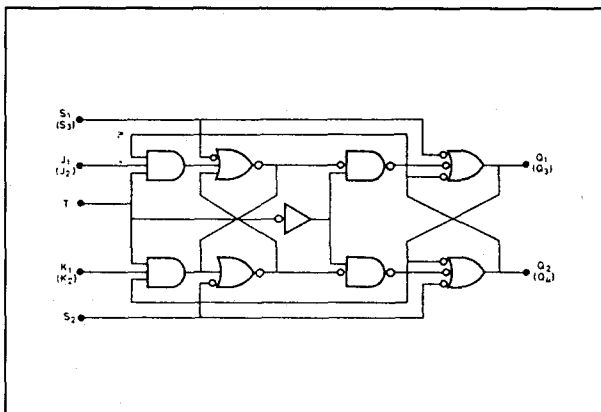
**FCJ 211**
**dubbele J-K  
master-slave flip-flop  
met aparte set- en  
gemeenschappelijke  
reset-ingangen**

Twee direct gekoppelde J-K master-slave flip-flop's. Werken op signaal-niveaus (ongeacht snelheid daarvan). Twee directe actief-LAGE set-ingangen en een gemeenschappelijke reset-ingang (overriding). Fan-out: 8

Figuur 4/12.5-211.



Logische symbool.



Logisch schema.

## Trigger action via T terminal

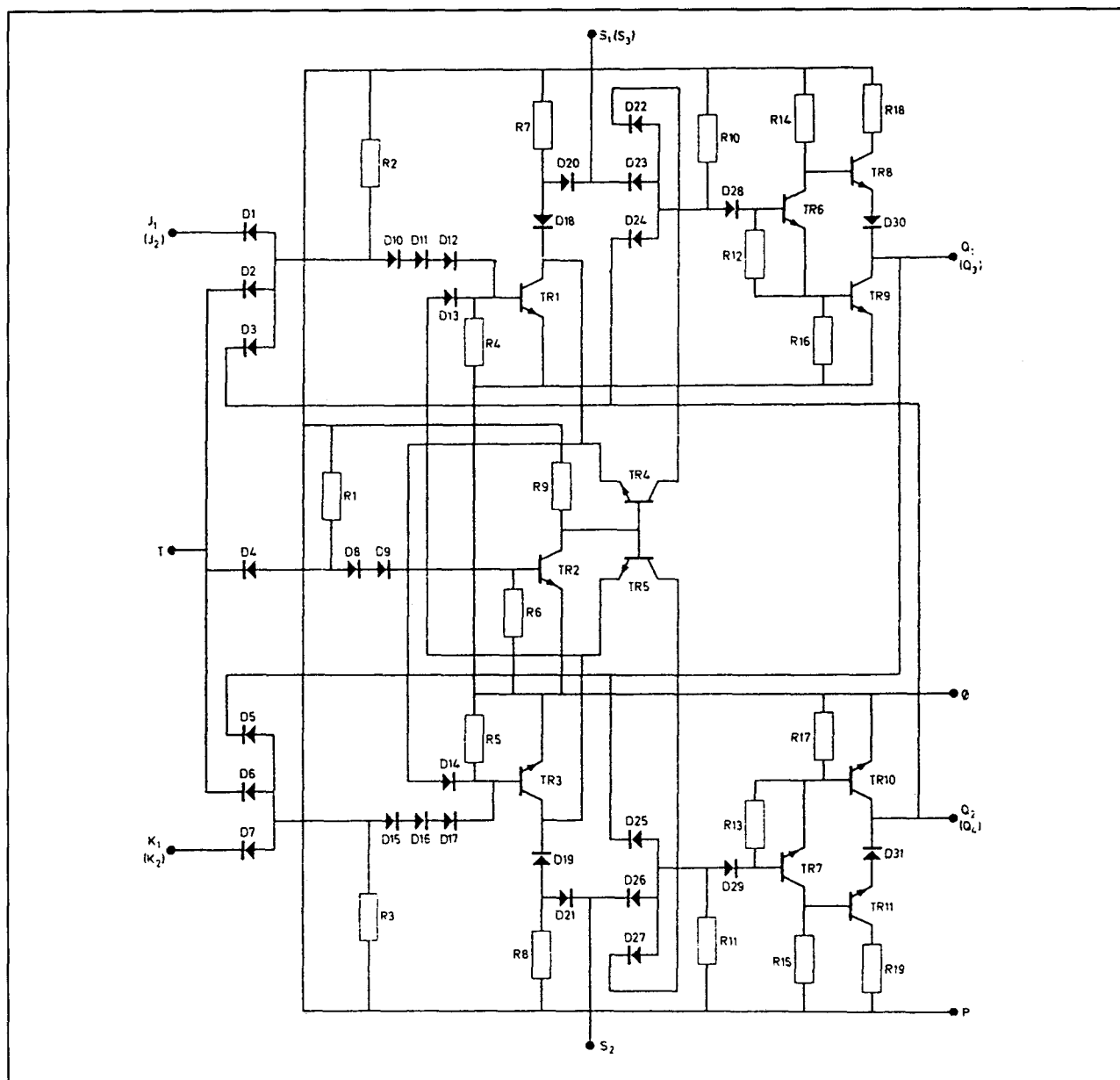
T = HIGH		T = LOW	
J <sub>1</sub>	K <sub>1</sub>	Q <sub>1</sub>	Q <sub>2</sub>
J	K <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>
H	H	reversed	
L	H	L	H
H	L	H	L
L	L	no change	

## Set or reset via S terminals

S <sub>1</sub>	S <sub>2</sub>	Q <sub>1</sub>	Q <sub>2</sub>
S <sub>3</sub>	S <sub>4</sub>	Q <sub>3</sub>	Q <sub>4</sub>
H	L	L	H
L	H	H	L
L	L	H	H
H	H	no change	

Waarheidstabellen.

## 12.5 Diverse schakelingen FC-serie DTL



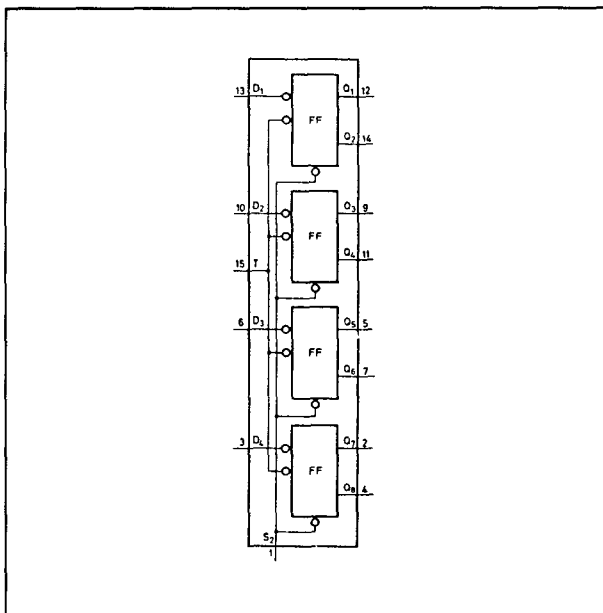
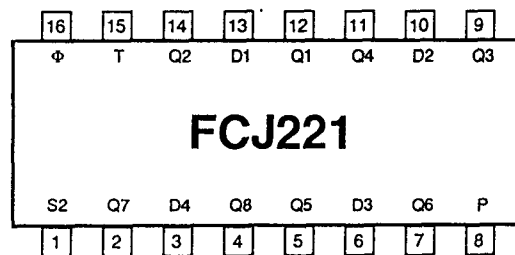
Functioneel schema.

## 12.5 Diverse schakelingen FC-serie DTL

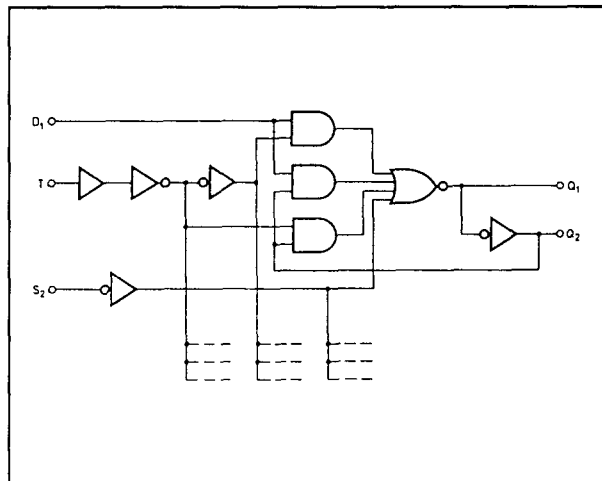
**FCJ 221****viervoudige D-type  
latch met  
gemeenschappelijke  
reset**

Vier latch flip-flop's met D-ingangen, gemeenschappelijke clock (T) en reset (S2). Met T = LAAG volgen de Q-uitgangen de D-ingangen. Met T = HOOG wordt data gelatched. Heeft een gemeenschappelijke reset-ingang (overriding). Fan-out: 10

Figuur 4/12.5-221.



Logisch symbool.



Logisch schema.

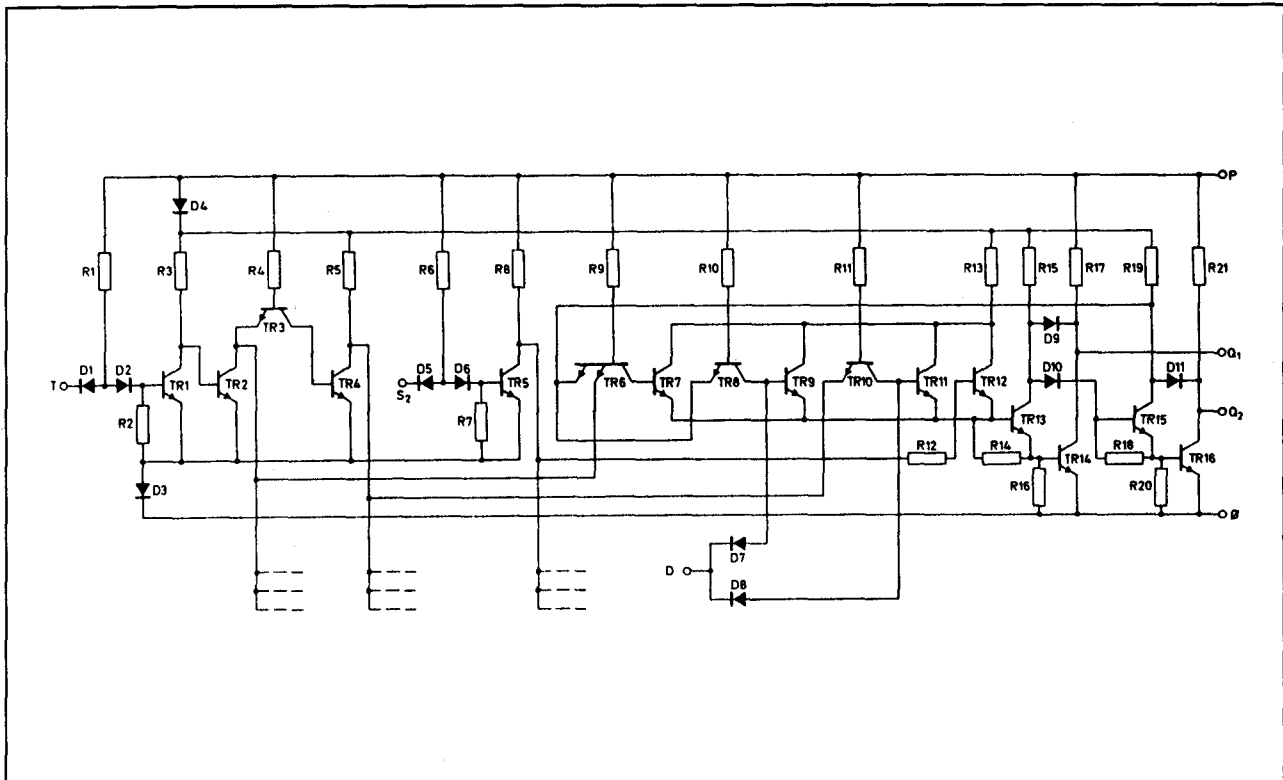
Function tables

$t_n$	$t_{n+1}$
D	Q1
H	L
L	H

S2	Q1
H	H
L	X

Waarheidstabellen.

## 12.5 Diverse schakelingen FC-serie DTL



Functioneel schema.